

積層型 NAND FeRAM の検討

菅野 孝一[†] 渡辺 重佳[‡]

湘南工科大学大学院工学研究科電気情報工学専攻[†] 湘南工科大学工学部情報工学科[‡]

1. まえがき

現在 DRAM と NAND 型フラッシュメモリの低コスト、不揮発性、SRAM につぐ高速性能を併せ持つ、いわゆるユニバーサルメモリは実現されていない。ユニバーサルメモリの特徴である低コスト、SRAM につぐ高速性能、不揮発性を具備した 1 トランジスタ型 FeRAM セル[1]を積層した積層方式 NAND 構造 1 トランジスタ型 FeRAM セルを提案し、1T ビットを想定したセルアレイ及びデコーダ等のコア回路部分の設計法を検討した。1 トランジスタ型 FeRAM セルを用いることにより、DRAM と同程度の動作速度と、不揮発性、NAND 型フラッシュメモリより大容量で HDD を代替出来る低コストを目標としている。

2. 積層型 NAND FeRAM

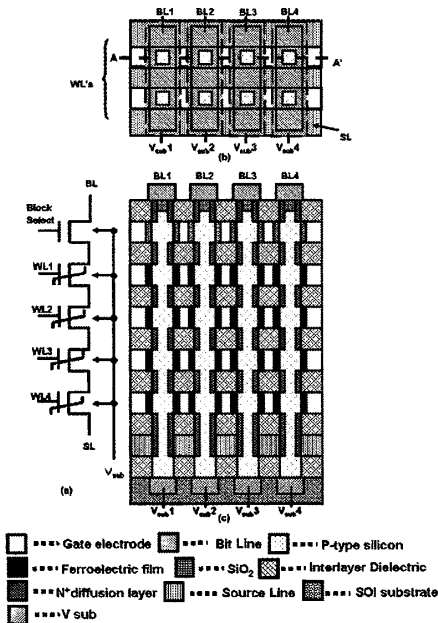


図1 積層方式 NAND 構造 1 トランジスタ型 FeRAM (a)等価回路、(b)上面図、(c)断面図

Fig.1. Configuration of stacked type NAND FeRAM (a)Equivalent circuit, (b)Top view, (c)Cross-sectional view

Study of stacked NAND FeRAM

[†]Koichi SUGANO, Shonan Institute of Technology

[‡]Shigeyoshi WATANABE, Department of Information Science, Shonan Institute of Technology

図 1 に今回検討した積層方式 NAND 構造 1 トランジスタ型 FeRAM の等価回路(a)、上面図(b)、及びその A-A' 断面図(c)を示す。(簡単化のため 4 段直列接続の場合を示す)。本方式では、NAND 型フラッシュメモリと同等以上の低コストで実現する為[2][3]、(a)で示した NAND 構造を縦方向に積層して実現する(b)(c)。

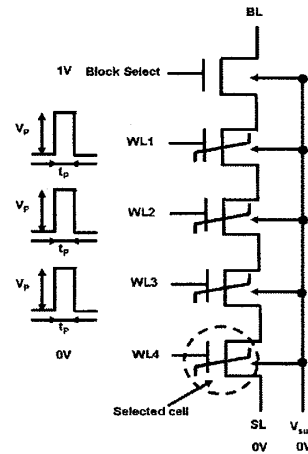


図2 読出し方式 Fig. 2. Read operation

図 2 に今回提案する読出し方法と書込み方法を示す(4 段直列接続の場合)。NAND 構成では選択メモリセルの情報を読出す時に通過メモリセルに誤書込みをする可能性がある。本方式では通過メモリセルのゲートに強誘電体の分極反転が起きない短時間 t_p で高電圧パルス V_p を印加する方式を導入し[4]誤書込みを防ぐ。高電圧を印加する事により、通過メモリセルでの遅延時間を低減する事により高速アクセスの実現も期待出来る。選択メモリセルには 0V のゲート電圧を印加する。書込みに関しては、選択セルに” 0” 書込みする場合、NAND 構造の基板に高電圧を、選択セルのゲートには 0V を印加して行う。

書込みに関しては、選択セルに” 0” 書込みする場合、NAND 構造の基板に高電圧を、選択セルのゲートには 0V を印加して行う。その時同一 NAND 構造の非選択セルのゲートには、中間電圧を印加して誤書込みを防ぐ。

3. 周辺回路の設計

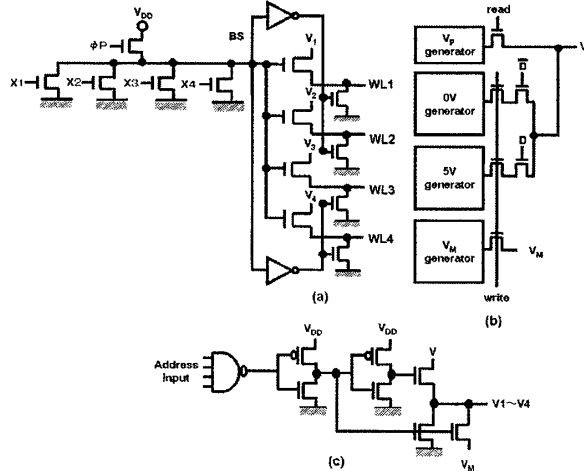


図 3 (a)ロウデコーダの等価回路、(b)WL 電源回路、(c)WL 用電源部分デコード回路

Fig. 3. (a)Row decoder's circuit, (b)Supply voltage generator of WL, (c)Partial decoder for supply voltage generator of WL

図 3 にロウデコーダの回路図(a)、WL 用電源回路(b)及びその部分デコード回路(c)を示す。

ロウデコーダ回路は基本的に大容量 DRAM で使用されるプリチャージ型の NOR 部分に WL ドライバ回路を接続した方式になっている。図 3 のロウデコーダをメモリセルの縦方向にピッチ 2F で設計するのは困難なため、ロウデコーダはメモリセルアレイの左右に配置し、ワード線 1 本おきに左右のロウデコーダから交互に駆動する。出来るだけパターン面積を小さくするため、パターン設計には平面型よりも高密度化に適しており、パターン面積を約半分に縮小出来る SGT を採用する。図 4 に図 3 のロウデコーダ回路の SGT によるパターン設計例を示す。

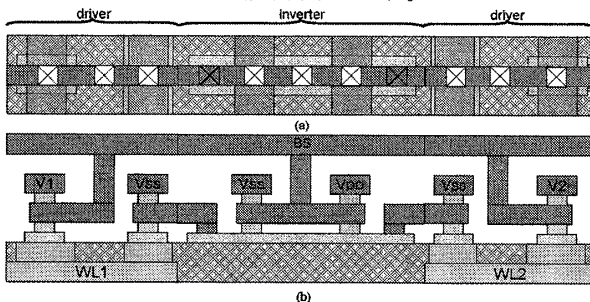


図 4 ロウデコーダの SGT パターン

Fig. 4. Pattern layout out of row-decoder with SGT (a)Top view of inverter and WL driver, (b) Cross-sectional view of inverter and WL driver

パターン設計に当たってはシリコン柱やコンタクトのサイズは $F \times F$ 、それらと下部の拡散層、

上部配線等との余裕は 0.5F、SGT のゲート電極のトランジスタ部分での厚さは 0.25F とした。

図に示すように NOR 部分の出力である BS 信号はロウデコーダ内をワード線の走る方向に横に走る。一方電源、 $V1 \sim V4$ のアドレスによってデコードされたロウデコーダ外で発生する信号はロウデコーダ内をワード線に垂直に縦に走る。インバータ部分はパターン設計の関係上 2 個の隣接した WL ドライバのみに出力を接続する。実際にはメモリセルを 64 段積層するため、ロウデコーダ 1 個当たり、NOR 回路が 1 個、インバータが 32 個、WL ドライバが 64 個必要になる。SGT を用いることでパターンの長さを必要最小限に抑えることが出来た。カラムデコーダも同様に検討した。

4. むすび

ユニバーサルメモリの特徴である低コスト、SRAM に次ぐ、DRAM と同程度の高速性能、不揮発性を合わせ持つ 1 トランジスタ型 FeRAM を積層した積層方式 NAND 構造 1 トランジスタ型 FeRAM を新たに提案した。その結果メモリセルを 64 層積層し、1 本のワード線に 8k 個、1 本のビット線に 8k 個のメモリセルを接続する方式を用いる事により、DRAM と同程度の高速性能と、積層型の NAND フラッシュメモリと同程度の低コストが実現できる可能性があることを示した。

謝辞 本検討にあたり有益なご助言を頂いた、東京工業大学石原宏教授、徳光永輔准教授、東北大学舛岡富士雄名誉教授、遠藤哲郎教授、東京大学竹内健准教授、北陸先端科学技術大学院大学下田達也教授、東芝高島大三郎氏に感謝いたします。

文献

[1]S.Y.Wu, IEEE Trans. Electron Devices, ED-21, 499, 1974
 [2]T.Tanaka et al., Symp. on VLSI Technology, 2007.
 [3]Y.Fukuzumi et al., "Optimal Integration and Characteristics of Vertical Array Device for ultra-High Density, Bit-Cost Scalable Flash Memory", IEDM 2007.
 [4]菅野、渡辺, "積層方式 NAND 構造 1 トランジスタ型 FeRAM の読出し方式の検討" 電子情報通信学会論文 vol. J91-C, no. 11, pp. 668-669, 2008