

3次元型トランジスタ FinFET を用いた DTMOS (FinFET 型 DTMOS)

によるシステム LSI の高密度設計法

—パターン面積の縮小効果の見積もり—

廣島 佑† 渡辺 重佳†

湘南工科大学情報工学科†

1. はじめに

最近のシステム LSI は高性能化、多機能化により高密度化により集積度を上げてチップ面積が増大してしまう問題がある。また携帯電話のように動作時よりも待機時の時間の方が長くなる形態情報端末用 LSI は動作時の充放電電力の削減とともに待機時のサブスレッシュホールド電力の削減も重要になってくる。

チップ面積の増大に対しては、FinFET に代表される 3次元型トランジスタがこの問題の解決に有効だと考えられている[1]。サブスレッシュホールド電力の削減には待機時にしきい値電圧が上がる DTMOS などが提案されている[2]。

今回面積縮小効果の高い FinFET を用いた DTMOS を初めて提案し、それをシステム LSI に適応した場合のパターン面積の縮小効果を通信用システム LSI 等を例に見積もった。

2. FinFET 型 DTMOS の構成

図 1 に平面型 DTMOS と新たに提案した FinFET 型 DTMOS を示す。従来の平面構造の場合ゲートと基板を接続するために余分な面積(図 1 (a))が必要だった。それに対し、FinFET 型の場合基板の上部の平面部で両者を接続する。上部で接続するため平面型と異なり、接続による面積の増加はない特徴がある(図 1 (b))。

この特徴を平面パターン図 2 にトランジスタを実際にパターンにしたときの図を示す。ゲート長を F (F はデザインルール)、チャンネル幅を $5F$ 、コンタクトの大きさを $F \times F$ 、拡散層と拡散層の間隔が F 、金属配線同士の間を $1.5F$ とした。通常の FinFET は W_p を F 、側壁チャンネル幅 D を $2F$ とし、DTMOS の FinFET は上部の平面部で基板とゲートを接続するために W_p を F 、

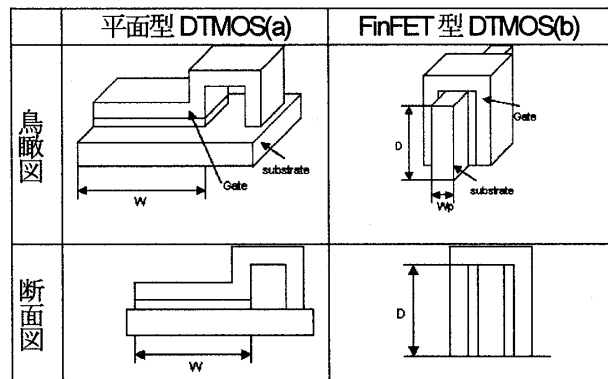


図 1. 平面型 DTMOS と FinFET 型 DTMOS の比較

D を $2.5F$ とした (D の値はパターン面積を最小に出来る値を用いる)。平面型の DTMOS1 は DTMOS の理想的なパターンで、平面型の DTMOS2 は現在の製造プロセスで作成した場合のパターンである。平面型の場合 DTMOS1 は通常のパターンより 17%面積が増加し、DTMOS2 は 42%面積が増加した。DTMOS2 の方が面積の増加率は大きい FinFET で実現した場合、どちらも上部の平面部で基板とゲートを接続するため同じパターンになり、平面型の DTMOS1、DTMOS2 に比べてそれぞれ面積を 43%、35%に削減できる特徴がある。トランジスタの直列接続がある場合も同様に削減できる。

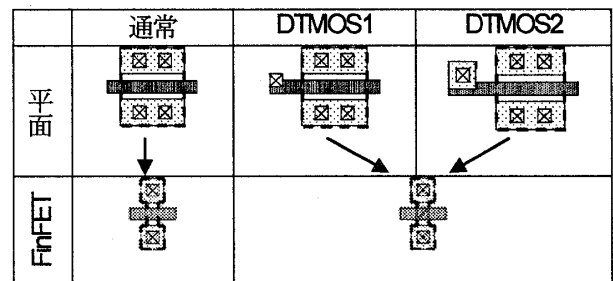


図 2. トランジスタのパターン図

Design Method of High Density System LSI with Three-Dimensional FinFET type

DTMOS—Reduction of Pattern Area—

†Yu Hiroshima, Shigeyoshi Watanabe

Department of information science, Shonan Institute of Technology

3. 通信用システム LSI での面積縮小効果

素子領域(トランジスタ部分及び素子分離部分を含む)のパターン面積の縮小効果を見積もるため、トランジスタのチャンネル幅の分布が比較的平均的な通信用 LSI の設計[3]に用いられたセルライブラリの概要を図 3 に示す[4]。トランジスタのチャンネル幅(横軸)、トランジスタの直列接続段数(縦軸)で分類した。このセルライブラリは平面型のトランジスタで設計されている。チャンネル幅が最小の X1 ではトランジスタの直列段数が 1 のセル数(セルの種類)は 19 種類あり、代表的なセルは INVX1 である。X2 ではチャンネル幅は X1 の 2 倍とする。各セルライブラリを用いて平面型の通常のトランジスタで設計したパターン面積がチップ全体に占める割合を図 4 に示す。次に平面型の通常のパターン面積の合計を 100 とした場合、平面型の DTMOS1 で設計したパターン面積を図 5 に示す、平面型の DTMOS2 で設計したパターン面積を図 6 に示す。平面型で DTMOS1 を実現した場合通常に比べ 14%面積が増加し、DTMOS2 では 54%面積が増加した。

トランジスタの直列接続段数
規格化したチャンネル幅 (X1のチャンネル幅は5F)

	X1	X2	X3	X4	X8	X16	X20
1	19INVX1	4INVX2	1INVX3	3INVX4	2INVX8	1INVX16	1INVX20
2	182NANDX1	82NANDX2		32NANDX4			
3	83NANDX1	23NANDX2		13NANDX4			
4	44NANDX1						
6	26NANDX1						
8	18NANDX1						

図 3. 通信用システム LSI の概要

トランジスタの直列接続段数
規格化したチャンネル幅 (X1のチャンネル幅は5F)

	X1	X2	X3	X4	X8	X16	X20	合計
1	13.9	3	0.5	1.2	4.6	1.4	1.3	25.9
2	50.7	6		5.9				62.6
3	5.5	1.4		0.7				7.6
4	2.5							2.5
6	0.9							0.9
8	0.4							0.4
合計	73.9	10.4	0.5	7.8	4.6	1.4	1.3	100

図 4. 平面型の通常のパターン面積

	X1	X2	X3	X4	X8	X16	X20	合計
1	16.21	3.27	0.53	1.26	4.75	1.45	1.34	28.81
2	59.15	6.54		6.18				71.87
3	6.41	1.52		0.73				8.66
4	2.91							2.91
6	1.05							1.05
8	0.46							0.46
合計	86.19	11.33	0.53	8.17	4.75	1.45	1.34	113.76

図 5. 平面型の DTMOS1 のパターン面積

	X1	X2	X3	X4	X8	X16	X20	合計
1	19.69	3.69	0.59	1.34	4.97	1.51	1.4	33.17
2	86.61	8.32		7.09				102.02
3	9.4	1.94		0.84				12.18
4	4.27							4.27
6	1.54							1.54
8	0.68							0.68
合計	122.19	13.94	0.58	9.27	4.97	1.51	1.4	153.86

図 6. 平面型の DTMOS2 のパターン面積

図 7 に側壁チャンネル幅を最適にした FinFET を適用し

た場合のそれぞれのパターン面積の縮小効果を示す。全て平面型のトランジスタで設計した場合に比較し、通常が約 48%、DTMOS1 が 42%、DTMOS2 が 31%にそれぞれ縮小できる。

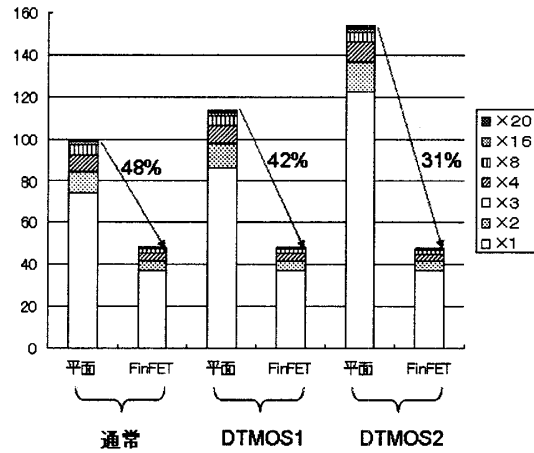


図 7. パターン面積の縮小効果

4. まとめ

今回提案した“FinFET 型 DTMOS”についてパターン面積の縮小効果に絞って検討した(検討したモチーフは通信用システム LSI 等)。側壁のチャンネル幅を最適化することにより、従来の平面構造で DTMOS を実現した場合に比べパターン面積を 31%に縮小できることを示した。今後さらに“FinFET 型 DTMOS”のデバイスとしての特性(基板の不純物濃度の最適化、しきい値電圧や遅延時間等)を検討していく。

5. 参考文献

- [1] F. Assaderaghi, et al., “Dynamic Threshold-Voltage MOSFET (DTMOS) for Ultra-Low Voltage VLSI” IEEE Trans Electron Devices, vol. 44, no3, pp. 414-422, Mar 1997
- [2] D. Hisamoto et al., “FinFET—a self-aligned double-gate MOSFET scalable beyond 20nm,” IEEE Trans. Electron Devices, vol. 47, pp. 2320-2325, Dec. 2000.
- [3] H. Ishikura, M. Hamada, K. Agawa, S. Kousai, H. Kobayashi, D. Nguyen, and F. Hatori, “A single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter” ISSOC Dig. Tech. Papers pp. 68-69, 2003.
- [4] 渡辺重佳, “TIS(Trench-Isolated-transistor using Side wall gate)を用いたシステム LSI の設計法” 電子情報通信学会論文誌 C, Vol. J88-C, No. 12, pp. 1208-1218, 2005.