

# FPGA を用いた手書き漢字認識ニューラルネットの

1H-7

## 認識率に関する考察

岩崎 理典\* 竹谷 史生\* 吉永 努\* 荒井 正之† 大津金光\* 馬場敬信\*

\*(宇都宮大学工学部) †(帝京大学理工学部)

### 1 はじめに

ニューラルネットワークの学習は、膨大な計算を必要とする。そのため、汎用のワークステーション等では、その学習計算が長時間となる。これに対して、ASIC を用いたニューロチップやニューロシステムなどが開発されてきている。しかし、このようなニューロシステムは、ネットワークや規模などの制約から、種々のアプリケーションやアルゴリズムの大幅な変更に対応できない場合も多い。

そのような中、近年プログラム可能なゲートアレイ Field Programmable Gate Array (FPGA) の技術的な発展はめざましく、高集積、高速な FPGA が開発されている。そこで、我々は、書き換え可能な FPGA を用い、様々なアルゴリズムに対応可能なシステム FPGA-based Custom Computing Board (以下 FCCB) を提案している。

本研究ではニューラルネットにおける誤差逆伝搬学習アルゴリズム (以下 BP) を適用し、FCCB に実装した場合の予備評価を行った。その結果、演算サイクル数はワークステーション上の C プログラムと比べて約 1/200 となり、実時間では WS Ultra2 と比べて約 95 倍の性能に達するというように、高速化が見込めることがわかった<sup>[1]</sup>。しかし、BP 学習計算においては、大きな演算誤差は、認識率へ影響を及ぼすので、ある程度の演算精度が必要となる。ところが、浮動小数点演算で高い精度を要求すると、それだけハードウェア量を多く必要とする。演算精度はアプリケーションに依存する。よりハードウェア量を少なくしつつ、BP ニューラルネットの認識に必要な演算精度に対応できる設計のために、予め検証する必要がある。

本稿では、BP ニューラルネットを FCCB で処理を行う場合の、浮動小数点演算の誤差が認識率へ与える影響について検証する。

### 2 システムの全体構成

図1にシステム全体の構成図を示す。本システムは、ホストコンピュータとその拡張ボードとして実装する FCCB で構成する。FCCB は、ホストとのデータ転送や FCCB 全体の動作を制御する CU、ニューラルネットの学習計算などの計算集約的な処理を行う 9 個の PU、各 PU のローカルメモリ (LM)、ホストから FCCB へのデータ転送を仲介する 2 個の FIFO で構成する。CU と PU は再構成可能な FPGA とし、様々なアルゴリズムを実装可能とする。また、PU-PU 間のデータ通信を柔軟にするため、隣接する PU 間にリング状のデータバス

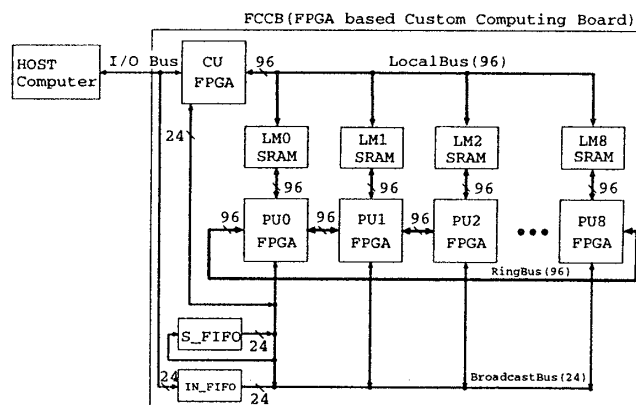


図 1: ニューロシステムの全体構成図

を設けると共に、全 PU にブロードキャストやマルチキャスト可能なデータバスを設ける。

本システムは、ホストと FCCB の両方で処理を行う協調型システムである。そのため、ホスト-FCCB 間は高速な I/O バスで接続する。

### 3 BP ニューラルネット

BP ニューラルネットは、手書き漢字認識アルゴリズム Honeycomb ネット<sup>[2]</sup>を構成する一部分である。Honeycomb ネットは、ベクトル量子型ニューラルネットと BP ニューラルネットとで構成している。前者は、多数のパターンを類似文字群に大分類する。後者は、ベクトル量子型ニューラルネットによって分類した類似文字群から文字を同定する。本研究では、膨大な計算量を必要とする BP ニューラルネットを FCCB 上に構成する。本 BP ニューラルネットは、3 層で構成される。3 層 BP アルゴリズムは、外部からの入力データを入力層を通じてネットワークに入力信号を入力し、入力層→中間層→出力層へと順次計算されていく。そして、出力信号とその入力信号に対しての正しい出力 (教師信号) に近づくように各層間の重みを修正し、その誤差が許容値以下になるまで繰り返し学習計算する方法である。

文字データは、電総研の手書き文字データベース ETL9B を用いる。ETL9B の原パターンから、特徴ベクトルには外郭方向寄与度特徴 (Peripheral Direction Contributivity 以下 PDC)<sup>[3]</sup>を用い、入力層データを抽出する。そして、ベクトル量子型ニューラルネットが作成する類似文字群のうちの 1 つを選択する。この類似文字群は 17 文字である。そして、以下の理由より、ネットワーク構造は、入力層 768、中間層 34、出力層 17 とする。

i) 入力層

A Precision Analysis of an FPGA-based Neural Network for Handwritten kanji Recognition

Michinori Iwasaki\*, Fumio Takeya\*, Tsutomu Yoshinaga\*, Masayuki Arai†, Kanemitsu Ootsu\*, Takanobu Baba\*  
\*Faculty of Engineering, Utsunomiya University  
†School of Science & Engineering, Teikyo University

表 1: 浮動小数点の各ビットを変えたときの認識率の関係

	総ビット数 [bit]	指数部 [bit]	仮数部 [bit]	学習回数 [回]	学習データ [%]	未学習データ [%]
WS	32	8	23	70	100.00	72.94
FCCB1	24	6	17	69	100.00	72.94
FCCB2	24	7	16	70	100.00	72.94
FCCB3	24	8	15	69	100.00	72.94
FCCB4	20	6	13	69	100.00	72.94
FCCB5	20	7	12	86	100.00	74.71
FCCB6	20	8	11	67	100.00	74.12
FCCB7	16	6	9	12	5.88	5.88
FCCB8	16	7	8	200	5.88	5.88
FCCB9	16	8	7	200	35.29	30.00

PDCにより、入力次元数は $8 \times 2 \times 3 \times 8 \times 2 = 768$ とする。

- ii) 中間層  
中間層は、出力層の2倍前後で良好な識別率が得られることが分かっているので34とする。
- iii) 出力層  
識別文字数と同数の17とする。

#### 4 ハードウェア構成

先に説明したBPニューラルネットを本システムに実現するため、ホストコンピュータとFCCBには次のように計算を分割する。

- FCCB  
フィードフォワード処理と学習処理を行う。
- ホストコンピュータ  
FCCBで計算するフィードフォワード処理の結果、出力層ニューロンの出力データと教師信号の差(誤差)を求める。そして、17文字 $\times$ 100セットの学習計算が終了したら誤差平均を求め、前の誤差平均と比較し、ネットワークが17文字を学習したかどうかを判断する。

FCCB上のPUはXilinx社のFPGA、XC40125XVとする。そして、フィードフォワード処理と学習処理を実現するために、1PU上に浮動小数点加算器4個、乗算器4個、除算器1個とレジスタ26個を搭載する。入力層-中間層間の計算は1PU4ニューロン、中間層-出力層間の計算は1PU2ニューロンを構成する。

#### 5 検証

ニューラルネットの学習計算には、ある程度の演算精度を要する。ただし、認識が可能な範囲で演算精度を低くして、ハードウェア量を削減することが可能である。そこで認識率に対して、どの程度の精度が必要かを検証する。ここでは、Cプログラムによって、float.hの浮動小数点演算を使わずに、FCCBと同等の演算アルゴリズムで浮動小数点表記の仮数部、指数部の割合を変えて実験する。実験データとして、各文字に対して、学習サンプルデータ10セット、未学習サンプルデータ文字10セットを用い認識率を求めた。

ワークステーションで通常のfloatを使用した場合(WS)とFCCBの浮動小数点数のビット数を変化させた場合のBPの認識率への影響を表1に示す。表中、学習/未学習データ欄の

数値は、それぞれ学習に用いた文字とそれ以外の文字に対するニューラルネットの認識率を表す。

以上の結果を考察してみる。認識率についてみると、総ビット数24の場合は、学習/未学習両データの認識率はWSと同じである。また、総ビット数20の場合では、学習データに対しては変化は無いものの、未学習データに対しては、FCCB5、FCCB6の実装では、誤差の影響で、WSと違った認識率を示している。さらに総ビット数16の場合では、認識率が低く、正しい学習ができていない。一方、学習回数についてみると、FCCB5のとき学習回数が多くなっている。そして、16bitの場合で、FCCB8、FCCB9の実装では、学習回数が非常に大きい。これは、我々が実装の目的の1つとした、高速化という点から適していない。したがって、本アプリケーションに対しては、FCCB4の実装が効率的であるといえる。

#### 6 むすび

本稿では、我々が提案しているFCCBを用いたシステムにBPニューラルネットを実装した場合の、演算精度について検証した。その結果、20bitまで浮動小数点数のビット数を削減することが可能であるということがわかった。今後の課題として、最適なビット数でハードウェア化することによってどれほどの高速化ができ、ハードウェアを減らすことができるかを検証する。

#### 謝辞

日頃より御指導、御助力を頂いた宇都宮大学工学部情報工学科馬場、吉永、大津研究室の諸氏に感謝致します。本研究は、一部文部省科学研究費 基盤研究(C) 課題番号09680324、基盤研究(B) 課題番号10558039、奨励研究(A) 課題番号09780237の援助による。

#### 参考文献

- [1] 竹谷史生, 吉永努, 荒井正之, 大津金光, 馬場敬信, “FPGAを用いた手書き漢字認識ニューラルネットのハードウェア支援”, 情処研報 ARC98-7 1998-8
- [2] 荒井正之, 王晋申, 奥田健三, 宮道壽一, “Honeycomb ネットによる多字種の手書き漢字認識”, 信学論 (D-II), J76-D-II, 11, pp.2316-2323, 1993-11.
- [3] 萩田泰一, 内藤誠一郎, 増田功, “外郭方向寄与度特徴による手書き漢字の識別”, 信学論, J66-D, 10, pp.1185-1192, 1983-10.