

3層チャンネルレス・ゲートアレイのための高速配線手法

寺井正幸[†] 城田博史[†]
柴谷 聡[†] 佐藤興二^{††}

3層配線チャンネルレス CMOS シー・オブ・ゲートアレイ用高速自動配線手法について報告する。本手法は、SOG のレイアウト構造の規則性に着目してセル列単位で配線を行うもので、独自の“over-the-cell”チャンネルルータを基本としている。このため、セル列間に配線チャンネルを設けないチャンネルレス方式で配置されたセルの端子間の配線要求を扱う本手法の詳細配線処理の計算複雑度が $O(n \cdot \rho \log \rho)$ である (ρ : 1セル列上の端子数の最大値, n : チップ上のセル列数)。これは、チャンネル有方式のレイアウトに対する代表的なチャンネルルータによる配線処理の計算複雑度と等しい。実際の SOG 回路とよく知られたベンチマークデータを用いた実験を行い、この結果から、本手法の高速性と有効性を示す。

A Fast Routing Method for Channel-less Sea-of-gates Arrays with Three Routing Layers

MASAYUKI TERAJ,[†] HIROSHI SHIROTA,[†] SATOSHI SHIBATANI[†]
and KOJI SATO^{††}

A fast routing method for CMOS triple-metal-layer sea-of-gates (SOG) arrays is reported. The method efficiently utilizes the regularity in layout structures of channel-less SOG chips, and employs our own over-the-cell channel router. Although it handles channel-less layout structures, the time complexity of the detailed routing algorithm of the proposed method is $O(n \cdot \rho \log \rho)$, where ρ is the maximum number of terminals in a cell row, and n is the number of rows of cells in the chip. The time complexity is equal to that of typical channel routing in a channeled layout. The effectiveness of our method is demonstrated by our experimental results on industrial SOG chips and a well-known benchmark circuit.

1. ま え が き

本論文では、3層配線の CMOS シー・オブ・ゲートアレイ (sea-of-gates array, 以下 SOG) 用高速配線手法について述べる。本配線手法は、チャンネルレス方式でベースアレイ上に配置されたセルの端子間を3つの層 (シリコン基板に近い層から順に、M1, M2, M3層と呼ぶ) を用いて配線するもので、ピン生成/同列ネット配線、概略配線、“over-the-cell” (以下、OTC) チャンネル配線および再配線から構成される。ここで、セルとは、論理設計のビルディングブロックとなる機能回路を実現するトランジスタ間配線パターンで、そ

の高さが均等で列状に配置する等高セル (基本論理ゲートやフリップフロップなど) と RAM/ROM などの大きなセル (メガセル) がある。本論文の配線手法はメガセルを含む SOG も扱えるが、その特徴はセル列上領域を使った高速配線であるので (メガセル上の領域内の配線経路の探索は、チャンネルレス SOG で広く使われている手法、すなわち、後述のエリアルータで行う)、本論文の配線手法の記述ではメガセルのない SOG を対象とする。セルの端子は、セル内のトランジスタ間配線やポリシリコンゲートであり、セル内部に存在する。本論文では、この端子を「ポート」と呼ぶ。本論文の配線手法の特徴は次の2点である。

(1) セルをその列間に配線チャンネルを設けないチャンネルレス方式で配置したときのポート間の配線要求を扱う本手法の詳細配線処理 (後述のピン生成/同列ネット配線と OTC チャンネル配線) の計算複雑度が $O(n \cdot \rho \log \rho)$ である (ρ : 1セル列上の端子数の最大値, n : チップ上のセル列数)。これは、チャンネル有方

[†] 三菱電機株式会社半導体基盤技術統括部
Manufacturing Technology Division, Semiconductor
Group, Mitsubishi Electric Corporation

^{††} 三菱電機セミコンダクタソフトウェア株式会社
Mitsubishi Electric Semiconductor Software Corpora-
tion

式のレイアウトに対する吉村⁶⁾の“efficient channel router”による配線処理の計算複雑度と等しい。本論文の評価実験によれば、実際の処理時間も同程度で、高速である。

(2) ポート間の配線要求が与えられたとき、本配線手法のピン生成配線処理は、各ポートに対してM2層上の格子点を選び（この点を「ピン」と呼ぶ）、ポートとピンを接続する。OTCチャンネル配線はピン間を配線して、ポート間の配線要求を実現する。配線手法上の特徴は、ピン生成配線とセル内部の任意の位置にピンが存在することを想定した独自のOTCチャンネル配線による詳細配線処理にある。既発表の3層を用いるOTCチャンネル配線手法^{10),12)~15)}は、任意の位置のピンを扱うFujiiらの手法²⁰⁾を除いて、ピンがセル枠の上下辺上にあることを（Wuらの手法¹⁵⁾はピンがセル中央にあることを）想定しており、本論文で扱う配線問題には有効ではない。

これまでいくつかのSOG用配置配線プログラム^{1),2),4)}が報告され、CADベンダーが開発した配置配線ツール（たとえば文献3）も市販されている。このうち、3層配線のチャンネルレスレイアウトを扱うプログラム^{2)~4)}は、詳細なアルゴリズムについての記述は少ないが、エリアルータ（general area router^{2),4)}を用いて配線を行う。ここでのエリアルータとは、矩形の配線領域内に任意形状の障害物と端子が存在する場合の端子間の配線要求に対し、迷路法（Leeのアルゴリズム⁵⁾）を基にした手法を用いて配線を行うルータである。チャンネルレスレイアウトのSOGにエリアルータを用いることは自然な考え方である。しかし、エリアルータを用いるSOG用配線プログラムの主な欠点は、処理時間が大きいことである。その主な理由は、エリアルータでは1ネットずつ配線するので、先に配線したネットが障害物となって、後から配線するネットが配線不能になり、非常に時間のかかる「引き剥がし再配線⁴⁾」を繰り返し実行する必要があるからである。そこで、迷路法に基づくエリアルータとは異なる方式による高速な自動配線手法を開発することが重要である。

以下、2章では、本手法が扱う配線問題を主としてレイアウト構造の点から説明し、3章では配線手法を述べる。話を具体化するために、2章以降ではゲート分離方式⁸⁾のCMOS SOGのセルを例として使って説明を行っているが、本論文の配線手法は明らかに列構造のレイアウト一般に対して有効であり、その点では普遍性を持つ。4章に実際のSOGチップとMCNCのベンチマークデータPRIMARY 1-GAを用いた実験

結果を示す。

2. SOGのチャンネルレスレイアウト

本手法で対象とするSOGチップのレイアウト構造について述べる。一例としてゲート分離方式を用いたSOGのベースアレイを図1(a)に示す。セルは列状に配置され、その列をセル列と呼ぶ。通常、SOGチップは図1(b)に示すようにチャンネルレス方式でレイアウトされる。配線には3層を使用する。チップ上には配線線分を置くための配線格子を各層ごとに設定する。水平格子線には、M1とM2層の配線が通れる格子線（図2の実線）とM2とM3層の配線が通れる格子線（図2の点線）の2種類がある。2種類の水平格子線は重なることがある。垂直格子線はM1, M2およびM3層の配線が通れる格子線が1種類あるだけである。水平格子線を「トラック」、垂直格子線を「カラム」と呼ぶ。チャンネル配線を行う場合に配線層ごとに配線の方向を水平または垂直に限定することがよく行われている。本論文の手法でも、後述のOTCチャンネル処理部分においては、M1とM3層は水平方向、M2層は垂直方向に限定するHVHと呼ばれる配線層使用方式を採用する（ピン生成/同列ネット配線と再配線ではHVHには限定しない）。配線格子間隔は配線ピッチ、すなわち、設計規則によって定められた配線間の最小

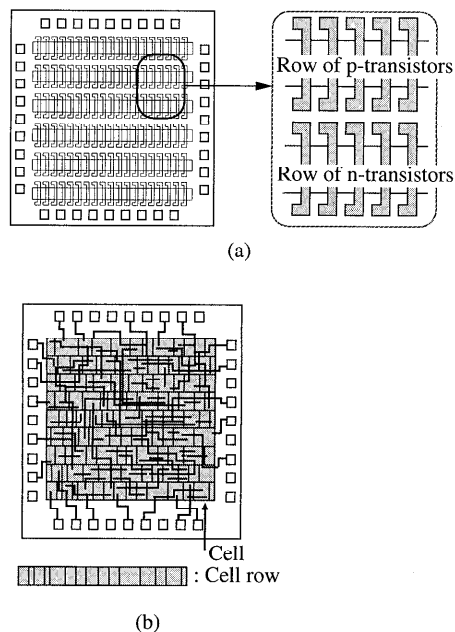


図1 (a) SOGのベースアレイ, (b) 配置配線結果
Fig.1 (a) SOG base array, (b) Placement and routing result.

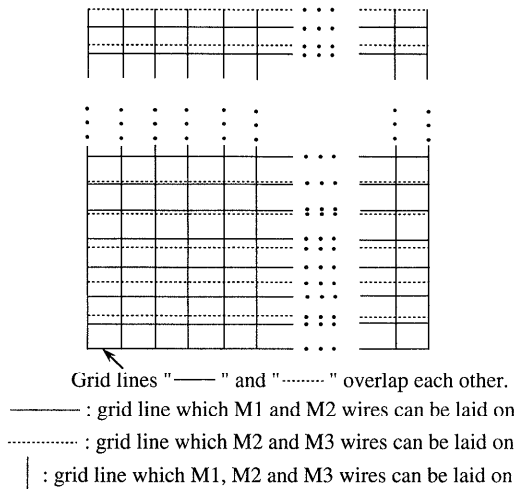


図2 配線格子線のモデル
 Fig.2 Model of routing grid lines.

許容間隔と配線幅の和と等しいかまたはそれよりも大きく設定するので、HVH方式の配線では隣接配線間のスペーシングチェックは必要がない。

配線処理の入力となる配線要求は、チップ上に配置されたセルの集合とネットの集合によって記述される。ネットとは互いに接続すべきセルのポート（端子）の集合を指す。各ポートにはそれぞれネット番号1, 2, ... が割り付けられている。セルを構成するトランジスタ間の接続はすでに行われており、その接続にはM1層とM2層が用いられている（ただし、M2層は最小限に限られている）。電源/グラウンド配線は、セル列として使われるトランジスタ列上を、M1層で水平方向に走っている。

図3にセルの例を示す。セルのポートは、M1, M2層、またはポリシリコン層上にある。ポートは、セルを構成するトランジスタ間の接続のための配線線分およびポリシリコンゲートの集合であり、セル内部に存在する。効率の良いセル間配線を行うためには、セル枠上のM2層端子ではなく、配線との接続に自由度のある上記のポートを持つセルを扱うことが必要である。

3. チャネルベース配線手法

本論文の配線手法は、(1)ピン生成/同列ネット配線、(2)概略配線、(3)OTCチャネル配線、(4)再配線（配線不能ネットに対する迷路法による引き剥がし再配線¹⁸⁾）の4つの処理から構成される。(1)~(3)が本高速配線手法の主要な処理であるので、以降では、それらについて述べる。

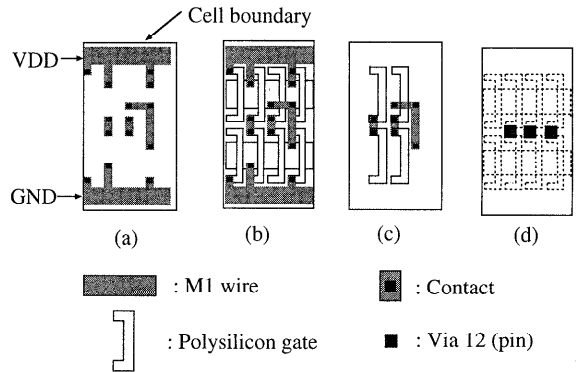


図3 2入力NANDのセル。(a)セル内配線、(b)セル内配線とベースアレイ、(c)ポート、(d)ピン
 Fig.3 2-input NAND cell. (a) Intra-cell routing pattern, (b) Intra-cell routing pattern placed on the base array, (c) Ports, (d) Pins.

3.1 ピン生成/同列ネット配線処理

本処理では、各セル列ごとに、各ポートに対する「ピン生成配線」と「同列ネット配線」を行う。ピン生成配線とは、セル内部の各ポートに対し、後述の基準に従ってM2層の格子点（ピンと呼ぶ）を選び、各ポートとM2層のピンとを接続する処理である。この配線をピン生成配線と呼ぶ。本論文の配線手法は、ポート間の配線要求（ネット）に対し、ピン生成配線処理でピンの生成とポートと対応するピン間の接続を行い、OTCチャネル配線でピン間の配線を行う。ピン生成配線は後述のOTCチャネル配線手法を適用するために行う。各ピンはセル内のM2層の各カラム上にたかだか1つしか存在しないように生成する。ピンの例を図3(d)に示す。ピンの位置を決める判断基準は、ピン生成配線を短くすること、セルの中央に近くすることである。後者の基準は、セル列上領域（OTC領域）内の幹線をM3層トラックへ割り付けるときの自由度を高めることを狙っている（後述のトラック割付け制約参照）。後述の概略配線はネットを2ピンサブネットの集合に分解するが、この2ピンサブネットの配線の水平線分を「幹線」と呼ぶ。幹線をM3層トラックへ割り付けることは、M3層上で水平方向の配線をする事と等価である。典型的な入力ポートは上下に並ぶp型とn型トランジスタのポリシリコンゲートとそれらを接続するM1層配線線分であり、出力ポートはp型とn型トランジスタの拡散領域を接続するM1層配線線分であるので、上記の基準のように決めるとピンの大部分はセルの中央に存在し、ポート上に置かれたビア12（M1層とM2層の配線を接続するビア）のM2層パターンとなる。したがって、1つのセ

ル列上の各ポートに対するピン生成配線はほとんどの場合、ビアを置くだけであるので、 $O(\rho)$ の時間で行える (ρ : 1セル列上のポート数)。

次に、同列ネット配線を行う。まず、同列ネット配線処理におけるピン生成配線について述べ、その後、アルゴリズムを示す。同列ネット配線処理では、すべての同列2ポートサブネット(ネットを2端子の接続要求に分割した場合の同一セル列上の2個のポートの接続要求)に対し、順次そのセル列上領域内で、水平および垂直のM1層線分と垂直のM2層線分を用いて配線する。このとき、1つの同列2ポートサブネットの配線の度ごとに、そのサブネットのポートにつながるピン生成配線を削除してから、配線を行う(前述のように、大部分のピン生成配線はビア12を置くだけであるので、いったん生成したピン生成配線をここで削除することによる時間の損失は小さい)。この後、配線した同列2ポートサブネットが3ポート以上を接続するネットの一部である場合には、後述の基準に従ってM2層格子点(この点もピンと呼ぶ)を選び、ピンとその同列2ポートサブネット配線を接続する。ピンの位置を決める判断基準は、ピン生成配線を短くすることと、そのネットの配線長の評価値を小さくすることである。たとえば、同一セル列上の3ポートからなるネットは2つの同列2ポートサブネットが順次、同列ネット配線の処理対象となり、同一セル列上の2ポートと異なるセル列上の1ポートからなるネットは、2ポート間の接続は同列ネット配線の処理対象となり、残りの1ポートとの接続は後述の概略配線とOTCチャネル配線で行われる。同列2ポート配線の例を図4に示す。図5の例から分かるように、一般に、セル内の p 型どうしや n 型どうしのトランジスタ間の接続は拡散領域共有により実現されることが多いので、セル内には p 型と n 型のトランジスタを接続する配線(特にポリシリコンゲート間接続)が多くなり、これらを最短経路で配線するとセル内配線はセル中央に集中する。したがって、同列2ポートサブネットの配線はセルの中央でなく、その上下に置かれることが多い。上述の基準に従うと、このピン生成配線は同列2ポートサブネット配線上に置かれたビア12となることが多く、この段階で設けるピンは、セルの中央ではなく、セル枠の上下辺の近くにあることが多い。このセル列中央にない、任意の位置のピンを扱うOTCチャネル配線アルゴリズムが必要となる。

同列ネット配線処理はセル列ごとに行う。そのアルゴリズムは以下のとおり。対象とするセル列上の全ポートをネット番号を第1キーとし、カラム番号(正

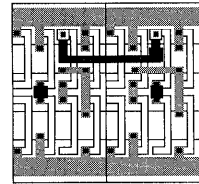


図4 2つのセル間の同列ネット配線の例
 Fig. 4 An example of routing of a same-row net.

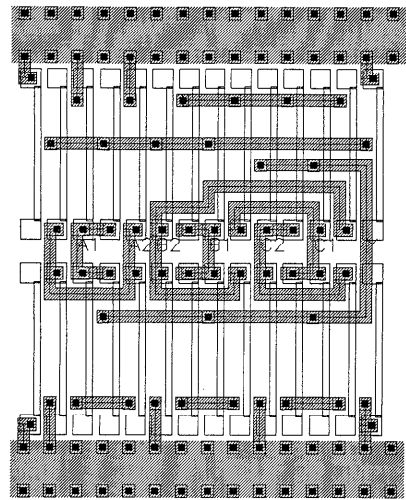


図5 セルの例 (multiplexer)
 Fig. 5 An example of a cell (3 wide 2-input AND into 3-input NOR).

確には対応するピンのカラム番号)を第2キーとして、ソートする。ソート後のリストで相連続し、同一ネット番号を持つ2つのポートを順次取り出し、それらのポートにつながるピン生成配線を削除した後、ポート間の配線経路を迷路法⁵⁾で見つける。この経路探索は、2ポートが存在するカラムに挟まれた領域内に限定する。また、高速化のために、2つのポート間の水平距離(カラム数)がある指定された値 α (α :パラメータ)以上のときはこれらをこの処理の対象としない。2つのポート間の配線経路が見つからなかった場合は、後の概略配線とOTCチャネル配線処理で主としてM2層、M3層を使ってセル列上で配線する。図4と5の例から分かるように、セル列内の同列ネット配線が通れるM1層トラックの数は多くはなく(たとえば1または2本)、一般に、横幅の大きいセルほど、同列ネット配線が通れるM1層トラックの数は少なく

なる。この少数のトラックを用いて相隣接するセル間の接続のような短いネットを配線するのが、同列ネット配線の狙いである。したがって、 α はセルの横幅の平均値程度に設定する。また、迷路法による「波の伝搬」はかなり限られた領域に対して行われるので、同列ネット配線の処理時間は短い。

対象とするセル列に対する迷路法の格子への障害物のラベル付け、全ポートのソートおよび迷路法による2ポート間の経路探索に要する時間はそれぞれ、 $O(m \cdot h_{M1})$, $O(\rho \log \rho)$, $O(h_{M1} \cdot \alpha)$ である (h_{M1} : 1セル列上のM1層トラックの数, m : 1セル列内のカラム数)。パラメータ α や h_{M1} は配線問題の規模によらずに一定であり, $m = d_1 \cdot \rho$ (d_1 : 定数) と考えてよいので, 1セル列に対する同列ネット配線に要する時間は以下ようになる。

$$O(m \cdot h_{M1} + \rho \log \rho + \rho \cdot h_{M1} \cdot \alpha) = O(\rho \log \rho + m) = O(\rho \log \rho)$$

3.2 概略配線

概略配線では、図6に示すように、グローバル格子線と呼ぶ粗い格子線によってSOGチップを矩形領域の2次元配列に分割する。分割してできた矩形領域のそれぞれをGセルと呼ぶ。水平のグローバル格子線は各セル列上に設ける。概略配線は、OTCチャンネル配線の準備として、各ネットの配線経路はどのGセルの境界線を横切っていくかを定める。その際、Tingら⁹⁾の手法を用いる。次に、図6のように、見つけた概略配線経路に基づいて、各ネットを1つのチャンネルとそれに隣接する2つのセル列上領域で配線すべき2ピンサブネットの集合に分解する。完全なチャンネルレスレイアウトではセル列間のチャンネルは縦幅が0となるが、実際のレイアウトではセル列の間にセルとして

使われないトランジスタ列がある場合やトラック数本分のすきまがある場合がある。したがって、以下の説明ではチャンネル縦幅が0ではない一般的な場合を想定して記述する。一般に、OTCチャンネル配線を行う場合、最終的にOTC領域(セル列上領域)内で配線されるネットの幹線も、概略配線の段階ではそのセル列の上下に隣接するチャンネルに割り付ける^{10),11)}。この理由は、もし、概略配線でOTC領域に割り付けるべき幹線とチャンネルに割り付けるべき幹線を区別するならば、OTCチャンネル配線で使う後述の垂直制約やトラック割付け制約を考慮する必要があり、概略配線問題が複雑化して処理時間が大幅に増大するからである。

図6から分かるように、SOGチップ上のGセルの2次元配列の行数は $n+1$ で、列数は $[m/\delta]+2$ 程度である (n : チップ上のセル列数, m : 1セル列内のカラム数, δ : 垂直グローバル格子線の間隔, $[a]$: a 以下の最大の整数)。概略配線は配線混雑の均一化を目標とした反復改善手法を使うので、その処理時間は、混雑したGセルを通る1本のネットに対し、混雑を緩和するための新しい概略配線経路を見つける改善操作(再配線¹⁹⁾)の繰返し回数に依存する。通常、改善操作の実行回数はネット数に比べて小さい(文献19)の表2の処理方式B参照)。したがって、概略配線の処理時間は全2ピンサブネットに対しGセル上での概略配線経路を迷路法で見つけるのに要する時間に相当し、前述のように $m = d_1 \cdot \rho$ (d_1 : 定数) であるから、その計算複雑度は $O(n \cdot \rho(n+1)([m/\delta]+2)) = O(n^2 \cdot \rho^2)$ となる (ρ : 1セル列上のポート数の最大値)。

3.3 OTCチャンネル配線

本処理では、概略配線で各チャンネルに割り付けられた2ピンサブネットをチャンネルとその上下に隣接するOTC領域を使って配線する。

3.3.1 OTCチャンネル配線問題

本項のOTCチャンネル配線では、各2セル列間に配線チャンネルが存在するものとして話を進めるが、配線後には、相互に接している2セル列間のチャンネルの縦幅は0となり、チャンネルはなくなる。OTCチャンネル配線が対象とする領域は、OTC領域とその上下2つのチャンネルからなる。OTCチャンネル配線の一例を図7に示す。 R はOTC領域, C と C' はそれぞれ R の下と上に隣接するチャンネル, T_0 (T'_0) を概略配線により C (C') に割り付けられた幹線の集合とする。OTC領域 R 内のM3層トラックには下から上へ順に番号を $1, 2, \dots, h$ と付け、カラムには左から右へ順に番号を $1, 2, \dots, m$ と付ける。 R ではM2層とM3層を、チャンネル C, C' では3つの層を配線に使用する

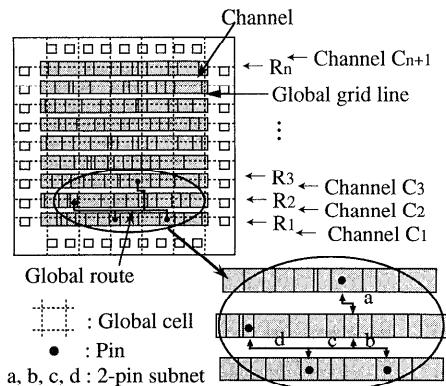


図6 概略配線におけるGセル

Fig.6 Global routing cells after introducing channels with width of "0".

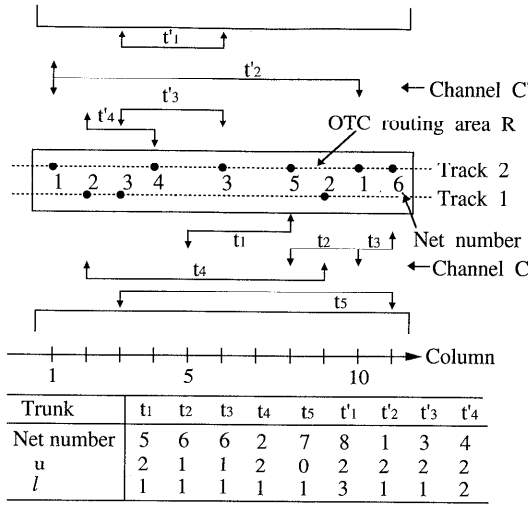


図7 OTCチャネル配線の配線要求
Fig.7 Routing requirement of OTC channel routing.

る。ピンはセル内のM2層にある。Rの各カラム上にはたかだか1つのピンが存在するだけである。

OTC領域R内にピンやM2層のセル内配線が存在するため、C、C'内の各幹線に対し、それを割付け可能なトラックの番号にある制約が課される。たとえば、図7においてトラック2とカラム10の交点にネット番号1のピンがある。幹線t3へ接続する垂直線分はネット番号6であるので、このピンと重なることができない。こうして、幹線t3はトラック2上に置けない。このことは、C内の幹線tが割付け可能なRのトラックの番号にある上限値があることを示している。そんな上限値をu(t)と表す。トラック1とカラム3の交点にネット番号3のピンがあるので、幹線t5はR内に置けない。この状況はu(t5)=0として表現する。同様に、C'内の幹線t'が割付け可能なRのトラックの番号の下限値が存在する。この下限値をl(t')で示す。便宜上、C内の幹線に対し下限値l(t)はつねに1、C'内の幹線に対し上限値u(t')はつねにhとする。このような上限値と下限値を「トラック割付け制約」と呼ぶ。この制約を導入することにより、OTCチャネル配線でM2層のセル内配線とセル内のピンを扱うことができる。

配線要求は、以下の5つの組(T0, T'0, U, L, H)により与えられる。

- (1) $T_0 = \{t_1, t_2, \dots, t_a\}$ と $T'_0 = \{t'_1, t'_2, \dots, t'_b\}$ は、それぞれ、CとC'に割り付けられた幹線の集合。
- (2) $U = [u(t_1), u(t_2), \dots, u(t_a)]$ と $L = [l(t'_1), l(t'_2), \dots, l(t'_b)]$ はトラック割付け制約。

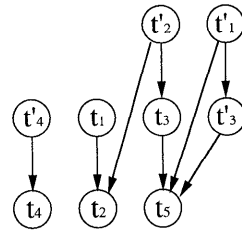


図8 図7の配線要求に対する垂直制約グラフ $G(T_0 \cup T'_0)$
Fig.8 Vertical constraint graph $G(T_0 \cup T'_0)$ for routing requirement of Fig.7.

- (3) $H = \{h_C, h'_C, h\}$ の h_C と h'_C は、それぞれ、CとC'内のM1とM3層トラックの合計数。
 h はR内のM3層トラック数。

OTCチャネル配線問題は、配線要求 (T_0, T'_0, U, L, H) が与えられたとき、チャンネルCとC'とOTC領域Rにおいて配線を行うことである。

本項の残りでは、チャンネル配線^(6),7)で用いられる「水平制約」、「垂直制約」について簡単に説明する。同じカラム上で、相異なるネットの垂直配線線分はオーバーラップしてはならない。たとえば、図7において、カラム8で発生する垂直配線の衝突のために、幹線t1は幹線t2より上のトラック上に置かなければならない。図7のカラム2を見ると、幹線t'4は幹線t4の上に置かなければならない。このような制約を垂直制約と呼ぶ。垂直制約は垂直制約グラフ⁷⁾ $G(T_0 \cup T'_0)$ によって表現される。グラフ $G(T_0 \cup T'_0)$ の頂点集合は幹線集合 $T_0 \cup T'_0$ である。 $G(T_0 \cup T'_0)$ の有向辺 (y_i, y_j) は幹線 y_i が幹線 y_j より上に置かなければならないことを示す。 $T_0 \cup T'_0$ の相異なるネット番号を持つ2つの幹線の間には水平制約があるとは、それらは同一トラック上に置くと互いにオーバーラップすることを示す。図7の例に対する垂直制約グラフを図8に示す。

3.3.2 OTCチャネル配線アルゴリズムの基本的考え方

従来のアルゴリズム(たとえばCongら¹⁰⁾のアルゴリズム)と同様に、OTCチャネル配線問題をOTC配線とチャンネル配線に分割する。チャンネル配線には3層に拡張した“efficient channel router”⁶⁾を用いる。3層への拡張は簡単であるので、ここでは省略する。OTC配線は、前項で説明した幹線に対するトラック割付け制約を課されたチャンネル配線問題と定式化する。すなわち、配線要求 (T_0, T'_0, U, L, H) が与えられたとき、 $T_0 \cup T'_0$ の幹線間の垂直制約と水平制約およびトラック割付け制約UとLを満たすように、 $T_0 \cup T'_0$ の部分集合をOTC領域Rのトラック上に配置し、配線することである。ここで、幹線を配線するとは、幹線

をトラック上へ置き、その両端点を対応するピンへ垂直配線によって接続することである。本論文の OTC 配線アルゴリズムは $T_0 \cup T'_0$ から幹線を 1 本ずつ選び、選ばれた幹線群を R 内で配線する。この操作を R 内で配線可能な幹線がなくなるまで実行する。幹線群のトラック上への配置を決めるときに、吉村ら⁷⁾の考え方に基づく幹線マージを行う。OTC 配線アルゴリズムの詳細は文献 11) に記述されている。

図 7 の配線要求を用いて、本論文の OTC 配線アルゴリズムの基本的考え方を説明し、その配線例を示す。 $h_C = h'_C = 2$ とする。 $T_0 \cup T'_0$ から幹線を 1 本ずつ選び、選んだ幹線集合を R 内で配線する。アルゴリズムの実行のある段階で、 T_R を R 内で配線するために選ばれた幹線の集合とすると (アルゴリズムの実行とともに T_R の要素数は増大する), C と C' に残っている幹線の集合 T と T' はそれぞれ $T = T_0 - T_R$ と $T' = T'_0 - T_R$ となる。付録の集合 Y の定義で述べるように、 T_R の幹線は、残った幹線集合 T (T') が C (C') 内で配線可能となることを目的とした条件 (付録の条件 (a) と (b)) を満足するように選ぶ。その選ぶ順序は特に定めていないが、この例では、添字の番号順である。たとえば、 $T_R = \{t_1, t_2, t_3\}$ となった段階では、 $T = \{t_4, t_5\}$ であり、 T の幹線密度 (あるカラムを通過する幹線数) が $h_C = 2$ を超えるカラムはなく (すなわち、 $\beta = 0$ とした場合の付録の条件 (a) が満たされない)、幹線集合 T が C 内で配線可能であると考えられるので、 t_4, t_5 は T_R の要素として選択しない。また、 T_R に t'_2 を加えて新しい集合 $T_R = \{t_1, t_2, t_3, t'_2\}$ とすると、 T_R は配線不可能であるので、 t'_2 は R 内で配線する幹線としては選ばれない。 T_R の幹線は配線可能か否かは “merging operation”¹¹⁾ と “trunk assignment algorithm”¹¹⁾ を使って調べる。以上のような処理を繰り返すことにより、最終的に $T_R = \{t_1, t_2, t_3, t'_3, t'_4\}$ を得る。次に、幹線集合 t_2, t_3, t'_3 と t_1, t'_4 をそれぞれトラック 1 と 2 に割り付け、図 9 の配線結果を得る。

付録で述べたように、 $\tau = |T_0 \cup T'_0|$ とし、 T_0 の各カラムの幹線密度の最大値と T'_0 の各カラムの幹線密度の最大値の和を D とすると、OTC 配線アルゴリズムの計算複雑度は $O(\tau \log \tau + \tau \cdot D^2)$ である。OTC 配線後に実行する、幹線集合 T に対する “efficient channel router”⁶⁾ の計算複雑度は $O(|T| \log |T| + |T| \cdot h_C)$ である。回路の規模の増大に対して、 D はほとんど増大しないと考えてよい。Heller ら¹⁶⁾ の実験によれば、1,000 ゲート規模のチップで、 $D/2$ に相当するチャンネルの “track requirement” が約 18 本、2,000 ゲート

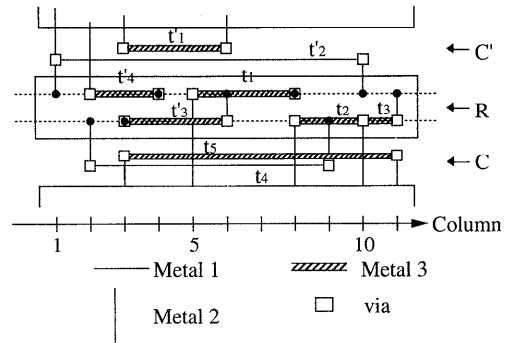


図 9 図 7 の配線要求に対する配線結果
Fig. 9 A routing result for the requirement of Fig. 7.

規模では約 19 本と報告されている。したがって、本 OTC チャンネル配線アルゴリズムの計算複雑度は

$$O(\tau \log \tau + \tau \cdot D^2) + O(|T| \log |T| + |T| \cdot h_C) + O(|T'| \log |T'| + |T'| \cdot h'_C) = O(\tau \log \tau)$$

であり、代表的なチャンネルルータ⁶⁾の計算複雑度と等しい。

3.3.3 チップ全体に対する OTC チャンネル配線アルゴリズム

OTC チャンネル配線法を図 6 のゲートアレイチップ全体に適用する方法について述べる。チップの下から OTC 配線領域 R_1, R_2, \dots, R_n とチャンネル C_1, C_2, \dots, C_{n+1} は交互に並んでおり、グローバル配線の結果は各チャンネルに割り付けられた幹線の集合として与えられる。詳細配線処理では、OTC 配線領域 R_k とその下側と上側のチャンネル C_k と C_{k+1} ($k = 1, 2, \dots, n$) に対して順に本論文の手法を適用する。 R_k, C_k および C_{k+1} に対する OTC 配線アルゴリズムの実行時は、元々 C_k と C_{k+1} に割り付けられていた幹線を R_k 内で配線する。その次に、チャンネル C_k 内に残った幹線を C_k 内で配線する。しかしながら、この段階では、 C_{k+1} に残った幹線はまだ配線しない。それらの幹線は、次の R_{k+1}, C_{k+1} および C_{k+2} に対する OTC チャンネル配線のときに C_{k+1} と R_{k+1} 内で配線される。したがって、 R_k, C_k および C_{k+1} に対する OTC チャンネル配線においては、 C_{k+1} 内の M1 層と M3 層のトラックの合計と $h/2$ の和を配線要求 (T_0, T'_0, U, L, H) の h'_C とする。

チップ全体に対する詳細配線 (ピン生成/同列ネット配線と OTC チャンネル配線) 処理は、各セル列に対して実行し、かつ、 $\tau = d_2 \cdot \rho$ (d_2 は定数) と考えられるので、詳細配線処理の計算複雑度は $O(n \cdot \rho \log \rho + n \cdot \tau \log \tau) = O(n \cdot \rho \log \rho)$ である。

表1 チャネルベース配線手法による配線結果
Table 1 Routing results by the proposed channel-based method.

回路	A	B	C	D	PRIMARY 1-GA	
ベースアレイ (ゲート数)	83 K	159 K	422 K	508 K	2.6 K	
ベーシックセル使用率	80%	78%	70%	72%	86%	
セル数	34,083	19,252	40,379	89,242	752	
メガセル数	0	0	10	0	0	
ネット数	37,577	36,316	43,805	141,823	904	
セル列数	122	169	276	303	26	
カラム数 m (最大値)	2,025	2,811	2,197	5,022	601	
ポート数 ρ (平均値)	954	529	498	1,095	113	
幹線数 τ (平均値)	1,906	981	1,032	1,619	209	
同列ネット配線処理で配線した同列ネット数	10,641	2,317	8,146	10,323	0	
再配線で処理したネット数	167	76	197	37	1	
処理時間 (分)	入力処理	19.1	9.3	18.8	41.2	0.2
	ピン生成/同列ネット配線	18.5	25.1	24.0	54.1	0
	概略配線	35.6	30.3	74.3	96.1	0.5
	OTC 配線	26.0	25.2	31.6	52.7	0.8
	チャネル配線	1.4	1.0	2.6	3.4	0.1
	再配線	18.4	16.1	46.5	6.2	0.02
合計	119.0	107.0	197.8	253.7	1.62	
総配線長 (m)	7.87	12.85	16.94	25.69	1.52	
ビア数	241.3 K	221.9 K	321.3 K	647.4 K	4.7 K	
配線格子線使用率 (%)	38.3	33.5	24.1	24.2	26.1	

(注) 配線格子線使用率: 「総配線長」の「セルのポート間の配線に使用可能な配線格子線の長さの合計」に対する比。

4. 評価

本手法をC言語を用いてプログラミングし、配置配線ツール HGAOP¹⁷⁾を実現した。計算機はSUN4/490 (21 MIPS) を用いた。評価で用いたCMOS SOG回路を表1に示す。これは、2章で述べた池田ら⁸⁾が提案したセル構造を持つ。 η_i を M_i 層 ($i = 1, 2, 3$) の配線ピッチとすると、 $\eta_1 : \eta_2 : \eta_3 = 1.65 : 2 : 2$ である。OTC領域内のM1層水平トラック数は19, M3層水平トラック数 h は16である。2つのセル列を互いに接して設けた場合でも、1本のM3層トラックを持つチャネルが1セル列おきに存在する。同列ネット配線処理のパラメータは $\alpha = 20$ と設定した。HGAOPの配線結果を表1に示す。全回路を100%配線できた。図10は表1の回路Aの配線結果の一部である。本手法はチャネルベース配線ではあるが、チャネルレス方式でセル列上領域内で高密度な配線を達成できていることが分かる。これらの回路は、配置もHGAOPで行い、すべてチャネルレス方式でレイアウトした。表2は、セル列間に幅の広いチャネルがある仮想的なSOGチップ上で、表1の回路の全幹線をHGAOPでチャネル配線した場合の処理時間である。表1と2から、以下のことが分かる。

- (1) 同列ネット配線処理では全ネットの6~28%が配線されている。ピン生成/同列ネット配線処

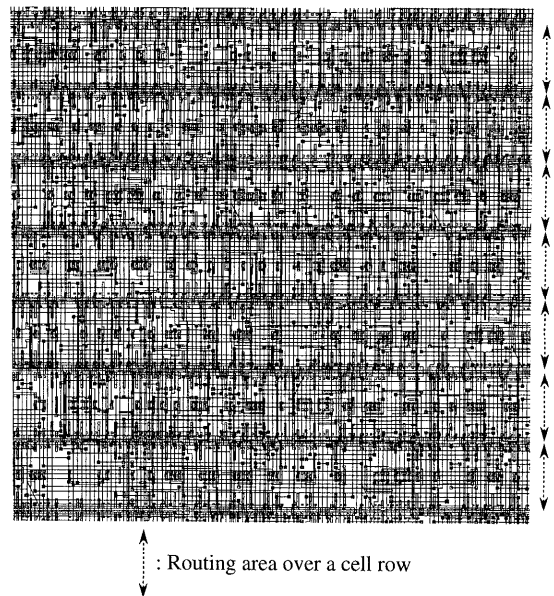


図10 表1の回路Aの配線結果の一部

Fig. 10 A part of the routing result of SOG circuit A in Table 1.

理の処理時間はOTCチャネル配線のそれとほぼ同等である。これはピン生成/同列ネット配線処理はセル列単位の処理で高速であるうえに、表1のようにピン生成/同列ネット配線処理の処

理時間を決める ρ が τ より小さいからである。

- (2) 概略配線は迷路法による経路探索を行うので、その計算複雑度は $O(n^2 \cdot \rho^2)$ である。しかし、垂直グローバル格子線の間隔を $32 \cdot \eta_2$ としている ($\delta = 32$) のでチップ上の G セルの列数は 1 セル列上のポート数 ρ よりかなり小さいことと、全回路のネットの平均配線長はたかだか $200 \cdot \eta_2$ (G セルの一辺の約 6 倍の長さ) であることから、その処理時間はあまり大きくはない。本論文の概略配線手法は一般的な Tingら⁹⁾の手法を用いており、後で述べる汎用的な配線ツールの概略配線の処理時間とほぼ同等である。
- (3) 本論文の OTC チャンネル配線は吉村ら⁷⁾が提案した幹線マージを用いており、表 1 と 2 のチャンネル配線は吉村⁶⁾の“efficient channel router”を用いている。表 1 の OTC チャンネル配線の処理時間は表 2 のチャンネル配線のその約 2.0~2.9 倍となっている。この差は 2 つのチャンネルルータ^{6),7)}のアルゴリズムの違いによる。実際、72 ネットの“difficult example”のチャンネル配線時間は“efficient channel router”が文献 7)の手法の 2 分の 1 になっている。したがって、3.3 節で解析したように、本 OTC チャンネル配線手法はチャンネルルータ並に速いと考えるとよい。
- (4) 表 1 の SOG 回路は、セル列間に 1 列おきに幅が 1 のチャンネルが存在し、チップの周囲やメガセルの周囲に幅の広いチャンネルが存在するので、チャンネルルータも若干の CPU 時間を費やしている。
- (5) 本手法で 100%自動配線が可能な SOG 回路の場合、詳細配線処理で配線不能となり、再配線で処理されるネットは、通常は、全ネットの 0.5%以

下である。このため、再配線の処理時間は詳細配線のそれ以下に抑えられることが多い。

- (6) 入力処理とはネットリストと呼ばれるセル間接続情報とチップ構造情報を入力として、配線プログラム内部データ構造にデータを格納する処理で、この処理時間の全体の処理時間に対する割合は小さい。

本論文で述べた配線手法を、既存の技術と比較するために、表 1 と同じ配置結果に対し、広く使われている市販の配線ツールを適用した結果を表 3 に示す。このツールはゲートアレイ用で、セル列といった規則性がないレイアウト構造を扱う汎用的なものである。その配線手法は、概略配線とエリアルータから構成されると推定される。表 3 から次のことが分かる。

- (1) HGAOP は市販ツールと比べて、4~7 倍高速である。この主な理由は詳細配線の処理速度の違いである。
- (2) 配線結果の総配線長は、本手法が市販ツールより 2~5%長い。ビア数は逆に 0~11%少ない。これは、本手法の詳細配線は HVH 方式で配線するためである。

本チャンネルベース配線手法のエリアルータに対する高速性は、配線混雑度が高い状態でも、少し低下するが維持される。しかし、本手法は、HVH の配線層使用方式という制約を活用しているため、エリアルータに比べて、配線不能が発生しやすくなるという問題が生じる。このことは、上記の「配線結果の総配線長は、本手法が市販ツールより 2~5%長い」ことから理解できる。表 1 の回路 A をベーシックセル使用率がより高い状態 (小さいベースアレイ上) で配線した結果を表 4 に示す。本手法の詳細配線部の処理時間は $O(n \cdot \rho \log \rho)$ であるため、ベースアレイサイズを小さくして配線混雑度を高い状態にしても、表 4 のように詳細配線の処理時間はあまり増加しない。配線混雑が高い状態では、配線不能が発生しやすくなるため、本手法の再配線の処理時間は増大し、本手法と市販ツールともに概略配線の処理時間は若干増加するが、本手

表 2 表 1 の全幹線をチャンネル配線した場合の処理時間

Table 2 Processing times in case where all the trunks are assigned by the channel router.

回路	A	B	C	D
チャンネル配線処理時間 (分)	10.6	9.2	15.6	18.3

表 3 汎用的な配線ツールによる配線結果

Table 3 Routing results by a general-purpose tool.

回路	A	B	C	D	PRIMARY 1-GA	
処理時間 (分)	入力処理	44.5	27.2	58.9	161.3	1.8
	概略配線	61.0	40.0	71.0	91.8	0.4
	エリア配線	752.8	510.2	730.5	988.4	5.9
	合計	858.3	577.4	860.4	1241.5	8.1
総配線長 (m)	7.64	12.61	16.10	24.85	1.47	
ビア数	269.9 K	222.6 K	330.8 K	703.1 K	4.3 K	

表4 表1の回路Aを小さいベースアレイ上で配線した結果
Table 4 Routing results of circuit A in case of using a smaller base array.

配線手法		チャンネルベース配線手法	汎用的な配線ツール
ベースアレイ (ゲート数)		78 K	
ベーシックセル使用率		85%	
処理時間 (分)	入力処理	18.4	42.3
	ピン生成/同列ネット配線	17.9	—
	概略配線	40.9	62.5
	OTC配線	26.9	エリア配線: 771.5
	チャンネル配線	1.2	
	再配線	51.1	
合計		156.4	876.3
総配線長 (m)		7.14	6.94
配線不能ネット数		18	0

法の高速性は維持されることが分かる。

次に, MCNC (Microelectronics Center of North Carolina) によるベンチマーク回路 PRIMARY1-GA を配置配線した結果を表1と3に示す。配置は HGALOP で行った。以下の仮定の下で実験を行った。(1) M1層, M2層およびM3層の配線ピッチは等しく, 10 μm である。(2) セル上領域では, M2, M3層のみ使用する。(3) ピンは各セルの中央のトラック (すなわち, トラック7) 上でM2層上に存在する。(4) セル列数を26とし, セル列間には配線チャンネルをまったく設けない。(2)と(3)から, ピン生成/同列ネット配線処理は不要となる。本論文の手法が配線に要した時間は1.62分であった。一方, 市販の汎用ツールは8.1分を要した。市販ツールの方がビア数が少ないのは, 実際のセルとは異なり, セル上領域にはM2層の障害物はなく, M2またはM3層の折れ曲がった配線を自由に引けるためである。

以上の実験結果から, 本論文のチャンネルベース配線手法はSOGのチャンネルレスレイアウトに適用可能で, チャンネルルータ並に高速であることが確かめられた。

5. むすび

本論文では3層SOGのチャンネルレスレイアウトに適用可能なチャンネルベース配線手法を示した。本配線手法は, SOGのレイアウト構造, すなわち, チャンネルレス方式の列構造のレイアウトの規則性を有効活用したもので, 高速であることを示した。

今後の課題としては, 配線手法の4層配線対応化があげられる。

参考文献

1) Ng, C., Ashtaputre, S., Chambers, E., Do, K., Hui, S., Mody, R. and Wong, D.: A Hierarchical Floor-planning, Placement, and Routing Tool

for Sea-of-gates Designs, *Proc. Custom Integrated Circuit Conference*, pp.3.3.1-3.3.4 (May 1989).

- 2) Igusa, M., Beardslee, M. and Sangiovanni-Vincentelli, A.: ORCA A Sea-of-gates Place and Route System, *Proc. 26th Design Automation Conf.*, pp.122-127 (Jun. 1989).
- 3) Fujimura, A.: Automating the Layout of Very Large Gate Arrays, *VLSI System Design*, pp.22-27 (Apr. 1988).
- 4) 石塚昭夫, 岡本 匠, 多和田茂芳, 袖美樹子, 水沼貞幸, 高見沢一彦: ゲートアレイ/セルベースIC自動レイアウトシステム—GALET, 情報処理学会DAシンポジウム'94, pp.137-142 (Aug. 1994).
- 5) Lcc, C.Y.: An Algorithm for Path Connections and Its Applications, *IRE Trans. Electronic Computers*, Vol.EC-10, No.3, pp.346-365 (Sep. 1961).
- 6) Yoshimura, T.: An Efficient Channel Router, *Proc. 21st Design Automation Conf.*, pp.38-44 (Jun. 1984).
- 7) Yoshimura, T. and Kuh, E.S.: Efficient Algorithms for Channel Routing, *IEEE Trans. Computer-Aided Design of ICAS*, Vol.CAD-1, No.1, pp.25-35 (Jan. 1982).
- 8) Ikeda, N., Ishibashi, A., Maeno, H., Matsue, S., Asahina, K., Arakawa, T. and Kato, S.: 0.5 μm 1M Gate CMOS SOG, *Proc. Custom Integrated Circuit Conference*, pp.23.2.1-23.2.4 (May 1993).
- 9) Ting, B.S. and Tien, B.N.: Routing Techniques for Gate Array, *IEEE Trans. Computer-Aided Design*, Vol.CAD-2, No.4, pp.301-312 (Oct. 1983).
- 10) Cong, J. and Liu, C.L.: Over-the-cell Channel Routing, *IEEE Trans. Computer-Aided Design of ICAS*, Vol.CAD-9, No.4, pp.408-418 (Apr. 1990).
- 11) Terai, M., Takahashi, K., Nakajima, K. and

- Sato, K.: A New Approach to Over-the-cell Channel Routing with Three Layers, *IEEE Trans. Computer-Aided Design*, Vol.13, No.2, pp.187-200 (1994).
- 12) Holmes, N.D., Sherwani, N.A. and Sarrafzadeh, M.: Algorithms for Three-layer Over-the-cell Channel Routing, *Proc. IEEE Int'l Conf. on Computer-Aided Design*, pp.428-431 (Nov. 1991).
- 13) Natarajan, S., Sherwani, N., Holmes, N.D. and Sarrafzadeh, M.: Over-the-cell Channel Routing for High Performance Circuits, *Proc. 29th Design Automation Conf.*, pp.600-603 (Jun. 1992).
- 14) Koide, T., Tsuchiya, M., Wakabayashi, S. and Yoshida, N.: Three-layer Channel Routing for Standard Cells with Column-dependent Variable Over-the-cell Routing Capacities, *Proc. Custom Integrated Circuit Conference*, pp.28.1.1-28.1.4 (May 1994).
- 15) Wu, B., Sherwani, N.A., Holmes, N.D. and Sarrafzadeh, M.: Over-the-cell Routers for New Cell Model, *Proc. 29th Design Automation Conf.*, pp.604-607 (Jun. 1992).
- 16) Heller, W.R., Mikhail, W.F. and Donath, W.E.: Prediction of Wiring Space Requirements for LSI, *Journal of Design Automation & Fault-Tolerant Computing*, Vol.2, No.2, pp.117-144 (May 1978).
- 17) Terai, M., Takahashi, K., Shiota, H. and Sato, K.: A New Efficient Routing Method for Channel-less Sea-of-gates Arrays, *Proc. Custom Integrated Circuit Conference*, pp.28.3.1-28.3.4 (May 1994).
- 18) Shiota, H., Shibatani, S. and Terai, M.: A New Rip-up and Reroute Algorithm for Very Large Scale Gate Arrays, *Proc. Custom Integrated Circuit Conference*, pp.9.3.1-9.3.4 (May 1996).
- 19) 寺井正幸, 佐藤興二, 松崎日出夫, 高橋一浩: 3層配線ゲートアレイ用グローバル配線の新手法, 電子情報通信学会論文誌, Vol.J78-A, No.10, pp.1372-1384 (1995).
- 20) Fujii, T., Mima, Y., Matsuda, T. and Yoshimura, T.: A Multi-layer Channel Router with New Style of Over-the-cell Routing, *Proc. 29th Design Automation Conf.*, pp.585-588 (Jun. 1992).

付録 OTC 配線アルゴリズムの計算複雑度の解析

文献 11) の 4.4 節の "OTC routing algorithm" の計算複雑度について述べる. 文献 11) と同一の記号

および用語を用いるので, 本付録では改めてそれらの定義は行わない. チャネルレスレイアウトでは, 大部分の幹線が OTC 領域 R 内で配線されるので, 文献 11) の式 (1) の必要性は低くなる. したがって, 本論文の配線手法は式 (1) を考慮しない. チャネルルータは最大幹線密度 (channel density) をたかだか 1 か 2 超えた数のトラックを使って配線できるので, OTC 配線の後, チャネル C と C' 内で残った幹線集合 T と T' を配線するためには最大幹線密度 $D_M(T)$ と $D_M(T')$ をそれぞれ $h_C - \beta$, $h'_C - \beta$ (β はパラメータで, $\beta = 1$ または 2) 以下にすることが必要である. したがって, 本論文の配線手法では, 文献 11) の 4.1 節の集合 Y の定義は以下のように変更する.

- Y を (1) $u(y) - l(y) \geq 0$, かつ (2) 次の条件 (a) または (b) のどちらかを満足する幹線 y の集合とする.
- (a) $y \in T$ で, $G(T)$ において $\text{Anc}(y) = \phi$, かつ, y は $D(T, x) > h_C - \beta$ なるゾーン ($zone$) x を通る.
- (b) $y \in T'$ で, $G(T')$ において $\text{Des}(y) = \phi$, かつ, y は $D(T', x) > h'_C - \beta'$ なるゾーン x を通る.

$\tau = |T_0 \cup T'_0|$, $D = D_M(T_0) + D_M(T'_0)$ とし, 1本の幹線が占めるゾーンの数 (長さ) を g とする. 時間 $O(\tau \cdot \log \tau)$ をかけて $T_0 \cup T'_0$ の幹線をその両端点の座標でソートした後で, 各ゾーンに対する $Z(i)$ ($i = 1, 2, \dots, z$), 垂直制約グラフ $G(T_0 \cup T'_0)$, 水平制約グラフ $G_H(T_0 \cup T'_0)$ を作成するのに要する時間は, それぞれ $O(\tau \cdot D)$, $O(\tau)$ および $O(\tau \cdot D^2)$ である. ここで, 水平制約グラフ $G_H(T_0 \cup T'_0)$ とは, その頂点集合は幹線集合 $T_0 \cup T'_0$ であり, 無向辺 (y_i, y_j) は幹線 y_i と幹線 y_j の間に水平制約が存在することを示すグラフである.

アルゴリズムのステップ 2 と 3 (または 4) はたかだか $\tau - 1$ 回繰り返される. ステップ 2 では, 上記の条件「 y は $D(T, x) > h_C - \beta$ なるゾーン x を通る」または「 y は $D(T', x) > h'_C - \beta'$ なるゾーン x を通る」を満たすか否かのチェックに $O(g)$ の時間を要し, 幹線選択後の $Z(i)$ の更新は $O(g \cdot D)$ の時間で行える. ステップ 3 または 4 の実行において, 水平制約グラフ $G_H(P)$ から $G_H(P')$ への更新および $G(P)$ から $G(P')$ への更新に, それぞれ $O(D)$ と $O(1)$ を要し, $G(P)$ の頂点数と辺数がそれぞれ r とたかだか $r(r-1)/2$ であることから, $G_V(P)$ の 2 頂点間の有向道の有無のチェックに $O(r^2)$ を要する. したがって, 2 つの幹線のクラスがマージ可能か否かを時間 $O(r^2)$ で調べることができる. このテストは, $r(r-1)/2$ 通

りのクラスの組に対し、実行される。

1回のステップ3または4の実行において大部分の場合マージ操作 (merging operation) は1回行われるだけであるが、最大 $r-1$ 回適用される可能性がある。ステップ3または4において P が配線可能かどうかの判定に用いる文献11)の“trunk assignment algorithm”は $O(r^2)$ の時間で行える。それゆえ、OTC配線アルゴリズムの全体の処理時間は、(1) $r < h$ で h は一定であることと、(2) 良い配置手法を使うと g も問題の規模によらずに一定と見なしてよいことを考慮すると、次式ようになる。

$$\begin{aligned} & O(\tau \log \tau + \tau \cdot D^2 \\ & \quad + (\tau - 1)(D + r^2)r(r - 1)^2/2) \\ & = O(\tau \log \tau + \tau \cdot D^2) \end{aligned}$$

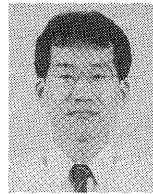
(平成8年6月12日受付)

(平成9年1月10日採録)



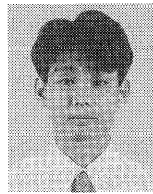
寺井 正幸 (正会員)

昭和28年生。昭和51年大阪大学工学部電子工学科卒業。昭和53年同大学院修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、同社半導体基盤技術統括部勤務。工学博士。電子情報通信学会会員。



城田 博史 (正会員)

昭和40年生。昭和63年早稲田大学理工学部電子通信学科卒業。平成2年同大学院修士課程修了。同年三菱電機(株)入社。現在、同社半導体基盤技術統括部に勤務。LSIの自動配置配線技術の研究開発に従事。



柴谷 聡

昭和43年生。平成2年大阪大学工学部応用物理学科卒業。平成4年同大学院修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術、特に自動配線技術の研究開発に従事。現在、同社半導体基盤技術統括部に勤務。電子情報通信学会会員。



佐藤 興二 (正会員)

昭和18年生。昭和40年京都大学理学部物理学科卒業。昭和46年同大学院博士課程修了。昭和48年三菱電機(株)入社。昭和51年より、同社LSI研究所において集積回路用CAD技術の開発に従事。現在、三菱電機セミコンダクタソフトウェア(株)勤務。理学博士。電子情報通信学会会員。