

4N-5

COMET 互換プロセッサによる CPU 設計演習環境の提案と実現

吉澤 匡[†] 片山 博誠[†] 石川 知雄[†] 宮内 新[†]武蔵工業大学情報通信研究室[†]

E-mail yosizawa@ic.cs.musashi-tech.ac.jp

1 はじめに

現在我々は、本学電子情報工学科におけるコンピュータ教育のハードウェア分野の充実化のため、プロセッサのアーキテクチャと設計方法を学べる演習環境の整備を進めている。本研究では、本学学部生を対象とした CPU 設計演習環境とそのカリキュラムについて提案と実現を行う。

この演習環境ではモデルプロセッサとして、情報処理技術者試験でも取り上げられており、アセンブラシミュレータ環境や関連文献なども用意されているプロセッサ COMET と互換なプロセッサを設計し、演習用として提供する。

2 概要

本演習環境では、LSI 設計技法の一つであるハードウェア記述言語の VHDL を利用し、演習者が与えられた演習用プロセッサを再設計するなどして、プロセッサの動作原理と設計技法を学ぶことを主な目的として設定する。

2.1 演習用プロセッサの選択

本学電子情報工学科カリキュラムの流れと、情報処理技術者試験で取り上げられることを考慮して、演習に用いるプロセッサとして COMET を選択した。命令数やアーキテクチャの規模も本演習を行うにあたって適当なものであると考える。本環境では COMET の命令をほぼ利用できる演習用

プロセッサを設計し、教材として提供する。このプロセッサを m-COMET と呼ぶ。

本演習環境を利用する学生は、CASL アセンブラシミュレータなどにより COMET のプログラミングをすでに理解しており、COMET のソフトウェア面での理解が成されているものとする。これにより演習用の独自規格のプロセッサを与えるよりも、円滑に演習を進めることができる。

2.2 各段階の演習について

演習者は次に述べる各段階について演習を進める。

2.2.1 第1段階 VHDL による論理回路設計

この段階では演習者に対して簡単な論理回路実現の課題を課し、目的の機能を完成させ事を通じて基本的な VHDL 記述や VHDL 論理合成ツール及びシミュレータの使い方、FPGA 実装までを理解させる。FPGA のコンフィグレーション、機能ピンのターミナルを用意した FPGA ボードを用意し、これに論理を実装して完成した回路を評価する。

2.2.2 第2段階 ワンボードマイコンの動作理解

さきほどの段階で用いた FPGA ボードを、COMET 用ワンボードマイコンに搭載し、FPGA の CONFIG ROM に、教員側で用意した m-COMET のデータを書き込んだ状態で演習者に手渡す。同時に、演習者には m-COMET によるプログラミングの課題と、当該プログラム動作時のバス観察やデバイス動作に関するレポートなどを

The suggestion of processor construct practice environment on COMET

[†]T.Yoshizawa, H.Katayama, T.Ishikawa A.Miyauchi

課して、m-COMET ワンボードマイコンの動作を理解させ、次段階への準備を行なう。

2.2.3 第3段階 VHDL によるプロセッサ設計

本演習の最終段階として、プロセッサ設計の課題を用意する。演習者には教員側で用意した m-COMET の VHDL 記述ソースを手渡し、この m-COMET に新しい命令を追加したり、冗長な制御部の再構築による高速化などの設計演習を課す。演習者は RTL 計画、VHDL 記述、論理合成、論理シミュレーション、配置配線、回路シミュレーション、実装の流れで、FPGA ボードに製作したプロセッサを実装し、テストプログラムを走らせて動作検証を行ない、目的の機能が実現されたかを確認するまでを演習する。

3 カリキュラムの策定

提案する演習の各段階を実際のカリキュラムとして確立するため、学生数人をサンプルとして試験運用を行い、その結果・経験からカリキュラムへの反映を行った。本演習環境は、前期後期の2期で運用する予定で、1期を13週として計画を行った。各所要時間、講義内容の留意点などは次の通りである。

1. 第1段階

予定所要時間 78 時間 (内訳：講義 3 時間、自習 3 時間を 13 週)

この段階では、論理回路と VHDL との関係に留意しながら前半を主に講義で、後半を設計演習で構成する。試験運用時に VHDL をソフトウェアの高級言語と混同して回路として合成できない VHDL コードを作成したものが多発したため、この面での充実化を図る必要がある。

2. 第2段階

予定所要時間 30 時間

本演習に取り掛かるよりも前に、演習者は COMET アセンブラシミュレータなどにより COMET のプログラミングに関しての理解がなされているので、この段階では演習で用い

る環境の使用方法理解と m-COMET の基本的な動作原理解ととどめ、最終段階の時間に留意する。

3. 第3段階

予定所要時間 48 時間

第1段階において VHDL と生成される回路の関係について十分に理解が成されていれば、プロセッサ設計としては RTL 設計とその実装に専念でき、第1段階での VHDL 作成よりも短時間で設計が終ることが試験運用より分かった。この段階では m-COMET の CISC アプローチによる設計モデル解説に重点を置き、演習者がプロセッサ設計方法をイメージとして身につけるよう講義と演習を進める。

4 おわりに

ここに提案する演習環境を利用することで、従来行われて来た本学のコンピュータ教育に沿いながら、プロセッサ設計実現という新しい演習授業項目の追加が可能になり、さらに高度なプロセッサ設計のステップに進む基盤を演習者に提供できる。

5 今後の方針

1. 各段階における演習課題の再検討と関連テキストの整備
2. より演習用に特化した m-COMET アーキテクチャの構築
3. モニタなどの周辺ツールの整備及び強化

参考文献

- [1] 小宮山俊一 他:教育用マイクロプロセッサ MITEC-I の提案, 情報処理学会, 第 51 回大会論文集, 4G-6, 1995.
- [2] 豊島俊 他:教育用プロセッサ MITEC-I のサポートシステム, 情報処理学会, 第 53 回大会論文集, 4F-10, 1996.