

FPGA を用いた再構成可能な並列信号処理装置

2 F - 6

宮田 裕行[†] 水野 政治[†] 青山和弘[‡]三菱電機(株) [†]情報技術総合研究所, [‡]鎌倉製作所

1 はじめに

近年の集積回路技術の進歩により、従来は困難であった方式の実現性が高まっている。特に FPGA(Field Programmable Gate Array) は、専用のハードウェア回路をソフト的に書き換えることが可能であり、かつ、近年その動作速度、集積度も向上してきているため、その用途が拡大してきている。例えば、高速性が要求されるため、専用のハードウェアでしか組めなかった回路の融通性を高めることが可能となり、再構成可能な処理装置の構成を導くことができる [1][2][3]。

また、信号処理の分野においては、古くからその高速処理の研究がなされているが、対象とする分野によっては、高速性以外に回路規模の縮小化が強く望まれる。例えば、航空機に搭載するレーダ信号処理装置などは、高速処理もさることながら、搭載できるスペースが限られるため、回路規模と処理速度の兼合いが大きな課題となっている。また、機能向上の面から、特徴の異なる複数のセンサを搭載して、対象物に対応したセンサを効率的に使用することも検討されており、これらに対応した柔軟な構成も課題の一つである。

本論文では、上記の課題に対応可能な FPGA を使用した並列信号処理装置を提案する。

2 レーダ信号処理装置

レーダ信号処理装置を機能で大別すると表 1 に示すようになる。

表 1: レーダ信号処理装置の内部構成

	前処理部	信号処理部	情報処理部
処理	雑音除去	目標の検出	認識、追尾
内容	フィルタ処理等	FFT 等	相関処理等

すなわち、データの入力速度に合わせてフィルタ処理等を行う前処理部、ある程度のデータがまとまった単位で目標の検出などのために FFT 処理等を行う信号処理部、検出されたデータの認識や追尾などを行う情報処理部である。また、複数のセンサを使用して構成する場合には、対象物に合わせて最適なセンサを選択して、その信号に関して処理を行う場合が多い。

Field Programmable Gate Array Based Reconfigurable Parallel Signal Processor

H. Miyata, M. Mizuno, K. Aoyama
Mitsubishi Electric Corporation

これらの処理を実現する従来の構成例を図 1 に示す [4]。ここでは、3 種類のセンサを仮定した。

前処理部では、各センサ毎に専用ハードウェアを用意する。信号処理部はマルチ DSP などの構成が取れるため、対応するセンサのデータを対象として処理を行う。また、目標物に応じて処理内容も変化するため、処理負荷に応じた数の DSP を使用する。情報処理部では、信号処理部のような定型処理ではなく、認識、追尾など高度な処理が必要とされるため、マルチマイクロプロセッサの構成となる。負荷分散は信号処理部と同様に対象に応じてアダプティブに行う。

3 FPGA を利用した前処理部

本論文で提案する前処理部について説明する。

3.1 全体構成

図 2 に前処理部の全体構成を示す。各構成要素を説明する。

FPGA 群 処理を実行する複数の FPGA。各々の接続形態は用途に応じて定める。

制御部 使用するセンサとその処理内容に応じて FPGA の内部回路を変更する。

処理回路パターン 予め想定される FPGA の回路パターンを用意しておく。

制御部への指令は、操作者が目標物を見て、マニュアルで指示をしてもよいし、あるいは、情報処理部の結果から自動的に変更するようにしてもよい。以下では、この実際の利用方式について例示する。

3.2 利用方式

図 3 に 3 個のモードの例を示す。なお、4 個の FPGA が存在すると仮定する。

モード 1 図 3(a) に示すようにセンサ A のみを使用するモード。一つのセンサのみですべての FPGA を占有できるため、最も精度の細かい処理に対応できる。4 個ある FPGA の 3 個を使用する。

モード 2 図 3(b) に示すように 2 個のセンサ A, B を使用するモード。両者のセンサを利用するため、精度は、中程度となる。

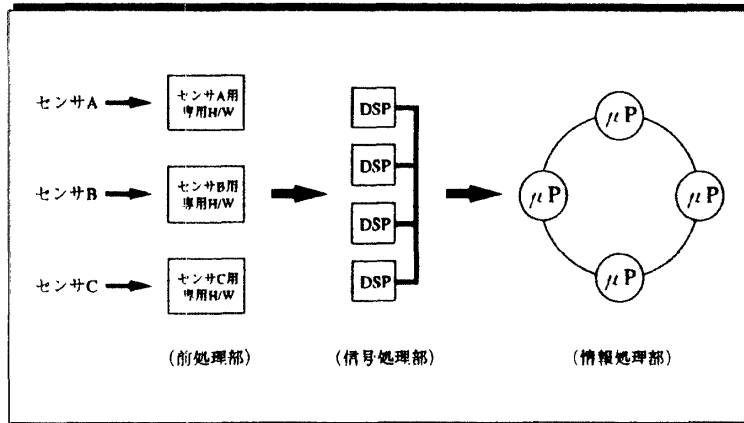


図 1: レーダ信号処理装置の例

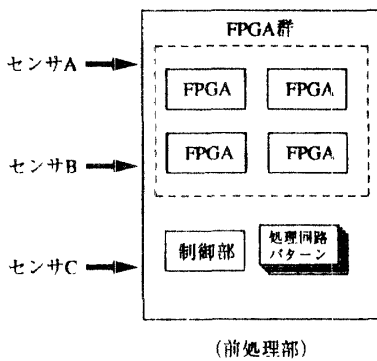


図 2: FPGA を使用した前処理部

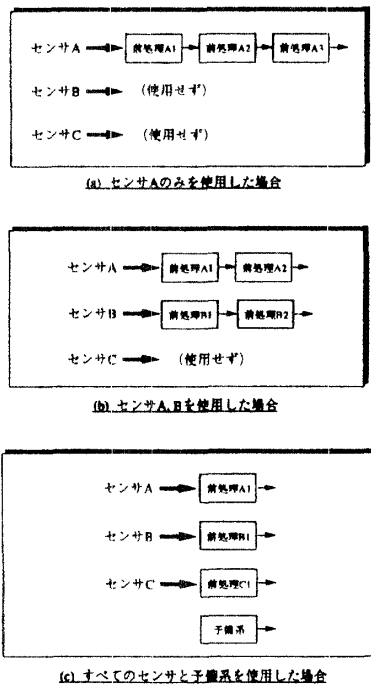


図 3: 利用方式例

モード3 図 3(c) に示すようにすべてのセンサ A,B,C を使用するモード。精度は最も粗くなる。ただし、余っている FPGA を予備系として用意しておき、もし、どれかのセンサの前処理回路に故障が発生した場合には、その対応する前処理回路を予備系に書き込むことにより、故障機能の代替を行うことができる。

4 おわりに

FPGA をレーダ信号処理に用いた場合の再構成可能な方式について述べた。現状では、専用回路である ASIC と FPGA の間に回路規模、動作速度ともに差があるため、必ずしも本提案が最適とは言えないが、今後の FPGA の高密度化、高速化により、有効性が高まってくるものと考えられる。

参考文献

- [1] Thomas C. Waugh, "Field programmable gate array key to reconfigurable array outperforming supercomputers", Proceedings of the IEEE 1991 Custom Integrated Circuits Conference (Cat. No.91 CH2994-2), 6.6/1-4, 756, 1991.
- [2] Arnold, J.M., Buell, D.A., Davis, E.G., "Splash 2 (attached processor board)", SPAA '92. 4th Annual ACM Symposium on Parallel Algorithms and Architectures, 316-22, x+441, 1992.
- [3] 額田、他「自律移動ロボットのセンサデータ処理のための可変構造ハードウェアの設計と実装」The Fifth Japanese FPGA/PLD Design Conference & Exhibit, pp215-221, 1997.
- [4] 高橋、他「並列信号処理装置における高信頼化と動的負荷分散の実現方式」情処学会 ARC 研究会, ARC119-16, pp.89-94, 1996.