

# 遅延値を動的に変更可能な論理シミュレータの考察

2H-8

呉 信珠

若林 哲

檀 良

法政大学大学院

東芝マイクロエレクトロニクス(株)

法政大学工学部

## 1 はじめに

半導体素子の微細化によりLSIの集積度が増し、その動作も高速になってきている。そのような高速で動作する回路の設計においては、遅延とクロックとの適合性やクロック同期におけるタイミングの制約などの問題が重要となっている。そこで配線長による論理回路の遅延時間のより正確な評価が必要となっている。

本論文では回路中の全信号（全配線）に遅延を与え各々の信号を11個のパラメータに拡張することで、各信号（各配線）の遅延のパラメータをコントロール可能にする方式を報告する。

## 2 シミュレーション方式

シミュレーションのアルゴリズムは、慣性遅延と一般的なイベントドリブン方式を用いた。入力としてVerilogHDLとVHDLのゲート記述のサブセットをサポートし、トランスレータを通して必要とするデータ構造にする。このC言語表現の回路とシミュレータ本体をコンパイルリンクし、直接実行可能な形式にする。本シミュレータでは図1のように遅延値を従来の3値または1値から11値に拡張し、その11値をパラメータ化する。その上、パラメータを調整することにより遅延値を11値から選ぶことができる。またパラメータ調整の際の再コンパイルの必要はない。

11値の遅延値の算出にはmin/typ/maxの値を用いた。このシミュレーションは実行時にテストパターンとシミュレーション条件を与えること

|      |     |     |     |
|------|-----|-----|-----|
|      | min | typ | max |
| rise | 3   | 4   | 5   |
| fall | 4   | 5   | 6   |

↓  
Extension

|      |     |               |     |               |     |
|------|-----|---------------|-----|---------------|-----|
|      | min | • • • •       | typ | • • • •       | max |
| rise | 3   | 3.23.4 3.63.8 | 4   | 4.24.4 4.64.8 | 5   |
| fall | 4   | 4.24.4 4.64.8 | 5   | 5.25.4 5.65.8 | 6   |
| PAR  | 0   | 1 2 3 4       | 5   | 6 7 8 9       | 10  |

図1: データの拡張とパラメータによる参照

でそれに応じた結果を得る。

## 3 入力データ

回路はゲートレベルを対象とし、外部入力とゲート間の結線関係をVerilogHDL及びVHDLで記述し、トランスレータを通すことでC言語データにし図2のように構造化する。この際図1のように遅延データを拡張する。立ち上がり立ち下がり遅延の拡張には次の式を用いた。ここでdminは最小遅延値、dtypは標準遅延値、dmaxは最大遅延値である。

$$d = dmin, d1, d2, d3, d4, dtyp, d6, d7, d8, d9, dmax$$

$$x = \frac{dtyp - dmin}{5} \quad y = \frac{dmax - dtyp}{5}$$

$$d1 = dmin + 1 \times x \quad d2 = dmin + 2 \times x$$

$$d3 = dmin + 3 \times x \quad d4 = dmin + 4 \times x$$

$$d6 = dtyp + 1 \times y \quad d7 = dtyp + 2 \times y$$

$$d8 = dtyp + 3 \times y \quad d9 = dtyp + 4 \times y$$

\*A Logic Simulation Using Selectable Delay Values.

<sup>†</sup>Shinjo Oh<sup>1</sup> Satoshi Wakabayashi<sup>2</sup> Ryo Dang<sup>3</sup>

<sup>1</sup> Graduate School of Engineering, Hosei University, Koganei, 184 Japan

<sup>2</sup> Toshiba Microelectronics Co., Kawasaki, 210 Japan

<sup>3</sup> Department of Electronic Informatics, Hosei University, Koganei, 184 Japan

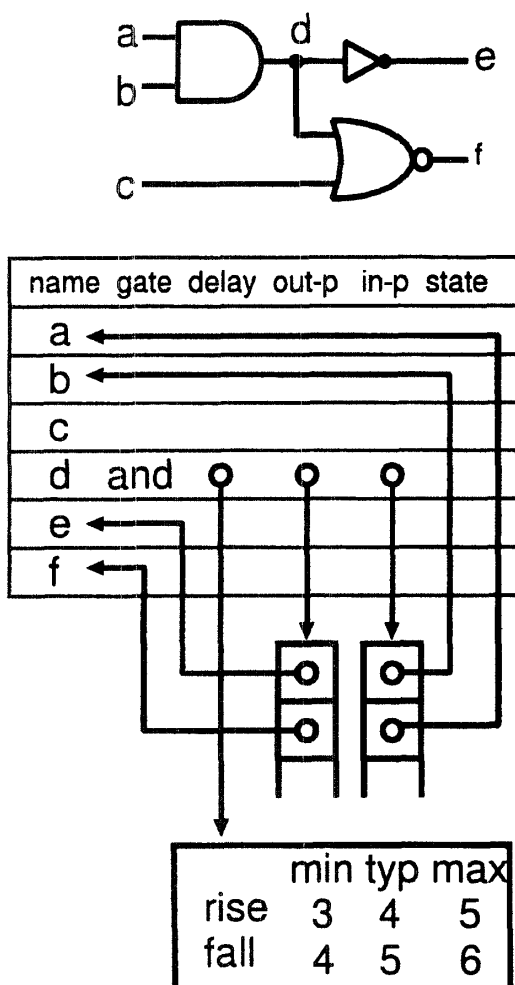


図 2: 回路とデータ構造

#### 4 配線遅延と遅延パラメータ

論文[1]のシミュレータに配線遅延を加え、同期回路の検証ができるようにした。配線遅延を加えるため全ての信号に遅延パラメータテーブルを用意した。

そこでクロック同期回路でのレジスタとレジスタ間のクロック周期がレジスタ間の回路部分の最大遅延時間以上でないといけなかったことやファンアウトのタイミングのずれ、さらにレイアウト後の配線の混雑度などを考慮したシミュレーションをシミュレータ自体の再コンパイルの必要なしでできる。

|       | gate | SIM   | Verilog-XL |
|-------|------|-------|------------|
| s298  | 133  | 0.083 | 0.3        |
| s1238 | 526  | 0.800 | 0.9        |

表 1: シミュレーション結果

#### 5 実験結果

上記の機能を加えたシミュレータを用いてワークステーションFUJITSU S-4/2上でベンチマーク回路をシミュレーションした結果(CPU time[sec])を表1に示す。表でSIMは本論文のシミュレータである。比較のため、Cadence社製Verilog-XLシミュレータを用い、同様なシミュレーションを行った結果を示す。XLシミュレータに比べCPUtimeの低減が見られた。またシミュレータでパラメータ変更機能を使う(全パラメータを3回変える)ことによる計算コストの低減は24%であった。

#### 6 まとめ

以上より本シミュレータはパラメータ変更の際、計算コストの24%の低下で同期回路や非同期回路の詳細なシミュレーションを可能にする。さらに市販されているシミュレータに比べ問題のないことが確認できた。

今後、本シミュレーションはタイミングの解析に有利であるため、形式的なタイミング検証ができるようにする。またパラメータ変更をシミュレーション履歴から自動的に割り出せるようにする。

#### 参考文献

- [1] 井上 恒司, 若林 哲, 檀 良: “遅延値が変更可能なコンパイル方式シミュレーション”, 情報処理学会第52回全国大会