

非同期式プロセッサ TITAC-2 の性能評価

1 G-2

高村明裕

桑子雅史

小沢基一

上野洋一郎

南谷 崇†

東京工業大学 情報理工学研究所

†東京大学 先端科学技術研究センター

1 はじめに

同期式回路におけるクロックスキューや増大する消費電力の問題を解決する一つの方法として、クロック信号を用いない非同期式回路が注目されている [1]。

我々は、2線2相式の非同期式回路を高速化する方法について検討し、その有効性を実証するために、32ビット非同期式プロセッサ TITAC-2 (Tokyo Institute of Technology Asynchronous Computer) の論理設計・レイアウトを行なった。TITAC-2は、0.5 μ mルール、3層メタル配線のC-MOSスタンダードセルで実現され、現在製造中である。本稿では、TITAC-2のアーキテクチャとシミュレーションによる予測性能について述べる。

2 TITAC-2のアーキテクチャ

2.1 概要

TITAC-2は、例外的処理・外部割込み機能・記憶保護機能などの既存の同期式プロセッサと同等の機能を持ち、回路構成を工夫することで高速に動作することを目標とした32ビット非同期式プロセッサである [2]。MIPS社R2000に準拠した命令セットを持ち、各命令はIF(命令フェッチ)、ID(命令デコード)、EX(実行)、ME(メモリアクセス)、WB(結果の書き込み)の5段階パイプラインで実行される。図1にブロック図を示す。

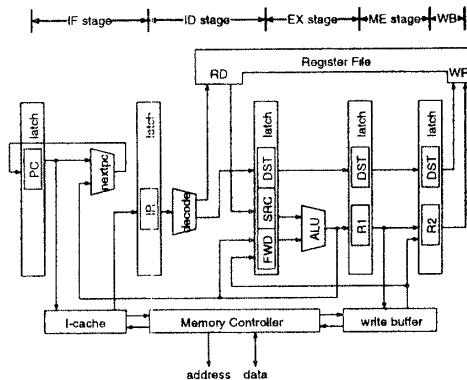


図1: TITAC-2のブロック図

2.2 データの符号化

クロックのない非同期式回路では、データの到着を知るために、データに時間情報を付加する必要がある。TITAC-2のデータ転送は、内蔵キャッシュメモリや外部I/Oのように遅延時間が予測可能な部分では、nビットの信号線に対して1本のストローブ信号線を用いる束データ方式 [2]、それ以外の部分には、1ビットに対して2本の信号線を用いる2線2相方式 [2] で行なわれる。

2.3 設計のコンセプト

事象生起の因果関係に基づいて動作する非同期式回路において、タイミング信号にあわせてデータを制御したり、データの到着を調べてタイミング信号に変換する回路は不可欠である (ここでは「データとタイミング信号の変換回路」と呼ぶ)。しかしながら、nビットの2線2相データをタイミング信号に変換するには、2n入力1出力のゲートが必要である。また、タイミング信号にあわせてnビットのデータを制御するには、ファンアウトが2nのパッファが必要になる。これらのゲートの遅延時間によって、回路速度は低下する。

そこで、TITAC-2では、以下の点に注意して設計することで、高速に動作する回路を構成した。

ビット毎に独立した制御 データのビット間に依存性がなければ、1ビットごとに制御することで、データとタイミング信号の変換回路の遅延を減らすことができる。そこで、ステージ間ラッチは1ビットごとに独立して動作する回路構成とした。

並列性の簡略化 非同期式回路は、仕様が本来持つ並列性と同一の並列性をもつ回路を実現することができる。その反面、並列性が動的に変化する回路や並列性の粒度が細かい回路は、データとタイミング信号の変換回路が多数必要になり、速度が低下する。そこで、並列に実行することによる速度改善が制御回路によるオーバーヘッドを下まわる場合は、直列に実行することで回路を単純化し速度を向上させている。

2段階の遅延仮定の採用 遅延の上限値に制約があれば、遅延変動の範囲が予測可能となる。このため、論理回路の動作とデータからタイミング信号を得る回路の動作をある程度並行して行なうことが可能となる。しかしながら、緩い遅延仮定は遅延変動に対する信頼性が低くなる。

TITAC-2では、グローバルな配線には、遅延の上限値を未知とするDIモデル [1] を仮定し、ローカルな配線には、遅延の上限は予測した遅延時間の高々k倍のであるとする比例遅延変動モデル [2] を仮定した。さらに、ローカルな領域とみなす面積の上限を制限することで、遅延変動に対する十分な信頼性を保ったまま速度を向上させている。

2.4 非同期式パイプラインの構成

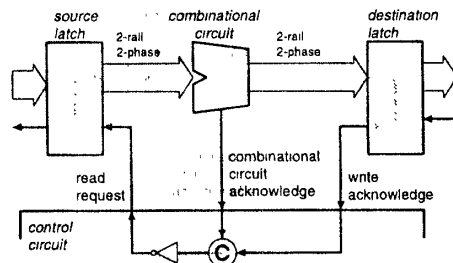


図2: 非同期式パイプラインのモデル

TITAC-2の非同期式パイプラインのモデルを図2に示す。図中のⓐはMullerのC素子 [1] と呼ばれるもので、全入力1(0)の時に出力に1(0)を出力し、それ以外の時は出力を保持する双安定素子である。ラッチは非同期式FIFOで構成されており、前後のステージの状況に合わせて、書き込みと読み出しの待ち合せを自律的に行なう。このため、回路の動作は以下の様に非常に簡単になっている。

Evaluation of Asynchronous Processor TITAC-2
Akihiro Takamura, Masashi Kuwako, Motokazu Ozawa, Yoichiro Ueno
Tokyo Institute of Technology, Graduate School of Information Science and Engineering
Takashi Nanya
University of Tokyo, Research Center for Advanced Science and Technology

- 組み合わせ回路は、入力側ラッチからデータが到着すると、演算を行い結果を出力側ラッチに出力する(この時、すべての入力に到着している必要はない)。そして、すべての入力に到着し、次の入力を受受することが可能になると、組み合わせ回路の完了信号を出力する。
- ラッチは、入力にデータが到着しデータの読み出し要求信号が到着したら、出力データを入力されたデータで更新する。更新が終了したら、書き込み完了信号を出力する。
- 制御回路は、転送先ラッチの書き込み完了信号と組み合わせ回路の完了信号が出力されたら、転送元のラッチに対して読み出し要求信号を出力する。

組み合わせ回路の完了信号が結果の出力と分離しているのは、結果をラッチに書き込む動作と、データの入力待ちを並行して行うためである。このとき、読み出し要求を受けていながら実際の読み出しが行われないラッチがあると、そのラッチに対する次のデータ書き込みはできない。したがって、結果的に不要な入力データであっても、すべての入力に到着するまで待たなくてはならない。

組み合わせ回路の実行時間が変化した場合でも、本方式は正しく動作するが、その性能はFIFOの容量によって異なる。そこでTITAC-2ではシミュレーションを行ない、FIFOの容量を決定した。

図2に示した例では、転送元ラッチと組み合わせ回路および転送先ラッチは1対1であるが、一般には、転送元ラッチの出力は複数の組み合わせ回路と転送先ラッチで共有されることになる。このとき、転送元ラッチからのデータの読み出しは、出力を共有する組み合わせ回路と転送先ラッチの完了信号が出力された後でなくてはならない。

したがって、転送先ラッチの書き込み完了信号とそのラッチの入力に接続されている組み合わせ回路の完了信号をC素子で待ち合わせる。これを、新たに書き込み完了信号とする。転送元ラッチの読み出し要求信号は、出力を共有する転送先ラッチの書き込み完了信号をC素子で待ち合わせたものとなる。

3 評価

3.1 チップレイアウト及び諸元

TITAC-2は、0.5 μ mルール、3層メタル配線のC-MOSスタンダードセルを用いて実現される。496,367トランジスタを12.15mm角のチップに集積した。各ブロックのセル数とグリッド数を表1に示す。

表1: 各ブロックのセル数とグリッド数

	gate	grid
IF stage	13,362	334,751
(キャッシュ用メモリ)	—	247,488
(命令記憶保護回路)	5,516	39,595
ID stage	13,993	93,441
(レジスタファイル)	7,855	50,633
EX stage	16,089	95,727
(乗算器)	2,662	25,113
(除算器)	6,231	29,804
ME stage	7,589	53,719
(データ記憶保護回路)	5,740	40,780
その他	1,613	14,675
合計	52,646	592,313

レイアウト結果から求めたゲート遅延、配線遅延を用いてシミュレーションを行なった。dhrystone V2.1ベンチマークにおけるTITAC-2の性能は52.2MIPSである。

3.2 命令配置と実行速度の評価

TITAC-2のステージ間ラッチは、FIFOで構成されている。これにより、ステージ内演算回路の遅延変動の影響によるパイプラインストールが抑えられている。その効果を

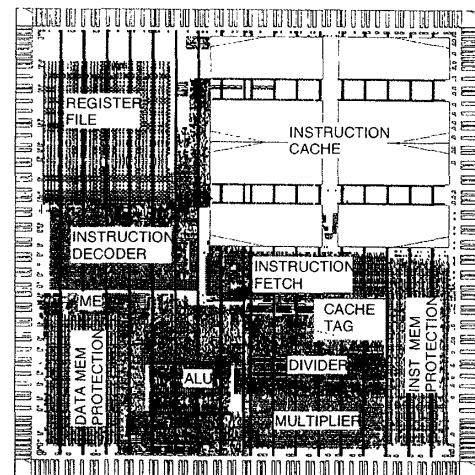


図3: TITAC-2のレイアウト

調べる為に、通常の命令(nop)と低速な命令の組み合わせによる速度の変化を調べた。

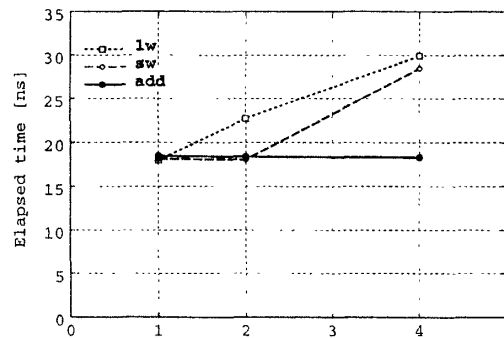


図4: 命令配置と実行速度

図4は横軸はnopを含む4命令中に含まれる、lw(ロード)、sw(ストア)、addの命令数を示す。例えば4命令中2命令swが実行されるプログラムはnop, sw, nop, swである。縦軸はlw, sw, addの1命令あたりの実行時間を示す。

この結果から、lw命令は4命令に1回であれば、速度低下を起こさないことがわかる。また、ストアバッファを使用するsw命令は、連続して実行されない限り速度低下を起こさないことがわかる。

4 まとめ

本稿では、非同期式プロセッサTITAC-2のアーキテクチャを示し、その性能をシミュレーションにより求めた。また、FIFOが遅延変動に対する性能低下を抑えていることを示した。本原稿執筆時点では、まだチップが完成していないため、実物を使った消費電力や速度の評価は機を改めて報告する。

なお、本研究の一部は新エネルギー・産業技術総合開発機構(NEDO)提案公募型・最先端分野研究開発事業受託研究C-026、並びに科学研究費補助金(試験研究B)0755 8036によって行われたものである。

参考文献

- [1] 南谷崇. 非同期式プロセッサ — 超高速VLSIシステムを目指して —. 情報処理, Vol. 34, No. 1, pp. 72-80, January 1993.
- [2] 高村明裕, 桑子雅史, 南谷崇. 非同期式プロセッサTITAC-2の論理設計における高速化手法. 信学論(D-I), Vol. J80-D-I, No. 3, March 1997. (掲載予定).