

## トランスダクション法向け論理回路マッパ

1K-9

永井裕† 落田幸一† 早瀬道芳‡ 上林彌彦†

†京都大学工学部 ‡岡山県立大学情報工学部

## 1 まえがき

近年の論理 LSI の大規模化・高速化に伴い、論理回路の設計においてゲートレベルのみの評価では不足で、実際に LSI を実装した場合の面積および論理の動作速度についても考慮する必要がある。

従来、論理ゲートで構成された回路から半導体技術に依存した素子で回路を構成するテクノロジマッピングでは、MIS<sup>[1]</sup> を順序回路に適用できるように改良した SIS を用いることが多い。

しかし、結線の接続・切断により論理最適化を行うトランスダクション法<sup>[2]</sup>では、各ゲートのファンイン数やファンアウト数が増加する場合があります、SIS のマッパではセル数や面積が増加することがあった。

そこで本稿ではトランスダクション法による最適化の効果を反映できるテクノロジマッパについて考察する。

## 2 基本的事項

本章ではテクノロジマッピングおよびトランスダクション法に関する基本的事項について述べる。

## 2.1 トランスダクション法

**許容関数** ある入力端子、ゲートまたは結線の実現する関数  $f$  を別の論理関数  $f'$  で置き換えても回路全体としての出力に変化がないとき、そのような  $f'$  を入力端子、ゲートまたは結線の許容関数 (Permissible Function) という。またそのような許容関数の集合の中で同時に置換え可能なものからなる部分集合を CSPF (Compatible Set of Permissible Functions) という。

**許容関数集合による回路変換** ある回路中の結線の許容関数集合に恒偽関数が含まれるとき、この結線は削除可能である。また、ゲート  $v_i$  からゲート  $v_j$  に接続したときに  $v_j$  で実現される関数が  $v_i$  の許容関数集合に含まれるとき、この結線は接続可能であり、この接続によって回路の出力は変化しない。

トランスダクション法ではこれらの性質を用いて結線の接続および削除を行うことにより論理回路のゲート数および結線数を減少させる。しかしその結果、論理回路内のゲートのファンイン数やファンアウト数が増加してしまう場合が多い。

## 2.2 テクノロジマッピング

通常、LSI の設計においては、ゲートレベルで設計・最適化された論理回路から、半導体技術に基づき使用可能な素子を用いて回路を構成し、配置配線の過程へと進む。

テクノロジマッピングとは、ゲートレベルの論理回路を CMOS、バイポーラまたはプロセスの最小幅 ( $\mu\text{m}$ ) 等の半導体技術に依存した素子に変換することをいう。普通、実現パターンであるセルがいくつか用意され、ライブラリに登録されている。通常、このライブラリの中からもなるべく少ないセルで回路が実現するようにセルが選択されていく。

## 3 トランスダクション法向けテクノロジマッパの概要

## 3.1 SIS のマッパとトランスダクション法

Berkeley で開発された SIS ではゲートレベルで最適化された回路を 2 入力 NAND 及びインバータにトリ-分解しライブラリ内のセルへ割り付けを行う。

一方、トランスダクション法によって最適化された回路では結線の接続・削除により素子数の減少を図っているため、ファンイン数やファンアウト数が増加したゲートが複数存在する可能性が高い。従って、SIS によるマッピングではトランスダクション法による素子数減少などの最適化の効果が反映されない場合があると考えられる。

表 1 は、トランスダクション法適用前後のゲート数と、それぞれの SIS によるマッピング結果を表にしたものである。ライブラリには ILWS-89 ベンチマークを用いた。

これによると、トランスダクション法でゲート数が減少しても、SIS のマッパで割り付けた素子数はトランスダクション法でゲート数を減少させた回路の方が多くなっている場合が多い。例えば、回路 9symml ではトランスダクション法を適用するとゲート数が 168 から 158 に減っているが、SIS によるマップ後はトランスダクション法でゲート数を減少させた回路の方が素子数が 8、面積が 34 増加して

Technology Mapper Suitable for Transduction Method

Hiroshi NAGAI†, Koichi OCHIDA†, Michiyoshi HAYASE†, Yahiko KAMBAYASHI†

†Faculty of Engineering, Kyoto University

‡Faculty of Computer Science and System Engineering, Okayama Prefectural University

表 1: 実験結果

Circuit	Tr 前後 gates	SIS cells/area	Tr 後 SIS cells/area
9symml	168/158	100/409	108/443
cht	231/196	96/313	97/324
count	144/119	72/270	99/335
vda	926/635	337/1132	429/1459
x4	443/389	222/748	233/765
C432	209/124	134/459	112/377
alu2	360/234	209/784	177/650
alu4	720/488	409/1520	340/1276
apex7	268/218	146/492	141/472
term1	391/141	124/464	88/314

いる。下の5つの回路では SIS によるマップ後はトランスダクション法を適用した回路の方が素子数及び面積が減少しているが、その割合はトランスダクション法におけるゲート数減少の割合に比べると小さくなっている。

### 3.2 トランスダクション法向けテクノロジマップの特徴

ここではトランスダクション法で最適化された論理回路を木状に分解せずにセルの割り付けを行う手法を示す。

この手法の特徴は以下の通りである。

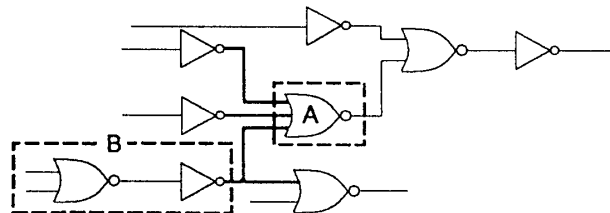
- i) ファンアウト数が複数のゲートにおいて、木状に分解しない。
- ii) 論理回路を4入力までの NOR ゲートに分解する。

例えば、図 1(a) の論理回路をセルにマッチングする場合、SIS のように2入力のゲートとインバータにトリー分解すると図 1(a) の A、B を図 1(b) 中のそれぞれ  $A_1$ 、 $B_1$ 、 $B_2$  としてライブラリ中のセルとのマッチングを行う。しかし、本手法では図 1(a) の初期状態のままにマッチングを行うことができる。

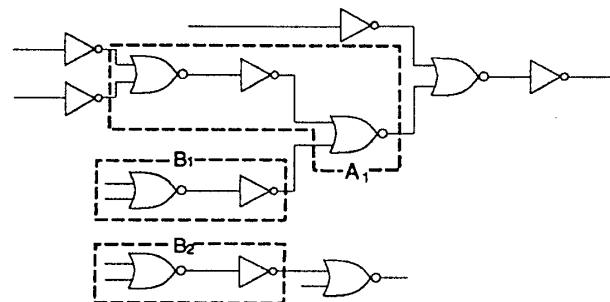
これらの特徴から、マップ前の回路のゲート数が大幅に増加することがないので、トランスダクション法の最適化の効果が反映された状態でライブラリ中のセルとのマッピングが可能となると考えられる。

テクノロジマッピングのおおまかな手順は次の通りである。

- i) トランスダクション法により最適化された NOR ゲートのみからなる論理回路を読み込む。
- ii) セルのライブラリを読み込む。
- iii) ライブラリ中の各論理セルに対して、ファンイン数4までの NOR ゲートによるセルを作る。
- iv) 論理回路の回路出力から順に iii で作った論理セル集合からマッチするものを探す。論理回路内のすべてのゲートが論理セルにマッチングされるまで繰り返しこの手続きを行う。



(a) トリー分解前の部分回路



(b) トリー分解後の部分回路

図 1: 部分回路の分解

- v) マッチングされた論理セルをライブラリの論理に変換する。

## 4 問題点および今後の指針

問題点として以下のようなことが挙げられる。

- セルとマッチする際のセルの選択基準が不確定である。
- 2連インバータの挿入による面積コスト削減を考慮していない。

今後はこれらの問題点を解決することが課題となる。また、入力端子に接続されたインバータ等の特殊なゲートに限り、そのゲートのファンアウト数が複数であれば木状に分解することも考えている。

### 謝辞

本手法について有益な御示唆および御討論下さった上林研究室の皆様へ深謝致します。なお本研究は新エネルギー・産業技術総合開発機構 (NEDO) の提案公募型・最先端分野研究開発のプロジェクトとしての支援を受けている。

### 参考文献

- [1] E. Detjens, G. Gannot, R. Rudell, A. Sangiovanni-Vincentelli, and A. Wang: Technology Mapping in MIS, *ICCAD*, pp.116-119, 1987.
- [2] S. Muroga, Y. Kambayashi, H. C. Lai, J. N. Culliney: The Transduction Method - Design of Logic Networks Based on Permissible Functions, *IEEE Transactions on Computers*, Vol. 38, No. 10, pp. 1404-1424, 1989.