

イ-エムエスエルの ASICサインオフシミュレータ ems1 の プリミティブに対するテスト手法

7L-2

奥本哲也¹ 秋山頼子¹ 奥田亮輔² 野田知義¹ 小栗澄男²

¹三菱電機セミコンダクタソフトウェア（株） ²三菱電機（株）システムLSI開発研究所

1. はじめに

論理シミュレータにあらかじめ組み込まれている最も基本となる素子をプリミティブという。ems1の高速性は、ライブラリ内の全セルをそれぞれ1プリミティブ化することによって達成されている[1]。従って、新しいセルが開発されるごとに、我々はこれに対応するプリミティブをC言語でコーディングすることにしている。この際、プリミティブに動作不良がないかどうかテストすることが非常に重要となる。

2. プリミティブの機能モデル

プリミティブは、入力ピンに伝播したイベント（信号値と時刻の組合せ）に対し、適切なイベントを出力ピンに出す機能を持っている。ems1におけるプリミティブの機能モデルを、次の図1に示す複合ゲートのプリミティブを例にとって説明する。

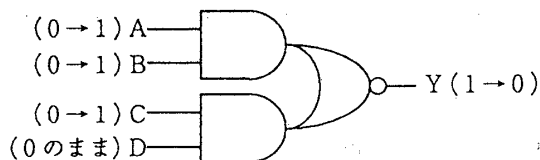


図1. And-Or-Inverter複合ゲート

このプリミティブに対し、入力ピンA～Cの左側に示すようなイベントが同時に到着したと仮定する。ただし、Dは0のまま変化がないものとする。このとき、ems1では下の図2に示す機能モデルの①～③の処理により出力イベントを求める。

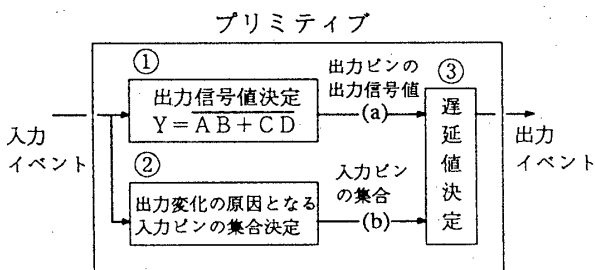


図2. プリミティブの機能モデル

図2において、①は入力イベントに対して出力ピンの信号値を決定する処理、②は出力イベントを引き起こす論理的原因となった入力ピンの集合を決定する処理であり、(a),(b)はそれぞれの処理結果を表す。また③は、(a),(b)より遅延値を決定する処理を表す。このモデルにより、図1のプリミティブを評価すると次のようになる。

①の処理：Yの出力値を決定する。

(信号値(a)： $Y = \overline{A}B + CD = 0$)

②の処理：イベントが到着した入力ピンはA,

B,Cの3つであるが、Dが0のまま変化していないので、Cのイベントは出力に影響しない。従って、最終的に出力変化の原因となるのはA,Bの2つに決定される。(入力ピンの集合(b)：AとB)

③の処理：A→Y、B→Yに定義されている

遅延値のうち、大きい方をプリミティブの遅延値とする。

図1のプリミティブの評価において、複数の入力ピンA、B、Cに入力イベントが同時に到着した場合においても、出力論理値に影響しないピンCを出力変化の原因から除外して遅延値を決定するなど（市販シミュレータは、前記の場合、ピンCからの遅延値を採用することがある[2]）、精密なシミュレーションが可能となる。

3. プリミティブの仕様記述方法

従来、真理値表（状態遷移表）を仕様としてプリミティブの開発を行っていた。しかし、セルの規模が拡大し、機能が複雑になると、真理値表から動作を読みとることが難しくなる。また入力ピン数の増加により、人手で入力イベントを作成し、出力イベントと真理値表とを目視により照合する従来のテスト方法では、全ての不具合を検出しきれないという問題があった。そこで、これらの諸問題を解決すると同時に、第2章の機能モデルに基づいたプリミティブのテストを実施する目的で、プリミティブの新しい仕様記述方法を導入した。

図2の機能モデルにおいて、プリミティブごとに異なるのは①と②であり、③は共通である。そこで

A novel method for testing primitives of ems1, an ASIC sign-off simulator
Okumoto, Akiyama, Okuda, Noda, Oguri
Mitsubishi Electric Semiconductor Software Corp.
System LSI Development Lab., Mitsubishi Electric Corp.

我々は、次に挙げる12種類の素子（“基本素子”と呼ぶ）について①と②の動作を厳密に定義し、基本素子の組合せでプリミティブの仕様を記述する方法を採る。

And, Or, Inverter, VDD, GND, Tri-State-Buffer, CMOS-Transfer-Gate, Wired-Element, Selector, RS-Latch, D-Latch, JK-FF

プリミティブの開発に当っては、これらの基本素子のみを使用してプリミティブの内部回路を設計者に記述してもらい、これを仕様とする。一例として、あるテスト容易化ラッチセルの仕様を下の図3に示す。

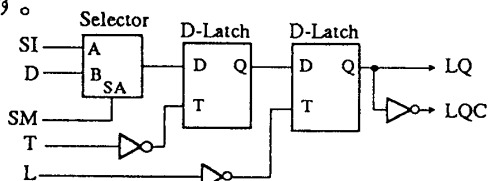


図3. プリミティブの仕様定義例

プリミティブの中には、基本素子を組み合わせた上記記述方法では定義できないものも存在する（ROM/RAMなど）。このようなプリミティブは新規開発される数もわずかであるので、別途文書にて仕様を定義することになっている。

4. テスト方法

4.1 テストベンチを用いたテスト

プリミティブの種類によって動作が異なるのは、図2の機能モデルにおける①と②である。よって、これら2つの動作が正しいことを確認するために、プリミティブの総合的なテストシステムとして、下の図4に示すようなテストベンチを開発した。

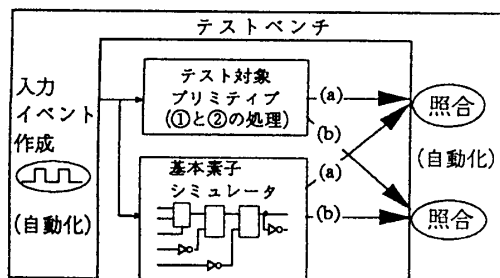


図4. テストベンチの概念図

テストベンチ内には、テスト対象となるプリミティブの動作基準となる基本素子シミュレータが組み込まれている。このシミュレータに、第3章の方法によって定義された回路（仕様）をネットリストとして与え、基本素子を順次評価していくことにより、回路全体としてテスト対象プリミティブの動作基準とすることができる。従って、同一の入力イベ

ントをテスト対象プリミティブと基本素子シミュレータの両方に入力し、プリミティブの機能①と②の結果である(a)と(b)を照合することによって、プリミティブの動作検証が可能となる。

ems1で扱う信号値は、0, 1, X, Zの4通りあるから、入力ピン1つ当りの信号変化の場合の数は、信号値が変化しない場合（例えば0→0）も含めて16通りである。よって入力ピン数をNとした場合、 16^N 通りという非常に膨大な数になるが、テストベンチにおいては、入力イベントの作成と結果の照合を自動化したことにより、すべての信号変化に対する網羅的なテストを行っている。（ただし、 $N>5$ の場合には1000万通りの信号変化をランダムに与える。また順序回路の場合は、内部状態までを考慮した入力イベントの作成を行っていないので、完全に網羅的とはいえない。）

4.2 ems1本体に組み込みでの動作テスト

テストベンチにおいて、図2の機能モデルの①と②が検証される。また、③の処理自体は全てのプリミティブ共通なので不具合のないことは別途検証済みである。従って動作テストは、開発したプリミティブをシミュレータ本体に組み込み、①、②および③の間の接続に誤りがないかどうかを確認することになる。このためには、数種類の入力波形を与え、結果を目視検査するだけで十分である。

5. 適用結果

本テスト手法の導入により、次のような成果をあげることができた。

(1)動作テストに要する人工の削減

図3のテスト容易化ラッチセル対応プリミティブの開発において、従来の方法では3日かかる動作テストが、テストベンチの利用により2時間で終了した。

(2)網羅的なテストを実施することによる効果

本テスト手法導入前に開発したあるプリミティブを本テスト手法により再テストしたところ、従来のテストでは発見されなかった（ただし実使用では発現しにくい）動作不良を5件発見することができた。

6. おわりに

プリミティブの動作検証に本テスト手法を導入したことにより、テスト人工の大幅な削減と不具合検出率の向上を達成することができた。

参考文献

- [1] 下出、奥田ほか：本大会予稿集・7L-1
- [2] Verilog-XL Reference Manual Version 1.6