

## デジタル/アナログ波形表示ツール（CEEDS-GT）の開発（3）

6L-7

-適用事例-\*

水田 裕子      天野 祐治      小笠原 敦      佐野 直樹      久保 典夫†

横河電機(株) EDA 開発センター†

## 1 はじめに

今回、デジタル/アナログ波形表示ツール（CEEDS-GT）を開発した<sup>[1][2]</sup>。ここでは、CEEDS-GT の実チップへの具体的な適用事例と解析機能について紹介する。適用したチップはアナログ信号とデジタル信号が混在する回路である。本ツールを用いることにより、シミュレーションの際にアナログ信号とデジタル信号を1つのウィンドウ上に同時に波形表示することができ、また、複数のシミュレーション結果を重ねて表示することも可能であるため、視覚的な比較が容易に行なえ、効率的な設計/検証が行なえる。

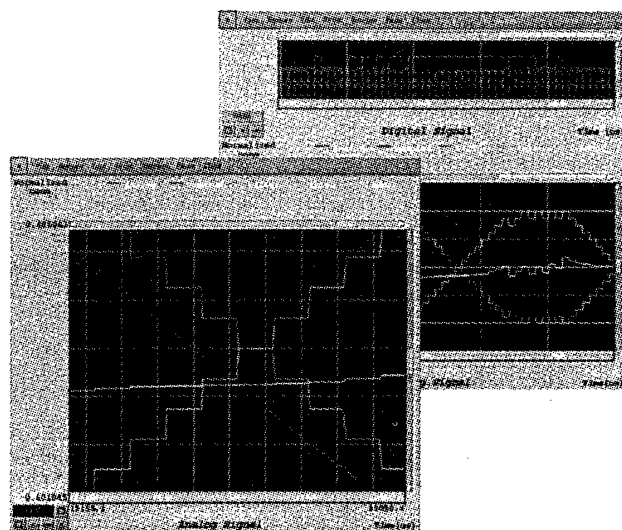


図 1: Zoom &amp; NewWindow の画面

## 2 解析機能

本ツールの主な機能は次の通りである。

- 「NewWindow」である時刻の波形を別のウィンドウとして表示する。この状態で元のウィンドウでシミュレーションを先に進めることも可能である。
- 「Zoom & NewWindow」でグラフの一部を拡大して、別のウィンドウとして表示する。これにより、全体のシミュレーション結果を表示しながら、グラフの一部を拡大して解析が行なえる（図1参照）。
- 「measure」により、各値を測定する。これにより X 軸方向、Y 軸方向の 2 点間の差分値の測定と、ある時刻での各信号値の測定が行なえる。
- 「InitView」で初期画面に戻る。これで最初の時刻から解析を再開することが可能となる。
- 「複数グラフ」の場合には、全てのグラフ、個々のグラフに対して操作が行なえる。したがって、複数

のグラフで別々な時刻の波形を表示することが可能で、並列解析が行なえる。

- 異なるユーザプログラムのデータを一つのグラフにまとめて表示することが可能である。これにより比較が容易に行なえる。

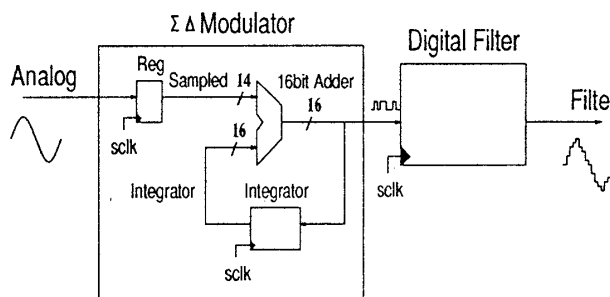


図 2: ブロック図

\*Development of Digital/Analog Graphical Display Tool(CEEDS-GT) (3) -Application Case-

†Yuko Mizuta, Yuji Amano, Atsushi Ogasawara, Naoki Sano, Norio Kubo

‡EDA Development Center Yokogawa Electric Corporation

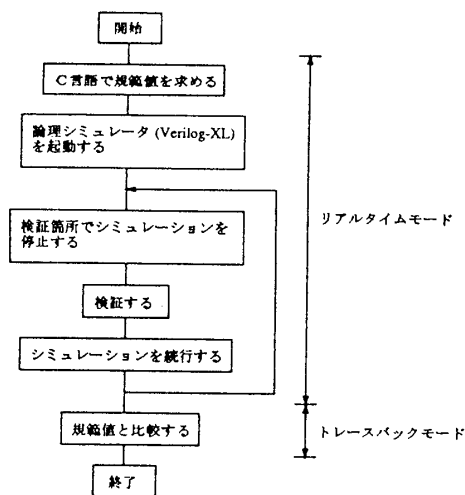


図 3: 検証の流れ (一例)

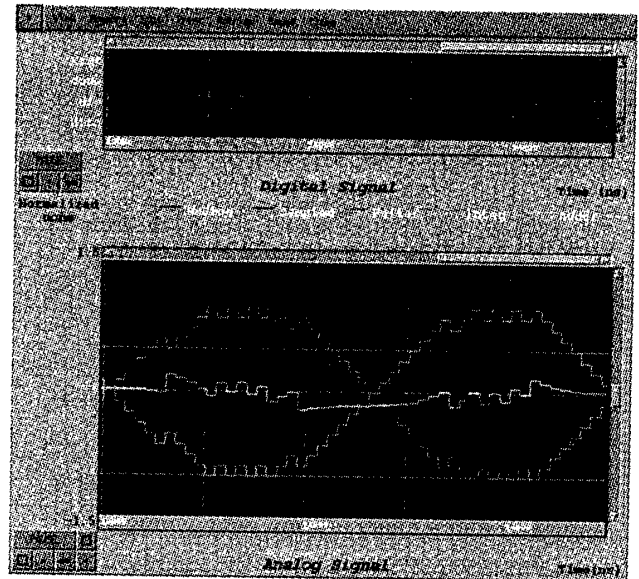


図 4: CEEDS-GT の波形表示画面

### 3 適用事例

#### 3.1 回路構成

図2に適用したチップのブロック図概略(一部)を示す。このチップは $\Sigma\Delta$ 変調回路、デジタルフィルタ等から構成され、アナログの入力信号をデジタル信号に変換し、デジタル処理を行ない、アナログ信号に復調させて出力する回路である。このチップはハードウェア記述言語(Verilog-HDL)を用いて設計されている。

#### 3.2 検証の流れ

本ツールを用いた検証の流れの一例を図3に示す。

##### 1) リアルタイムモードによる検証

リアルタイムモードを用いて、論理シミュレータでのシミュレーションに同期して、シミュレーション結果をリアルタイムに波形表示させた様子を図4に示す。デジタルグラフとアナロググラフを混在表示できるため、各信号の様子が一目でわかる。シミュレーションが検証箇所到达了時点でシミュレーションを停止させると、シミュレーション停止と同時に波形更新も停止する。ここで解析機能を用いてシミュレーション結果の解析を行なう。現在の状態を残しておいて、さらにシミュレーションを進めたい場合には本ツールの「NewWindow」を用いて、別のウィンドウとして表示しておきシミュレーションを進める。また、データの細部がわかりにくい場合にはその部分を拡大して表示し、値の測定などを行なう。

##### 2) トレースバックモードによる検証

規範値を求めるためのシミュレーションはC言語で行なった。これは小数点、負数の取り扱い、また、様々な数学関数が既に用意されているなどの理由からである。規範値との照合は、トレースバックモードで行なう。トレースバックモードでは異なるシミュレーション結果を合成表示することが可能である。したがってシミュレーション結果と規範値とを異なる線種で表示、かつ、重ねあわせて表示することにより、視覚的な比較検証が容易に行なえ、解析時間の短縮が図れる。

### 4 まとめ

CEEDS-GTの実チップ開発への適用例について紹介した。今回適用したようなチップでは、デジタルフィルタの出力をアナログ量として表示することができず、視覚的な理解が難しい。本ツールを適用することにより設計/検証が効率良く行なえ、その有用性が確認できた。今回はチップの開発に適用したが、今後はアナログ量を扱うようなアプリケーションや、いわゆる”仮想環境”などへの適用が考えられる。

#### 参考文献

- [1] 天野祐治、他「デジタル/アナログ波形表示ツール(CEEDS-GT)の開発(1)-システム概要-」情報処理学会第49回全国大会、6L-05
- [2] 小笠原敦、他「デジタル/アナログ波形表示ツール(CEEDS-GT)の開発(2)-構成/ユーザインターフェース-」情報処理学会第49回全国大会、6L-06