

パラメータ付きネットリストを用いたタイミングドリブン  
データパスレイアウト設計手法

3C-4

中村 猛 今橋 正彦 松田 庸雄  
日本電気(株) LSI 事業本部 ULSI システム開発研究所\*

1. はじめに

近年開発されている画像処理、音声処理のための信号処理プロセッサなどのLSIは内部に処理速度を要求される複雑で大規模なデータパス(演算モジュール群)を含んでおり、レイアウト設計について規模、複雑さにおいて困難となり多大な時間を消費するため、タイミングを考慮しつつレイアウトを自動かつ短期間に生成することが要求されている [1],[2]。

2. データパスレイアウト手法

従来の自動レイアウト設計の問題点のうち、次の2つについて考える。

(1) 自動配置におけるグループ化の問題：自動配置を用いた場合、タイミング制約は考慮することは可能ではあるが、図1に示すような問題が生じる。

データパスリーフセルと自動配置システムを用いて、図1(a)のような配置をしようとする、たとえば、グループ化、ネットウエイトなどの制約を与えたとしても、セルの自動配置システムにおいて個々のセルの詳細配置はネット数などの条件が同じ場合、容易に交替し得るので、図1の(c)、(d)のようなセル位置交替のトラブルが生じる。

(2) 自動配置における初期配置空間生成の問題：図2(A)に示すように、従来の自動配置では、ネット結合を考慮して初期配置空間を決定するため、図2(B)のような集積度重視の配置が困難であった。

そこで本論文では、タイミング制約についてはクリティカルパスの情報を基に、ネットリストにパラメータを用いてネットウエイトを与え、さらに上記の問題点を解決するために、図1(b)に示す同一機能セル群のマクロ化、及び図2に示すbin-packing法を用いた初期配置空間生成手法を利用した。

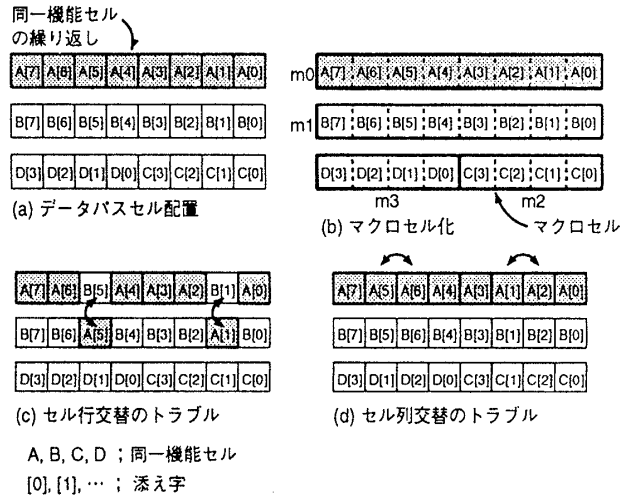


図1 データパスセル自動配置の問題点

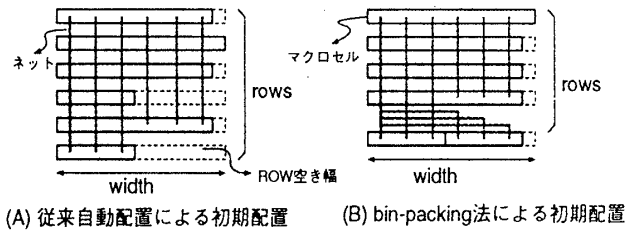


図2 マクロセル初期配置空間生成

3. 設計手法の概略

図3に概略設計フローを示す。以下に説明を述べる。

3.1 タイミングドリブン制約情報付加

タイミング検証により抽出されたクリティカルパスのネットリストに、パラメータによりネットウエイトを与える。

3.2 ネットリストの階層分割およびマクロセル生成

従来自動配置におけるグループ化の問題解決のために、マクロセル化(図1(b))を行う。

step1) ネットリスト階層分割；

- a) インスタンス階層名により同一機能セルの繰り返しの階層を生成

step2) 分割階層下マクロセルの生成；

- a) セルの相対配置パラメータによりセル

\*Design Method for Timing Driven Data-path Layout with Parameterized Netlist  
Takeshi Nakamura, Masahiko Imahashi, Tsuneo Matsuda  
ULSI Systems Development Laboratories  
LSI Operations Unit, NEC Corporation

を繰り返し並べる

b) マクロセルの仮想端子を発生する

### 3.3 マクロセル初期配置空間見積もり

スタンダードセル方式による自動配置において集積度を考慮した初期配置空間を見積もる為に、bin-packing 法を用いた。処理のフローを以下に示す。

```
for (全てのセルについて){
    前に配置されたセルに対して最もネット結合が
    大きいセルを選択 ;
    if (マクロセル幅 <= ROW の空き幅){
        現在の ROW にマクロセルを配置 ;
    }else{
        次の ROW にマクロセルを配置 ;
    }
}
```

### 3.4 マクロセルタイミングドリブン自動配置

前節の初期配置空間生成で、求められたセル行数とデータバスのビット幅を与えて、自動配置させる。ここで初期配置は min-cut 法を用い、また配置改良には simulated annealing 法を用いている。

### 3.5 データバス自動配線

マクロセル配置整列の結果とマクロ階層付きネットリストから、個々のリーフセルの相対配置を出力する。この相対配置指定を守りながら、データバス自動配線を行う。

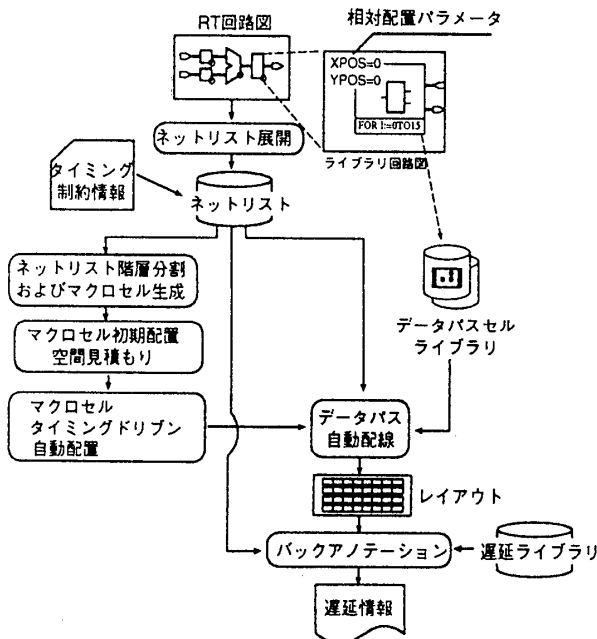


図3 設計手法概要

## 4. 適用結果

本稿の設計手法を用いて、あるクリティカルパスにネットウエイトを与えた場合の評価結果を表1、レイアウト結果例を図4に示す。

今回試行した回路図のうち回路図Aの面積は多少増大しているものの、回路図が複雑になるほど、性能比率が上がるという結果が得られた。

回路図	制約なし		制約あり		性能比率	
	速度	面積	速度	面積	速度	面積
A	2.573	0.95	2.118	0.98	17.7%短縮	3.1%増
B	7.722	2.05	6.971	1.84	9.7%短縮	10.2%減
C	2.074	5.06	1.860	4.46	10.3%短縮	11.9%減

速度単位 ns 面積単位 mm<sup>2</sup>

表1 評価結果

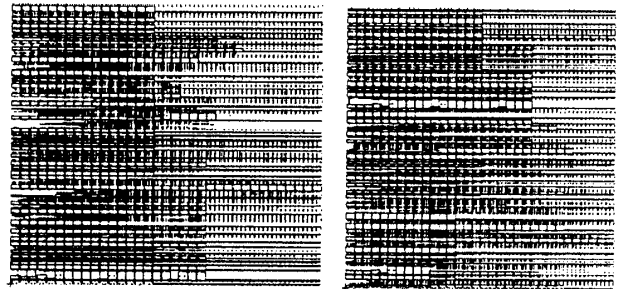


図4 回路図Cのレイアウト結果

## 5. 結論

本論文では、配置マクロ生成とネットウエイトを用いる手法によりクリティカルパス速度の低減を行うことを示した。

また、本手法は、レイアウト面積も縮小することも可能であることを示した。

## 参考文献

- [1] 境 他, "データバスレイアウトにおける機能ブロック配置アルゴリズム", 情報処理学会研究会報告, 92-DA-64-7, pp.49-56 (1992).
- [2] 今橋 他, "レジスタトランスファレベル回路図を用いたデータバスレイアウト設計手法", 電子情報学会技術研究報告, VLD91-131, PP.23-29 (1992).