

配線変更可能なボードを用いた汎用エンジンRM-III

1C-9

澄川文徳, 垣原雅巳, 菅沼直昭, 富田昌宏, 平野浩太郎
神戸大学

1. はじめに

電氣的に書換え可能なFPGA (Field Programmable Gate Array)とメモリを組み合わせることで、様々な処理をハードウェアで高速に実行可能とする汎用エンジン[1]の概念に基づいて開発したRM-III (Reconfigurable Machine-III)について述べる。

汎用エンジンの第2の試作機であるRM-II [2]では、RM-Iで問題となったFPGA間配線の固定による柔軟性の低下を抑えるために、中央部に配線変更用のFPGAを設けた。しかし、FPGA間、FPGA-メモリ間の配線そのものの変更は不可能であるため、RM-II上のアプリケーション開発に際して、このエンジンのアーキテクチャを十分に考慮する必要があった。

新たに提案する汎用エンジンRM-IIIでは、電氣的に配線変更を行うためのLSIとそれを搭載したボードを用いることにより、FPGA間、およびFPGA-メモリ間の配線をも変更可能とする。

2. RM-IIIの仕様と特徴

RM-IIIの仕様について、RM-IIとの比較を含めて表1に示す。RM-I/IIでは、高速化するアルゴリズムについて、それぞれのアーキテクチャに適した実現方法について注意深く検討する必要があった。それに対して、RM-IIIは、以下の点を特徴としている。

(1) 適切な結合網を選択・実現可能

実現するアルゴリズムに適したFPGA間結合

表1 RM-IIIの仕様

比較項目	RM-II	RM-III
実現可能な回路規模	45Kゲート	30Kゲート
回路実現部のFPGAの種類と個数	XC4005×9	XC4005×6
メモリバンク数	8	8
メモリバンク構成	32Kbyte×24bit	32Kbyte×16bit
FPGA間の配線	配線変更用FPGAにより柔軟性を確保	配線用FPICにより変更可能
FPGA-メモリ間の配線	固定配線	配線用FPICにより変更可能

網を選択することにより、性能向上が期待できる。

(2) メモリバンクの容量と接続形態を変更可能

複数のメモリバンクを要する場合、RM-IIでは回路規模が小さくても複数のFPGAに分割する必要があった。RM-IIIでは、1個のFPGAに複数バンクを割り付けることが可能であり、回路を分割する必要がなくなる。必要なFPGAの個数の減少とともに処理の高速化が実現可能である。

(3) FPGA内部の配線遅延減少

FPGA間の配線が自由に変更可能であることを活かし、FPGAの端子を固定せずにFPGAの内部を配線することにより、配線遅延の削減効果も期待できる。

(4) アプリケーション開発時間の短縮

(1)から(4)に述べた項目と関連して、アプリケーション作成上の制約条件が緩和されるため、開発時間の短縮が期待される。

3. RM-IIIの構成

図1にRM-IIIの構成を示す。配線変更用の

LSI として、Aptix 社の FPIC (Field Programmable Interconnect Component) [3] を採用し、この FPIC を 4 個搭載した Aptix 社製のボード FPCB (Field Programmable Circuit Board) [3] 上に汎用エンジンを構築する。FPIC は、936本のユーザ端子を持つ。任意の 2 端子間の相互接続を SRAM に記憶し、その接続を外部から自由にプログラム可能となっている。FPIC は、FPGA から論理ブロックを除いて内部配線要素のみを残したものである。パス・トランジスタで接続を実現することで、双方向信号にも対応している。

FPCB は、この FPIC を 4 個搭載した VME ボードサイズのユニバーサル・ボードである。ボード上の領域は、接続する FPIC に対応して 4 分割される。300mil DIP 型素子用のソケット端子が 3,018 個用意されており、FPIC をプログラムすることにより、任意の 2 端子間が接続される。ただし、FPIC 間の相互配線が 51 本に限定されており、他の領域に配置されている FPGA やメモリとの接続に関する制約となっている。

RM-III では、FPIC を介して配線することにより、RM-II で問題となった FPGA 間配線の不足を回避する。また、FPGA-メモリ間配線については、サブボード上に FPGA とメモリを搭載して

固定的に配線を行う方法と、FPIC を介した自由配線にする方法が考えられる。

メモリアクセスは最も時間を要する処理であるので、高速であることが望ましい。その点で、固定配線の方が FPIC の配線による遅延が少なく有利であるが、FPIC の配線変更が可能であるという特徴を最大限に活かすため、RM-III では FPGA とメモリ間についても FPIC を介して配線する方式を採用する。

FPCB は、DIP 型の素子の搭載を前提としている。PGA 型の FPGA は、ZIF ソケット付サブボード上に搭載する。さらに、各バンクのメモリとホスト・コンピュータからアクセスするための周辺回路をモジュールとして、サブボードに集積している。共通アドレス線などを 1 端子にまとめ、FPIC の内部配線に対して、極力ファンアウトを減らし配線遅延を減少させる。

4. RM-III の現状と課題

RM-III 上のアプリケーション例として、RM-II 上で稼動している、画像の中央値フィルタを移植した。配線用の FPIC を使用することで、RM-II の動作周波数 4MHz に比べて、RM-III では 6MHz 以上に向上したことを確認している。

RM-III では、RM-II と異なり FPGA 間の接続本数が固定されていないため、RM-II では不可能であった FPGA のツリー接続や、トラス接続が可能となる。今後 RM-II では実現不可能な新しい応用を実現するとともに、回路分割や、メモリ割付けといった、設計支援環境の開発を課題とする。

参考文献

- [1] 菅沼, 村田, 富田, 平野, "汎用エンジンの開発と論理診断への応用", D A シンポジウム'92.
- [2] 富田, 菅沼, 澄川, 平野, "汎用エンジン RM-II の構成", 並列処理シンポジウム JSPP'93, pp.151-158, 1993.
- [3] Programmable Interconnect Data Book, Aptix corp., 1993.

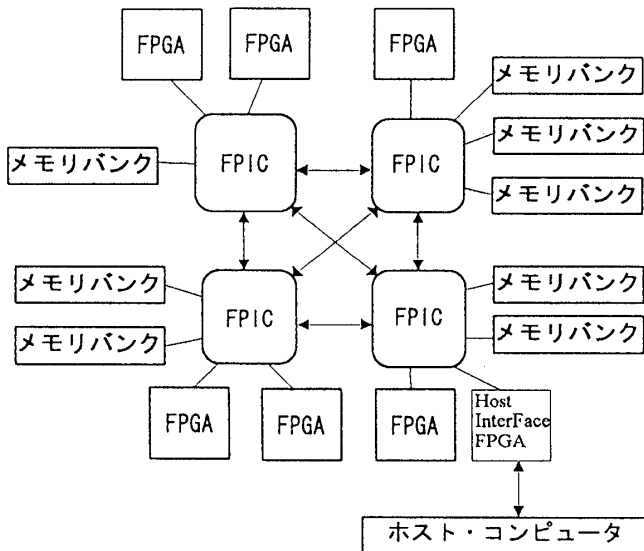


図1 RM-IIIの構成