

データフロー・プロセッサRAPIDのマルチプロセッサ構成

4B-5

田村俊之 坪田浩乃 小守伸史 久間和生

三菱電機（株） 半導体基礎研究所

岩田誠 寺田浩詔

大阪大学 工学部 情報システム工学科

1. はじめに

我々は、ピーク性能50MFLOPSのデータフロープロセッサRAPID (Ring Architecture Pipeline Intensive Dataflow processor)を開発し(1)、評価用のマルチプロセッサシステムを構築した。

本システムは、高速な物理シミュレーションやグラフィックスを主なターゲットとして開発した。4プロセッシングエレメント (PE) を搭載したボードを構成要素とし、最大256PEシステムまで拡張可能な、階層型のリングネットワークで接続されたMIMD型のマルチプロセッサシステムを構成することができる。また、本システムはPE間で授受される通信メッセージを用いた分散共有メモリアクセス機能を有している(2)。

本稿では、まずRAPIDチップの諸元、特徴について簡単に述べた後、システムの基本構成要素である4PEボードの構成、またシステムの全体構成について述べる。さらに、本システム上で動作させたレイトレーシングの概要についても述べる。

2. データフロー・プロセッサRAPID

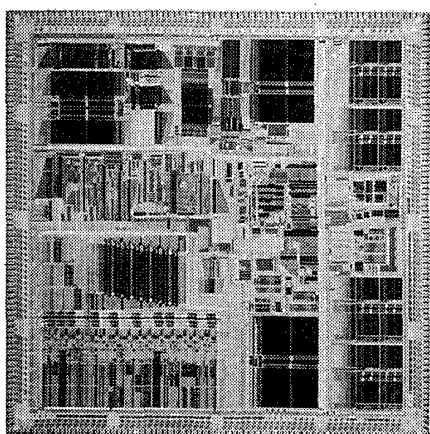


図1 RAPIDのチップ写真

Multiprocessor System of Dataflow processor "RAPID",  
Toshiyuki TAMURA\*, Hirono TSUBOTA\*, Shinji KOMORI\*,  
Kazuo KYUMA\*, Makoto IWATA\*\*, Hiroaki TERADA\*\*  
\*Mitsubishi Electric Corporation Semiconductor Research  
Laboratry  
\*\*Department of Information Systems Engineering, Osaka  
University

RAPIDは、32ビット浮動小数点演算器、データメモリ、プログラムメモリ、マッチングメモリの機能モジュールをリング状に結合した構成をしている(2)(3)。0.8 $\mu$ mCMOS (2層ポリシリコン、2層アルミ) プロセスを用いて、14.9mm $\times$ 15.1mmのチップ上に100万素子が集積されている。図1に本プロセッサのチップ写真を示す。

RAPIDは、以下のようなアーキテクチャ上の特徴を有する。

1. スーパーパイプライン方式
2. 分散共有メモリ機能(2)
3. 命令プリフェッチと演算の並行実行
4. 固定遅延時間マッチングメモリ(3)
5. ベクトル演算機構内蔵

3. RAPIDマルチプロセッサシステム

3.1 RAPIDシステムの基本要素

図2にRAPIDシステムの基本要素である4PEボードの構成を示す。PEはRAPID内部に搭載されたメモリを含めて各々ローカルに、プログラム2M語 ( $\times$ 32ビット)、データ16MBのメモリ空間を有している。本ボードではプログラムメモリはPE0に128K語、PE1~PE3に32K語、データメモリはPE0に512KB、PE1~PE3に128KBが実装されている。

また、DMAコントローラは、ベクトル演算実行時にRAPID内部のデータメモリと外部拡張メモ

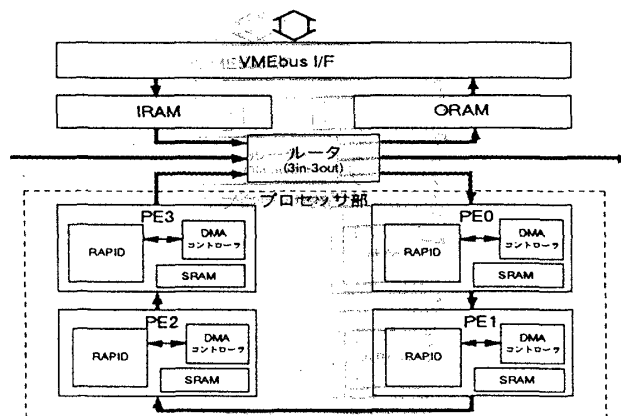


図2 RAPID 4PEボード

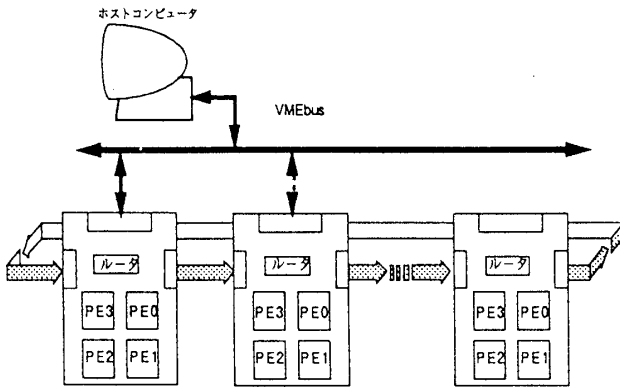


図3 システム全体のネットワーク構成例

りとの間のバースト転送を制御している。バースト転送のレートはチップの処理レートと同一の50M語(×32ビット)/秒であり、チップへの高速なデータ供給をサポートしている。IRAM、ORAMはVMEバス上にマップされたメモリであり、これらのメモリを介してホストプロセッサと4PEボード間で直接にデータの授受を行うことができる。本ボードのサイズは532mm×366mmであり、トリプルハイトの汎用VMEラックに実装し、ボード間をケーブルで接続することでシステムを構成することができる。

### 3.2 RAPIDシステムの全体構成

図3にシステムの全体構成を示す。1ボード上に搭載された4PEは、ディジーチェーンを構成している。複数のボードを接続した場合には、それぞれのボード上で構成されたディジーチェーン同士を接続することにより、2階層のリングネットワークを構成することができる。ディジーチェーン内は30Mワード/秒、ディジーチェーン間は20Mワード/秒の転送能力を持つ(1ワードは42ビット)。また、ホスト

コンピュータからVMEバスのインターフェースを介してクロス環境で生成されたプログラムのロードや結果データの読み出しをはじめとする様々な制御を行うことができる。

### 4. RAPIDシステム上でのレイトレーシングの実行

図4は、RAPIDのマルチプロセッサシステム(8PE)上でレイトレーシングプログラムが実行され、その結果がXウィンドウシステム上に表示されている様子を示している。

物体、光源、および視点が与えられると、画素ごとに独立に視点から見える物体やその陰影の演算が行われる。物体の複雑さによるが、1ボード(4PE)でフルカラーの256×256画素の演算が5~10秒で実行できる。

### 5. まとめ

本稿ではデータフロープロセッサRAPIDを搭載したマルチプロセッサシステムの構成について述べた。本システムは計算規模に応じて4PE単位でシステムを拡張することができる。また、応用の一例として、レイトレーシングの概要について報告した。今後、様々なアプリケーションを実行し、本格的なシステム評価を行ってゆく。

### 参考文献

- 1) S.Komori, T.Tamura, F.Asai, H.Tsubota, H.Sato, H.Takata, Y.Seguchi, T.Ohno, T.Tokuda, and H.Terada, "A 50 MFLOPS Superpipelined Data-Driven Microprocessor," IEEE, Dig. Tech. Papers, 1991 ISSCC, pp.92-93 (Feb. 1991).
- 2) T.Tamura, S.Komori, F.Asai, H.Tsubota, H.Sato, H.Takata, Y.Seguchi, T.Tokuda, and H.Terada, "A Data-driven Architecture for Distributed Parallel Processing," Proc. IEEE ICCD'91, pp.218-224 (Oct. 1991).
- 3) H.Takata, S.Komori, T.Tamura, F.Asai, H.Sato, T.Ohno, T.Tokuda, H.Nishikawa, and H.Terada, "A 100 Mega access per second matching memory for a data-driven microprocessor," IEEE J. Solid-State Circuits, Vol.25, No.1, pp. 95-99 (Feb. 1990).

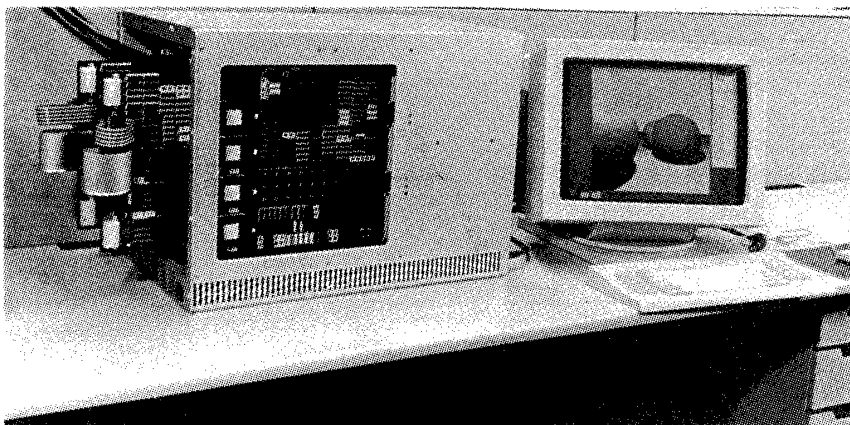


図4 レイトレーシングの実行