

# ファンイン制限つきトランスダクション法における

4H-3

## ゲート変更の導入

澤田直\* 上林弥彦+

\*九州大学工学部 +京都大学工学部

### 1. まえがき

トランスダクション法<sup>[3]</sup>は何らかの方法で設計された初期論理回路を元に、許容関数と呼ばれる概念を用いて回路の変形削減を行なう手法である。この手法は面積最適化だけでなく遅延最適化や設計の変更などにも強力であり、近年さまざまな研究がなされている。しかし、一般にトランスダクション法は単一ゲート当りのファンインが増加し易く、ファンイン制限の元での効果的な変形は不得意な傾向がある。

これまで著者らはトランスダクション法の初期回路に注目し、NORゲートだけからなる回路についてファンイン制限をすると同時に結線を追加し易い否定ゲート(ファンイン1のゲート)を増やす手法FIRTを開発してきた<sup>[4]</sup>。本稿ではより柔軟な変形を行うためにFIRT適用後の回路について結線を追加しにくいゲートを抽出し、それに関して出力関数を変化させないゲート種の変更を導入する。これにより、最終的な回路の段数を更に削減することができる。

### 2. 基本的事項

以下、ゲートまたは外部入力変数を  $v_i$  と表し、ゲート  $v_i$  の入力へ結線されているゲートまたは外部入力変数の集合を  $IP(v_i)$ 、 $v_i$  からの出力を入力に持つゲートの集合を  $IS(v_i)$  と呼ぶ。 $v_i$  の出力が  $v_j$  の入力に結線されているとき、その  $v_i$  から  $v_j$  への結線を  $c_{ij}$  と呼ぶ。 $f(v_i)$  は  $v_i$  の論理関数を表す。

### 3. 許容関数

回路中のあるゲート又は結線の実現する関数  $f$  を他の関数  $f'$  に置き換えても回路全体の出力に変化がないとき、そのような  $f'$  をゲート又は結線の許容関数であるという。一般に許容関数は複数存在するが、それらのうち同時に置き換え可能なものからなる部分集合を CSPF(Compatible Set of Permissible Function) と呼ぶ。トランスダクション法は許容関数に基づいて結線の追加、削除を行ない、回路を変形、単純化していく手法である。

### 4. 一般化直列分割

NOR回路のファンインを減らす方法として直列分割(Serial Duplication)がある<sup>[1]</sup>。これは図1のように、あるゲート  $v_i$  の  $IP$  を幾つかのグループに分割し、各グループをそれぞれ直列につながれた NOR ゲート対の入力に割当て、その各 NOR ゲート対の出力を  $v_i$  の入力とする手法である。

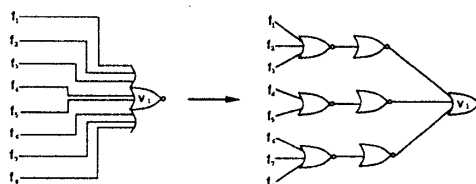


図1: 直列分割の例

あるゲート  $v_e$  がファンイン制限を満たしていない場合を考える。直列分割によって  $IP(v_e)$  を分割するとき、あるグループのゲートが全て共通の入力  $v$  を持つならば  $v$  をそのグループの否定ゲートの入力に加えても  $v_e$  の出力は変化しない。またそのとき、そのグループに含まれるゲートで  $IS$  の数がただ1つであるものの  $IP$  から  $v$  を削除しても出力に変化はない。この性質をうまく使うことにより、直列分割に伴う段数や回路のサイズの増加をある程度抑えることができる。このような直列分割を一般化直列分割と呼ぶ。FIRT(Fan-in Restricted Transformation)はこの一般化直列分割の性質をうまく利用して段数を出来るだけ増加させないようにファンイン制限を行う手法である(図2)。

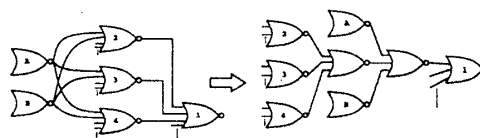


図2: FIRTの原理

### 5. ゲート変更の導入

NORゲートのみからなるFIRT適用後の回路を初期回路としてトランスダクション法を適用した場合、否定ゲートがそのまま残ってしまう場合が起り得る。本節で

Introduction of Gate Replacement for Fan-in Restricted Transduction Method

Sunao SAWADA\*, Yahiko KAMBAYASHI+

\*Faculty of Engineering, Kyushu University

+Faculty of Engineering, Kyoto University

は回路中のゲートについて NOR から NAND ヘゲートの変更を行なっても最終的な出力に影響を与えないものを抽出し、変更を行なう手法について述べる。

NOR から NAND ヘゲート変更を考える時、特に以下のことを考慮することが段数削減に有効である。NOR の否定ゲートは無条件で NAND の否定ゲートに変更可能である。またその場合、パターンマッチングで図3のような回路の変形を行なうことにより回路の段数を削減することが出来る。

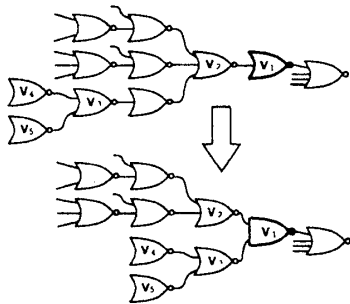


図3: ゲート変更に伴う段数の削減

処理は FIRT 適用後の NOR 回路に対して以下のような手順で実行される。

- Step 1: 回路中の各ゲートに対する CSPF を計算する。  
 Step 2: 各ゲートに対して素子を変更したときの出力がそのゲートの CSPF に含まれているかどうか調べる。もし含まれていたらそのゲートを変更する。  
 Step 3: 回路を探索し、図3の変形が適用できる部分を変形する。  
 Step 4: トランスダクション法を適用する。

## 6. 実験結果

前節で述べた手続きを Sparc Station 2 上で C 言語を用いて実現し、最大ファンインを 4 に制限して回路合成の実験を行なった。実験に用いた回路は LGsynth'91 の 2 段のベンチマーク回路のうち 23 種類である。結果の一部を表1に示す。ここで“SIS”は文献[2]の手法による遅延を優先した合成結果を NAND と NOR にファンアウトを考慮せずにマッピングした結果である。“FIRTのみ”は文献[4]の手法を用いて多段 NOR 初期回路を作成し、トランスダクション法を適用した結果であり、“素子変更”はその初期回路に対して本稿の手法によりゲート変更を行ない、それにトランスダクション法を適用した結果である。各結果は“結線数/段数”で表される。なお、本プログラムの SBDD 処理には NTT の湊氏による SBDD パッケージを使用している。

結果を見ると全体として FIRT のみの方が SIS より段数の少ない回路を生成していることが分かる。また、素子変更を導入した場合ほとんどの回路において FIRT

のみの場合より段数、結線数ともに減少していることが分かる。このことからゲート変更を導入することによりトランスダクション法を有効に活用することができ、段数の少ない回路を生成できることが分かる。

name	in/out	SIS	FIRTのみ	素子変更
5xp1	7/10	239/12	298/7	288/7
9sym	9/1	468/13	413/13	403/9
b12	15/9	142/9	164/5	136/5
bw	10/56	352/10	273/5	273/5
duke2	22/29	1074/14	2010/9	1906/9
e64	65/65	2010/7	1526/7	1625/6
ex5	8/63	858/10	309/7	284/7
misex1	8/7	150/11	125/5	125/5
misex2	25/18	225/7	261/7	239/7
rd53	5/3	92/10	111/5	111/5
rd73	7/3	285/14	738/9	704/9
sao2	10/4	292/16	492/9	467/9
spla	32/92	1660/15	2211/11	1536/11
squar5	5/8	117/10	234/5	218/5
table3	14/14	3328/31	4774/11	4270/11

(結線数/段数)

表1: ベンチマーク回路の合成結果の比較

## 7. むすび

ファンイン制限つきトランスダクション法をより柔軟に適用するためのゲート変更と、それに伴う回路の変形について述べてきた。また実際にトランスダクション法を適用し、段数削減に有効であることが確認できた。

## 謝辞

有益な御助言を頂いたイリノイ大学の室賀三郎教授、熱心な御討論下さった NEC の吉川浩氏並びに室賀研究室の皆様、また、SBDD パッケージの使用を快諾していただいた京都大学の矢島脩三教授に感謝致します。

## 参考文献

- [1] H.Lee, et al., “A Transform for NAND Network Design”, *IEEE Trans. Comput.*, Vol.C-21, pp.12-20, Jan.1972.
- [2] R.K.Brayton, et al., “MIS: Multi-level Interactive Logic Optimization System”, *IEEE Trans. on CAD*, Vol.CAD-6, pp.1062-1081, Nov. 1987.
- [3] S.Muroga, et al., “The Transduction Method—Design of Logic Networks Based on Permissible Functions”, *IEEE Trans. on Comput.*, Vol.38, No.10, October 1989.
- [4] S.Sawada, et al., “Generation of Fan-in Restricted Initial Networks for Transduction Method”, *Proc. SASIMI'92*, April 1992.