

書換え可能な FPGA を用いた汎用エンジン RM-II

2G-8

富田昌宏, 澄川文徳, 菅沼直昭, 平野浩太郎
神戸大学大学院 自然科学研究科

1. はじめに

電氣的に書換え可能な FPGA (Field Programmable Gate Array) をメモリと組み合わせることにより, 複数の用途に適用可能な汎用エンジンの概念 [1] に基づいて開発された RM-II (Reconfigurable Machine-II) について述べる。RM-I [1] において問題となった規模と柔軟性の不足の問題点 [2] を解決すべく, 配線変更用の FPGA を用意するとともに, FPGA の外部端子数に関する制約を回避しつつ十分な転送能力をもつクロスバスを採用した。論理設計支援と画像処理に適用し, その有効性を確認した。

2. 汎用エンジン RM-II の仕様

RM-II の仕様を RM-I との比較を含めて表 1 に示す。RM-II では, 実現可能な回路規模, ならびに総メモリ容量を RM-I の約 2 倍とした。バンク数を倍増することにより, パイプライン段数に関する制約を緩和する。さらに, FPGA 間の配線を変更するための FPGA により柔軟性を向上させる。XC3090 の上位モデルである XC4005 を FPGA として用いることにより, 配線効率および内部資源利用率の向上と, システム・クロックの高速化を図る。

汎用エンジン上では, 通常は単一のプロセッサによって処理される内容が, 複数の FPGA に割り当てられる。よって, データバスが複数の FPGA に分岐する場合があります。一対多の通信を一対一の通信と同程度の時間内に行うと同時に, 通信の遅れ時間が 1 クロック以内であることが望ましい。さらに, XC4005 では外部端子数が 112 と比較的少ないため, 通信のために確保できる外部端子数は限られる。

以上の点を考慮して, FPGA 間を複数の縦横のバスで結合するとともに, FPGA とメモリとの接続を流用することによって外部端子の占有を最小限に抑える, クロスバスによる結合を採用した。クロスバ

表 1 RM-I と RM-II の仕様比較

項目	RM-I	RM-II
実現可能な回路規模 総メモリ容量	約 20 K ゲート 392 Kbyte	約 45 K ゲート 784 Kbyte
実行モジュールに 搭載する FPGA	XC3090 × 4	XC4005 × 9 (結線変更用に 1 個)
メモリバンク	32 K × 24 bit × 4 バンク	32 K × 24 bit × 8 バンク
FPGA 間の配線	固定	可変
結合網	完全結合の固定 配線, 共通バス	変更可能な配線 クロスバス

結合や, ハイパー・クロスバ結合 [3] と類似しているが, クロスバス結合では複数の一対多の通信を, 多くの場合 1 クロックで完了する。

3. RM-II の構成

図 1 に RM-II の構成を示す。二重線と太線は, それぞれ X および Y 方向について各 3 本のデータバス (24 bit) を示す。主としてメモリ・アドレスを転送するアドレスバス (外周部のみ, 15 bit) については省略している。

FPGA1~8 はそれぞれ対応する MEM1~8 のメモリバンクに接続する。各 FPGA とメモリバンクを接

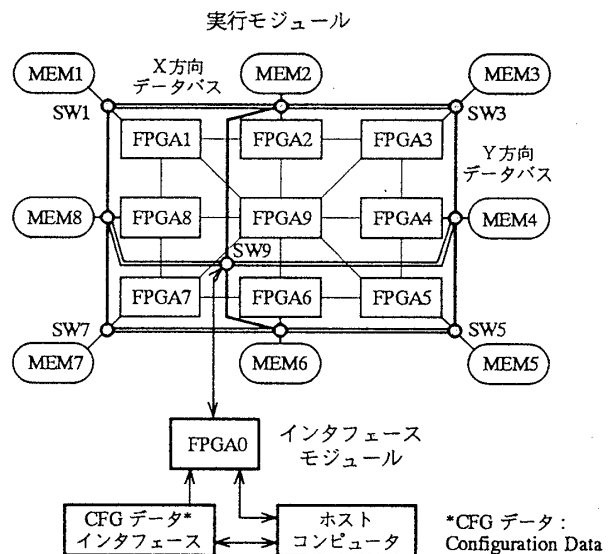


図 1 RM-II の構成

An FPGA-based Reconfigurable Machine: RM-II
Masahiro Tomita, Fuminori Sumikawa,
Naoaki Sukanuma, and Kotaro Hirano
The Graduate School of Science and Technology,
Kobe University

*CFG データ:
Configuration Data

続する信号線に SW1~8 のスイッチを付加することにより、データバスと接続する。FPGA - FPGA 間の転送に留まらず、FPGA - メモリ、メモリ - メモリ間の転送も可能である。なお、FPGA9 は FPGA1~8 の間の配線変更や制御部の実現のために用意され、対応するメモリバンクをもたない。

図 2 に、クロスバスを構成するためのスイッチの内部を示す。SW1~8 については、図 2 (a) に示すように、3 分岐の任意の一つが信号源となり、他の 2 分岐の両方または一方に出力することができる。3 組の双方向バッファによって構成される。FPGA とメモリについても、それぞれ双方向の出力を利用する。1 クロック内での転送を実現するため、各スイッチにはレジスタ要素を含まない。

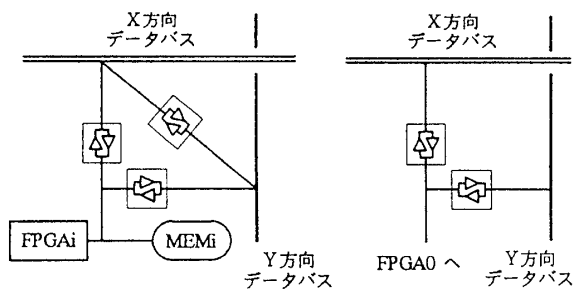
図 2 (b) に示すように、SW9 の内部は 2 組の双方向バッファで構成される。FPGA0 と X/Y 方向バスとのデータの授受を実現するとともに、X 方向バスと Y 方向バス間のデータ転送も可能である。

4. RM-II の応用

論理シミュレーション、論理設計誤りの診断処理、画像処理の一種である Wavelet 変換を RM-II 上に実現し、性能を評価した。

4.1 RM-II の実装と単体性能

RM-II のハードウェアを 1 ボード (450 mm × 350 mm) 上にワイヤ・ラッピングで実現した。クロック周波数は、2, 4, 5, 8, 10 MHz から選択可能である。現状では、115 Kbyte の CFG データの書込みに 9.5 秒を要しているが、I/O タイミングの調整と各 FPGA への並列書込みによって、0.14 秒程度に短縮可能である。また、クロスバスのスイッチ 5 段に対する遅延時間は実測で 30 nsec 以下であり、比較的高速なデータ転送を行えることが確認された。



(a) 3 分岐全方向型 (SW1~8) (b) 1-2 型 (SW9)

図 2 クロスバス・スイッチの構成

表 2 論理シミュレータ LSIM-II の処理速度

回路名	ゲート数	処理速度 (万イベント/sec)	LSIM に対する速度比
DDA8	584	150	1.35
INV1K	1,000	180	1.86
OKI	420	186	1.91
演算器	156	179	1.38

4.2 論理シミュレータへの応用

RM-I 上に構築した LSIM (Logic SIMulator) [2] と同様の方式による、ゲートレベル論理シミュレータ LSIM-II を RM-II 上に構築した。イベント伝搬と素子評価の二つのフェーズについてパイプライン処理を行う。LSIM で発生したイベント当たり 2 クロックの待機が、LSIM-II ではバンク数の増加によって不要となった。表 2 に LSIM-II の処理速度を示す。LSIM と同様に 4 MHz のクロックを用いた。特に平均ファンアウト数が少ない INV1K, OKI の回路例で処理速度向上の効果が大きく、イベント当たり約 2 クロックで処理を完了する。

4.3 論理診断処理、画像処理への応用

ゲート回路に含まれる論理設計誤りを追跡・特定する論理診断処理を、RM-II 上で高速に行う論理診断エンジン: LDE-II を実現した結果、RM-I 上の実現 [1] に対して 2.1 倍の処理速度を得た。

また他分野への適用可能性を調べるため、画像に対する Haar Wavelet 変換にも応用した。256 × 256 画素の画像に対して 1.64 msec で処理が完了し、11 MIPS の計算機と比べて約 60 倍の速度を得た。

5. まとめ

FPGA とメモリを組み合わせることによって、複数の処理を高速に実行する汎用エンジン RM-II の構成について述べ、いくつかの応用例を紹介した。

今後は、設計支援環境の構築と、電氣的に配線変更が可能な LSI やボードを用いて柔軟性をさらに高めた汎用エンジンの開発を課題とする。

参考文献

- [1] 菅沼直昭, 村田之広, 富田昌宏, 平野浩太郎, "汎用エンジンの開発と論理診断への応用", DA シンポジウム'92, pp. 89-92, 1992.
- [2] 澄川文徳, 永田真一, 菅沼直昭, 富田昌宏, 平野浩太郎, "汎用エンジン RM-I による論理シミュレーション", 情報処理学会第 45 回全国大会講演論文集, vol. 6, pp. 159-160, 1992.
- [3] 中越順二, 田中輝雄, 濱中直樹, 面田耕一郎, "並列計算機 H2P の要素プロセッサ間非同期データ転送方式", 情報処理学会第 38 回全国大会講演論文集, pp. 1488-1489, 1989.