

# システム LSI 用クロック分配回路設計手法とそのスキュー解析手法

金 本 俊 幾<sup>†</sup> 柴 山 泰 範<sup>†</sup> 寺 井 正 幸<sup>†</sup>  
堀 場 康 孝<sup>†</sup> 外 蘭 三 彦<sup>†</sup>  
味 岡 佳 英<sup>†</sup> 岡 崎 芳<sup>†</sup>

本論文では、システム LSI 用クロックスキュー解析プログラム CSDP (Clock Skew error Diagnosis Program) の構成とその機能について示す。本システムの特徴は、クロック配線のシミュレーション用高精度モデルによるクロックスキュー解析と、クロック配線修正を効率化するのに有効なスキュー解析結果の各種表示機能である。本プログラムを動作周波数 243 MHz のメディアプロセッサコア D30V に適用した結果から、その有効性を確認できた。

## A Method of Clock Distribution and Skew Error Diagnosis

TOSHIKI KANAMOTO,<sup>†</sup> YASUNORI SIBAYAMA,<sup>†</sup> MASAYUKI TERAJI,<sup>†</sup>  
YASUTAKA HORIBA,<sup>†</sup> MITSUHIKO HOKAZONO,<sup>†</sup> YOSHIHIDE AJIOKA<sup>†</sup>  
and KAORU OKAZAKI<sup>†</sup>

In this paper we describe a configuration and functions of CSDP (Clock Skew error Diagnosis Program). Features of this system are, clock skew analysis with accurate models for parasitic interconnect RC extraction and circuit simulation, and methods to express the result of the clock skew analysis. Effectiveness of the proposed system is demonstrated by the design of a media processor, termed D30V whose clock frequency is 243 MHz.

### 1. はじめに

近年、メディアプロセッサをはじめとするシステム LSI は、数百 MHz の動作を要求されるようになってきた。そして、クロック信号の高速化にともない、クロックスキューがサイクルタイムの多くを占めるようになってきており、クロックスキューを低減することが求められる。クロック分配方式としては、図 1 のようなクロックツリー (a) やメッシュ方式 (b) が知られている<sup>1)</sup>。高速動作を求められる LSI に関しては、一般にクロックメッシュが用いられるが、太いリング配線やトランク配線のために、消費電力の増大やレイアウト面積の増大という問題が生じる。一方、低消費電力化への要求が強い場合にはクロックツリーが用いられることが多いことが知られている<sup>1)</sup>。我々の知る限りでは既発表の文献にはそのような実験結果の数値は報告されていないが、我々が表 1 の条件で現状の技術レベルの CAD を使って行った実験では、メッシュ方

式はクロックスキューは小さいが消費電力が高く、ツリー方式は消費電力は低いがスキューが大きいという結果が得られている。

本論文では、我々が開発に携わったメディアプロセッサコア D30V を例に、ツリーとメッシュを併用して高速動作と低消費電力を実現するクロック分配回路の新しい設計手法を提案し、その設計手法を実現するために開発したクロックスキュー自動検証支援ツールの機能仕様、システム構成および評価実験について述べる。以下では、ある FF クロック入力端子に対し、クロックスキューを、D30V のクロックパルス調整回路 PLL から各末端記憶素子 FF までのパスの伝播遅延時間の最小値と、PLL からその FF (flip-flop, FF と略記) までの遅延値との差と定義する。

### 2. クロック分配回路の設計手法

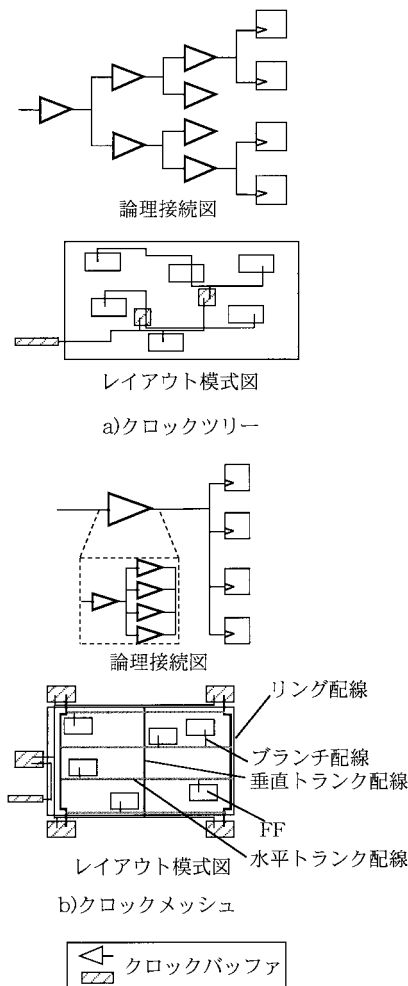
本章では、ツリーとメッシュを併用する新しいクロック分配回路の設計手法について述べる。

高周波クロックを実現する設計手法として、いくつかの手法がすでに報告されている<sup>1)~5)</sup>。このうち、PowerPC の手法<sup>1)</sup>は高速 LSI から低消費電力 LSI ま

<sup>†</sup> 三菱電機株式会社半導体事業本部  
Semiconductor Group, Mitsubishi Electric Corporation

表1 サブミクロンプロセスを用いた 23 kG の回路のクロック分配回路の実験例  
 Table 1 Examples of clock distribution for 23 k gates of circuit with deep  
 submicron wafer process.

	ツリー	メッシュ
AL1/AI2 配線幅 ( $\mu\text{m}$ )	0.9/1.1	リング・トランク 8.0/8.0 ブランチ 0.9/0.9
総配線長 ( $\mu\text{m}$ )	174.07	207.47
FF 総数	984	
総負荷容量 ( pF )	96.88	121.85
バッファ無負荷遅延値 ( ns )	0.23	0.10
クロックスキュー ( ps )	370	48
消費電力 ( mW )	118	149



リング配線：クロック信号を供給する全FFを含む回路全体を  
 囲む太いクロック配線で、クロックバッファに  
 直接つながっている。

水平/垂直トランク配線：

リング配線の内部を水平/垂直に走る太いクロック  
 配線で、リングにつながっている。

ブランチ配線：トランクとFF間を接続する細い配線

図1 典型的なクロック分配回路の例

Fig. 1 An example of typical clock distribution.

で適用されている最も汎用性が高い手法であるため、  
 本論文ではこれを比較対象として議論をすすめる。

図2に、PowerPCとD30Vのクロック分配回路設計  
 フロー図を示す。PowerPCの設計においては、ま  
 ず1章で述べたようにLSIに応じてメッシュまたはツ  
 リーのクロック分配方式を選択する。次に、図2(a)  
 のSTEP1に示すようにクロックメッシュまたはクロック  
 ツリーの生成を行う。さらに、STEP2-4では仮想的  
 な負荷見積りに基づいてクロック末端FF、クロック  
 初段、クロック各段の順に見積りスキュー値の最適化  
 を図る。その手法は、クロック最終段のクラスタリ  
 ング変更<sup>6)</sup>、および初段の配線幅変更<sup>7)</sup>などである。そ  
 してSTEP5でクロック網のRC抽出および静的タイ  
 ミング解析手法を用いたクロック検証を行う。この設  
 計フローでは、LSIの高速動作を重視するか、あるい  
 は低消費電力を重視するか判断によってメッシュ方  
 式とツリー方式の二者択一を行っている。

一方、我々の新しい設計手法ではD30Vの高速動作  
 と低消費電力の両立を実現すべく、PLLから各機能ブ  
 ロックに至るクロックツリーと各機能ブロック内のク  
 ロックメッシュを併用する方式をとる(図3)。その工  
 程は6つのSTEPからなる。まず、図2(b)のSTEP1  
 ではPLLから各機能ブロックに至るクロックツリー  
 の設計を行う。そのクロックツリーの作り方は、既発表  
 の文献2)と同様で、まず各機能ブロック(leaf)から  
 PLL(root)までボトムアップにクラスタ木を作成す  
 る。具体的には以下の手法を用いる。与えられたチップ  
 フロアプランにおいて近接配置された機能ブロック  
 をクラスタリングする。その際の制約条件は、各クラ  
 スタ内のブロックのクロック端子につながる信号の負  
 荷容量値の合計がクロックバッファの最大許容値以下  
 となることである。さらに生成されたクラスタに対し  
 ても同様のクラスタリングを繰り返して図4のように  
 クラスタ木を作成し、クロック信号を分配する回路を  
 作る。バッファはクラスタ木の頂点(vertex)に対し

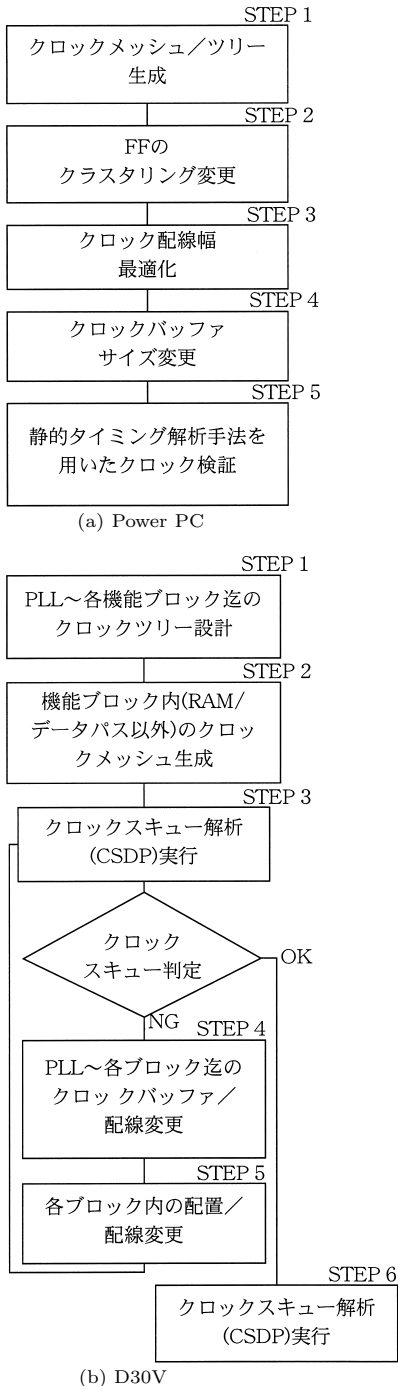
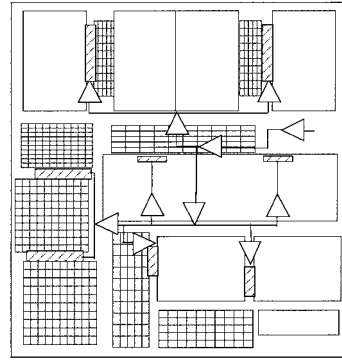


図2 クロック設計フロー図 ( Power PC, D30V )  
Fig.2 Clock design flow diagram (Power PC, D30V).

て挿入する。次に、各バッファはクラスタ内でバランス配線をするように、クラスタの幾何学的な中心に配置する。また、PLL から各機能ブロックまでのクロック遅延差の最小化とともに、最適なバッファサイズ選



注：影をつけた細長い矩形は、複数のバッファが空間的に分散して配線されていることを示す。

図3 D30Vのクロック分配  
Fig.3 Clock distribution of D30V.

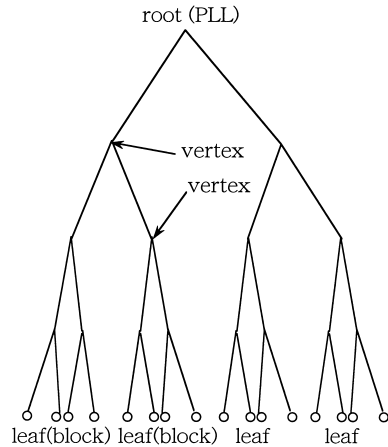


図4 クラスタ木  
Fig.4 Clustering tree.

定による低消費電力化をはかる。

STEP2 では自動配置配線ツールを用いた各機能ブロック ( データバス, SRAM 部は手書き ) のレイアウト設計を行う。

STEP3 では、PLL から末端の FF に至るクロックスキューの解析を行う。このとき、あとの STEP4 と 5 の工程を効率化するための独自の解析機能を持つ自動検証支援ツール CSDP を用いる。そのチェックの特長は、PLL から各機能ブロックへのパス間のクロック遅延差および各機能ブロックの入力ノードと、そのブロック内配線メッシュ上の均等に選ばれたノード間の遅延差に分けて検証するための粗い格子単位の表示機能である。これについては本章の後半で詳しく述べる。STEP3 の解析結果をもとに、STEP4 で PLL から各機能ブロックに至るクロックツリーのクロックバッファおよび配線幅の変更を行い、また STEP5 で各機能ブロック内の配置配線変更を行う。

STEP3のチェックおよびSTEP4と5の回路変更の結果、ブロック間およびブロック内のクロック遅延の差が十分に改善されたならば、STEP6で全FFクロック入力のクロック遅延を観測してクロックスキューの最終検証を行う。STEP6で再度検証を行う理由は、STEP3では粗い格子単位でクロックスキューをチェックしたため、FFのクロック入力端子のクロックスキューが最大許容値を満たすことを改めて確認することにある。

以下に、STEP3におけるクロックスキューの解析方法を述べ、STEP4,5におけるクロック修正に対する有効性を示す。

本クロックスキュー解析の特徴は、高精度な動的スキュー解析と、スキュー違反修正を効率化する粗いグリッド単位のスキュー値表示の2つである。以下では、後者の必要性とその表示に基づく修正方法を説明する。

STEP3で個々のFFのクロックスキュー値をすべて出力し、その出力結果によってクロック分配回路をスキュー違反のないように修正することは困難である。その理由は、検出したスキュー違反に対しPLLから各機能ブロックに至るクロックツリー部を修正すべきあるか、各機能ブロック内のメッシュを修正すべきであるかの区別が困難だからである。一方、PLLからクロック分配回路上の代表ノードへの遅延時間の分布をマクロに見ることにより、PLLから各機能ブロックまでの遅延を修正すべきか、ブロック内の遅延を修正すべきかを視覚的に容易に判断できる。さらに、各機能ブロック内についても修正すべき箇所の特定を効率的に行える。

この考えに基づき、STEP3におけるCSDPの処理は、まず全FFのクロック入力端子および当該端子につながる配線要素(寄生抵抗要素で分割されたサブノード)を含むレイアウトパターン上に対し、粗い等間隔格子線(間隔 $a$ はパラメータ)を設定する。 $a$ は通常、リング配線幅より大きくその10倍程度を目安とする。次に、各格子点上に最も近いFFのクロック入力端子または配線要素上のノードを回路シミュレーションにおける観測点とし、その点の遅延値を格子点における遅延値とする。このときのCSDPの出力は、設定した格子上のクロックスキューの等高線表示である。これによりクロックスキューをチップイメージで視覚的にとらえることができる。

STEP3の結果により、STEP4およびSTEP5においてPLLから各機能ブロックまで、および各機能ブロック内の遅延を修正する具体的な例を図5、図6にそれぞれ示す。図5は、見やすさのためCSDPの粗い格子線は省略している。図5はいくつかの特定ブロッ

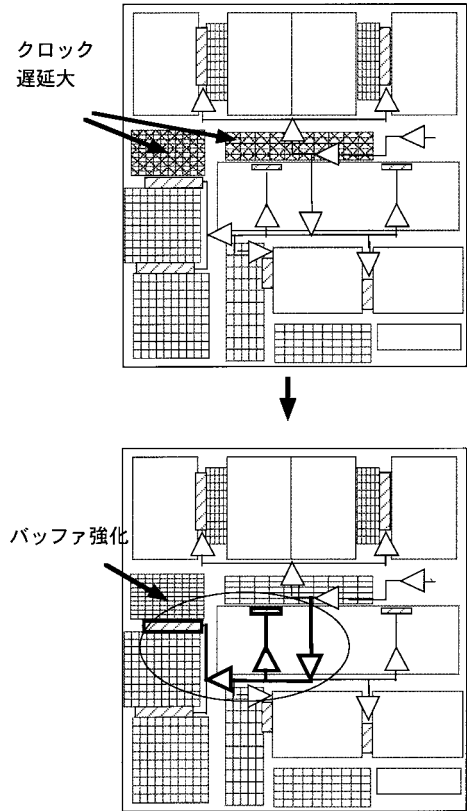


図5 PLL~各機能ブロックまでのクロックツリー修正の説明図  
Fig.5 Clock tree correction among the macro blocks.

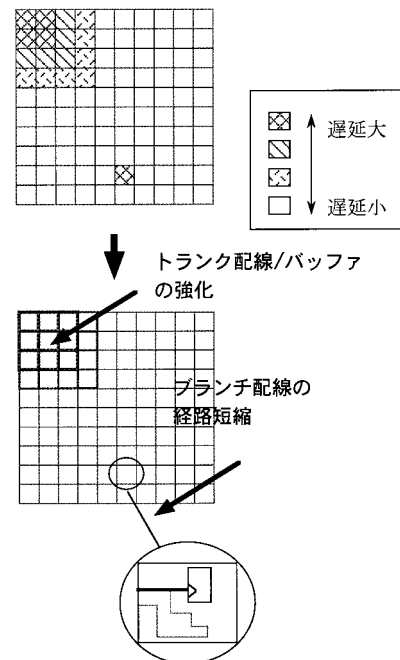


図6 各機能ブロック内のクロックメッシュ修正の説明図  
Fig.6 Clock mesh correction inside of the macro blocks.

ク的全ノードの遅延値が大きい場合で、STEP4 はこれらの遅延の大きな機能ブロックが複数あれば PLL に始まるクロックツリーにおいてそれらの機能ブロックの根となるクロックバッファを強化する。また、図6 は機能ブロック内の遅延値がノード間でばらつく場合で、STEP5 はこれに注目してクロック遅延の大きな箇所を診断し、原因が FF の偏在などによる場合は当該箇所のブロック内トランク配線やクロックバッファを強化し、原因が FF につながるブランチ配線の迂回などによる場合は FF の配置変更やブランチ配線の経路短縮をはかる。

### 3. クロックスキュー検証の精度

2章で記したクロック分配回路の設計手法を実現するため、クロックスキュー自動検証支援ツールには以下のような機能仕様を要した。

D30V の場合、要求されるクロック周波数は 243 MHz であり、その高速動作を  $0.25\ \mu\text{m}$  の微細プロセスで実現するために、高精度なクロックスキュー解析が必須となる。要求されるクロックスキューの最大許容値はサイクルタイムの 6% に相当する 250 ps、スキュー評価の精度は  $\pm 20\%$  であった。そのために、現状の技術では最も精度が高い 3D の配線 RC 抽出<sup>(8), (13)</sup>と、RC 多段梯子型の配線モデル<sup>(9)</sup>、および BSIM3 トランジスタモデル<sup>(14), (15)</sup>を用いて動的に応答波形を得る SPICE 互換の回路シミュレーションを行う仕様とした。このうち、クロック分配回路(クロックメッシュ、クロック木)の回路モデル(ネットリスト)は以下の3つの工程で作成する。

- (1) 配線線分の RC 多段梯子型回路の作成
  - (2) via hole に対する抵抗素子挿入
  - (3) FF の入力トランジスタゲート容量素子の接続
- (1)~(3)の工程を説明した図が図7である。配線を駆動するバッファから次段のバッファ(最終段はFFの入力トランジスタ)までに、抵抗素子が3段以上あれば遅延誤差は3%以下であると文献9)で証明されている。本文のモデルでは、分岐/折れ曲がりなしの配線を指定された長さごとに(本評価実験では  $100\ \mu\text{m}$  ごとに) RC1 段の回路にモデル化する。したがって、クロックバッファとクロックが供給される FF 間のパスの大部分は、RC3 段以上の回路にモデル化され、文献9)から 3%以下の誤差になると考えられる。ただし例外的な一部の FF については、指定長(  $100\ \mu\text{m}$  )未満の分岐/折れ曲がりなし配線を介してクロックバッファと接続している。その一例は、図7の FF に対し、距離  $L <$  指定長(  $100\ \mu\text{m}$  )の場合である。このよう

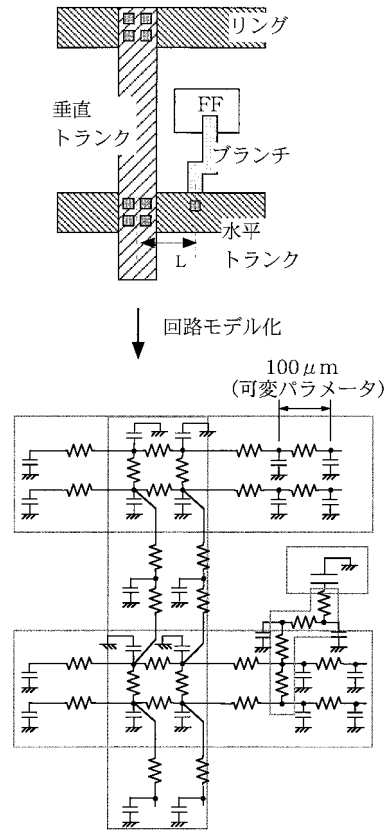


図7 寄生 RC の回路モデル  
Fig. 7 Parasitic RC networks.

な場合も長さ  $L$  の短い配線の配線遅延誤差は、クロックバッファの無負荷遅延にくらべかなり小さく無視できるため、3%以下の誤差が保証できる。このことを以下の実験により検証した。

検証実験では、図8(a)に示す  $100\ \mu\text{m}$  の太幅・細幅線分からなるクロック分配木に対し文献9)と同様の遅延誤差評価を行った。その結果は図8(c)に示したように分割数  $N = 1$  の場合で誤差は約 0.03% で、3%よりはるかに小さくなった。つまり、短い配線の配線遅延はクロックバッファの無負荷遅延値(  $12.25\ \text{ps}$  )に比べてほとんど無視でき、バッファの遅延時間(  $12.35\ \text{ps}$  )に対する影響も非常に小さいと判明した。

次に、回路シミュレーションの方式について述べる。上記で求めたクロック分配回路のネットリストに対し、PLL の出力端子に対応するノードに図9の入力信号(stimulus)を印加する。次に、観測ノード上で得られた波形に対し、図9に示す立ち上がり/立ち下がり遅延時間を計算する。

さらに、RC抽出に用いたツールは、3D方式で配線の幅、長さ、間隔をもとにRC抽出を行う。容量抽

出対象以外の配線要素の影響も考慮することにより、境界要素法を用いた 3D の電場解析に対して  $\pm 5\%$  の精度である<sup>11)</sup>。

CSDP では、PLL のクロック出力波形を区分線型近似しているが、これについては一般に初段のクロックバッファで波形整形されるため、当該近似による影響を無視した。

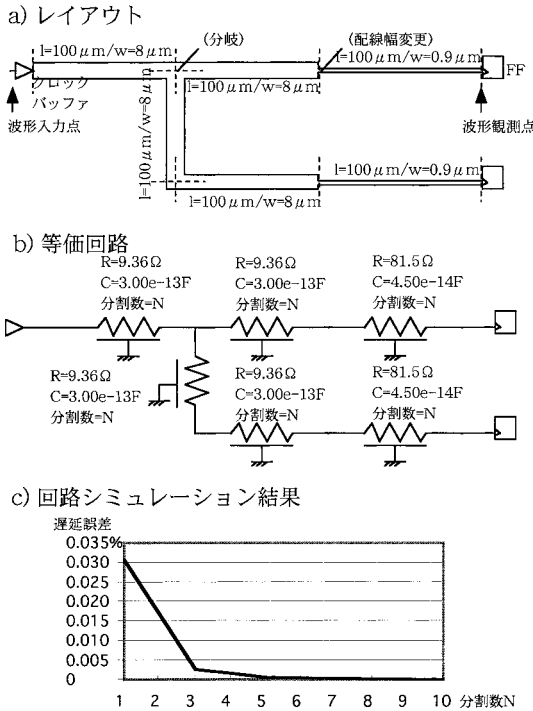


図 8 配線 RC 分割数が少ない場合の遅延誤差  
Fig. 8 Delay errors when RCs are reduced.

クロック遅延の計算にはトランジスタモデル BSIM3 を採用した回路シミュレーションを用いている。BSIM3 では、MOS トランジスタのゲート容量に対して 40% 前後のゲート電圧依存性を考慮することができる<sup>14)</sup>。静的な遅延計算手法においても、配線部分の遅延計算手法には回路シミュレーションと同等精度の AWE<sup>12)</sup>があるが、CSDP ではクロックバッファの遅延を考慮して BSIM3 による回路シミュレーションを用いることにした。

4. システム構成

図 10 に CSDP のシステム構成図を示す。3D 方式の配線 RC 抽出には、米国 EDA ベンダー製の RC 抽出ツールを MOS トランジスタの接続情報抽出とともに用いている。このツールを用いることで、適用対象のクロック分配回路の目標性能とクロックスキュー解析に要する処理時間のトレードオフに応じた RC 抽出モードを選択することができる。

CSDP は抽出した配線 RC を MOS トランジスタの接続情報とともに業界標準形式で受け取る。この標準インターフェースを利用することで、他の 3D 方式の RC 抽出ツールとの接続も可能としている。

本システムに対し、設計者は基本的にクロック波形入力ノードと末端の FF 名、および出力形式 (2 次元表示/リスト出力) を指定するだけでよい。要求される機能仕様に対応して、CSDP はクロック波形生成およびクロック観測点の決定を行い、回路シミュレーションの入力ファイルを生成する。

回路シミュレーションが終了すると、CSDP はシミュレータの出力する波形および入力クロック波形をもと

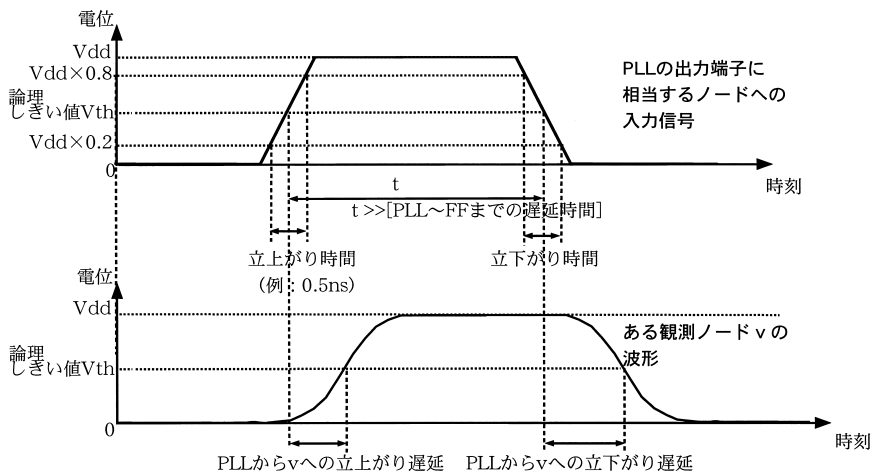


図 9 回路シミュレーションの方法  
Fig. 9 Input and output waveforms of circuit simulation.

に各観測点におけるクロックスキューを計算し、指定された形式で出力する。2 次元表示データは、EWS 上に限らず、パーソナルコンピュータ上でも表示することができる。

5. 評価実験

本章では設計に CSDP を用いた D30V/MPEG (メ

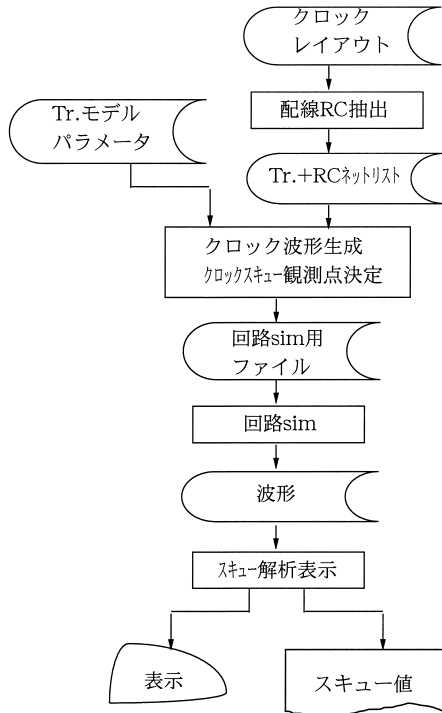


図 10 CSDP のシステム構成図  
Fig. 10 Flow diagram of CSDP.

ディアプロセッサコア D30Vcore+MPEG2 デコード機能；その諸元は表 2 参照) のスキュー見積り結果と実チップの測定結果<sup>10)</sup> をもとに、CSDP のクロックスキュー見積り精度および有効性を議論する。

CSDP の検証精度は、配線 RC 抽出、配線 RC の回路モデル、回路シミュレーションにおけるトランジスタモデルに依存する。

D30V の実チップの評価データをもってこれら個別要素の精度を検証することは困難であるが、図 11 の Schmoor プロット<sup>10)</sup> により CSDP のシステムとしての検証を行う。図 12 は D30Vcore のクロック分配回路の改善前/改善後における CSDP のスキュー 2 次元表示例であり、図 11 は D30V/MPEG の実チップが所望の動作を行った速度および電源電圧の範囲を示す Schmoor プロット図である。図 10 のフローに基づき CSDP を用いて 243 MHz 動作でのクロックスキュー最大許容値 250 ps というチェックとそれを満足させる回路修正を行った結果、最終的にスキューの最大値が 238 ps であるという見積りを得た。一方、D30V/MPEG の実チップを電源電圧 2.3 V (CSDP の回路シミュレーションと同一条件) において最高 300 MHz の動作を確認した (図 11)。ここで、FF 間

表 2 D30V/MPEG 諸元  
Table 2 Specification of D30V/MPEG.

ウエハプロセス	0.25 μm CMOS
総トランジスタ数	6,762,999 ( core: 5,243,238 )
CPU 回路方式	RISC
クロック供給方式	クロック木, ring-mesh
クロック相数	3
総記憶素子数	29,677 ( core: 10,952 )
クロック周波数	243 MHz

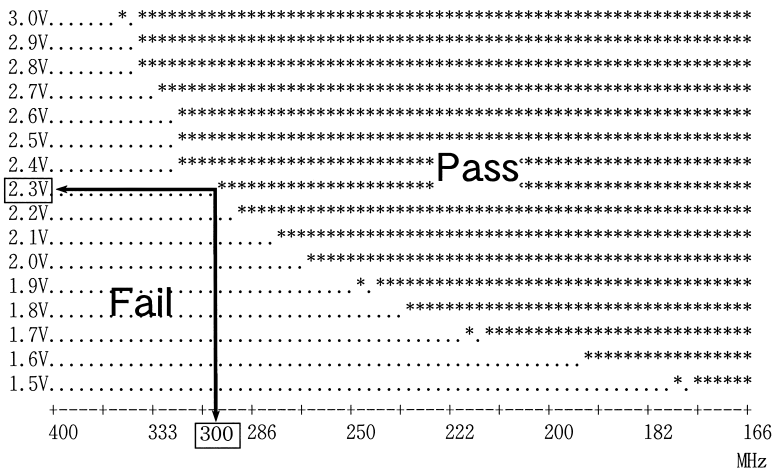


図 11 D30V/MPEG の Schmoor プロット  
Fig. 11 Schmoor plot.

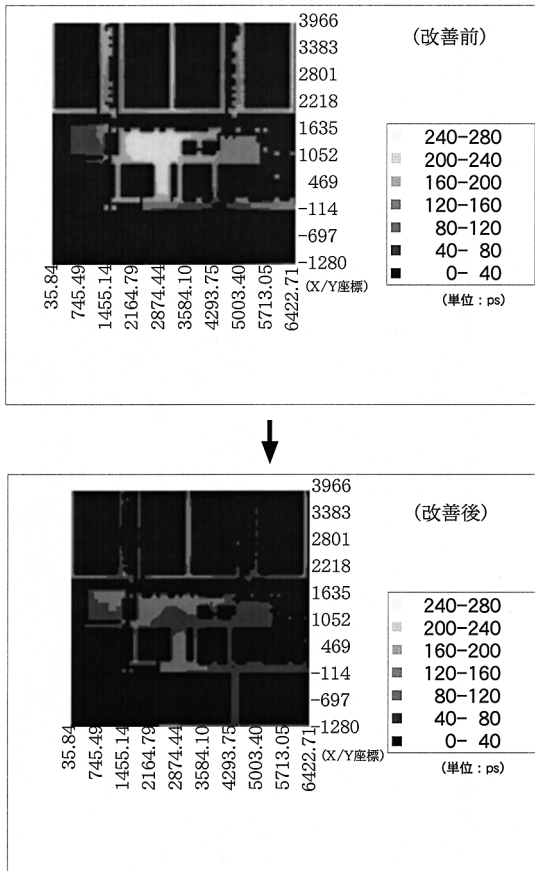
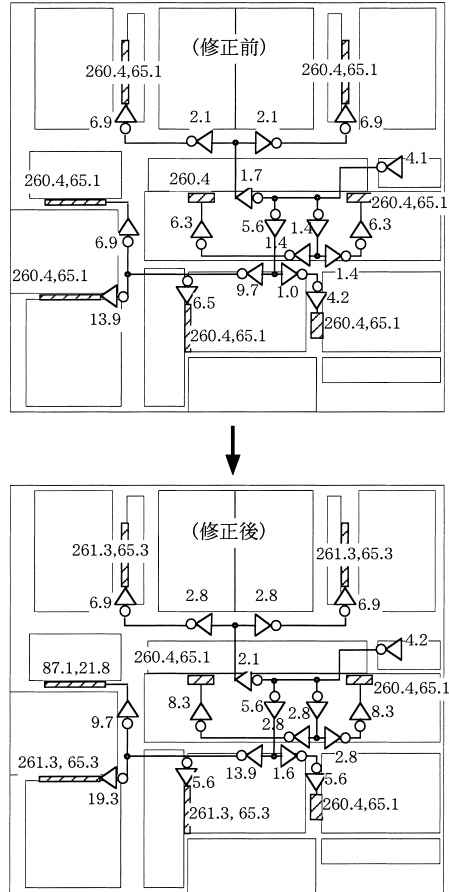


図 12 スキュー 2 次元表示結果の例 ( D30Vcore )  
 Fig.12 An example of clock skew analysis results.

のデータ転送の遅延チェックには、CSDP と同様の RC 抽出および回路シミュレーションを用いており、精度は CSDP と同様であると考えられる。実際の最高動作周波数 300 MHz に対して、CSDP による見積り値が 243 MHz であることから CSDP の解析精度は FF データ転送の遅延チェックとともに少なくとも 20% 以内の精度であると結論が出た。

次に、CSDP を用いた粗いグリッド単位のスキュー値表示機能を使った回路修正手法の有効性を示す。

図 13 に CSDP の結果によって修正を行った D30V/MPEG のクロックバッファの修正前後のサイズを示す。D30V/MPEG のクロック分配回路設計では、1 回の CSDP ( STEP3 ) の解析結果によって STEP4 で PLL から 15 個の機能ブロックまでのクロックバッファサイズを約 10% ずつ変更し、STEP5 で各ブロック内の配線修正を行った。1 回の修正に要した期間は平均 1 日、CSDP の実行 1 回に要した実時間は約 5 時間 ( 300 MHz の Ultra Sparc 上 ) であった。STEP3 から 5 までのループを 5 回実行したため、クロックス



- (1) バッファに付随した数字は基準のバッファの Tr.幅を 1 としたときの Tr.幅を示す。
  - (2) どのバッファでも Pch Tr.幅と Nch Tr.幅の比率はほぼ同じ。
  - (3) 細長い矩形に付されている数字は複数のバッファのサイズの合計値である。
- ▷◁ : ドライバ 2 段構成につき 2 つの Tr.幅の数值を付随

図 13 修正前後のクロックバッファサイズ ( D30V/MPEG )  
 Fig.13 Size of clock buffers before/after correction.

キューが最大許容値を満足するまでの期間は約 6 日であった。CSDP 適用前には、同様の作業に約 1 カ月を要していた。STEP1 と 2 の設計には約 1 週間を要した。したがって、本 D30V/MPEG の設計の場合、CSDP によりクロック分配回路の設計生産性は 2.3 倍に向上した。

また、2.5 V、243 MHz 動作時の消費電力 2.0 W ( 目標 2.0 W ) を達成し、CSDP を用いた D30V のクロック分配回路設計手法が有効であることを示すことができた。



## 6. む す び

クロックスキュー自動検証支援ツール ( CSDP ) を開発し、メディアプロセッサコア D30V の設計に適用した。CSDP の特徴はクロック配線のシミュレーション用高精度モデルによるクロックスキュー解析と、クロック配線修正を効率化するのに有効なスキュー解析結果の各種表示機能であり、本システムがクロック分配回路設計の効率化に有効であることを示した。

謝辞 D30V 設計者として本研究の評価において協力していただいた当社島津之彦氏、Kevin Clark 氏、高田英裕氏、渡邊哲也氏、松田吉雄氏に感謝します。

## 参 考 文 献

- 1) Ganguly, S., et al.: Clock Distribution Design and Verification for PowerPC Microprocessors, *ICCAD95*, pp.58–61 (1995).
- 2) Carrig, K.M., et al.: A Clock Methodology for High Performance Microprocessors, *Proc. IEEE Custom Integrated Circuits Conference*, pp.119–122 (May 1997).
- 3) Smith, C.M.: A Two Million Gate 0.35 um CMOS ASIC Family, *Proc. IEEE Custom Integrated Circuits Conference*, pp.17–19 (May 1995).
- 4) Dobberpuhl, D.M., et al.: A 200 MHz 64b dual-issue CMOS microprocessor, *IEEE J. Solid-State Circuits*, Vol.27, No.11, pp.1555–1567 (Nov. 1992).
- 5) Bowhill, W., et al.: A 300 MHz 64b quad-issue CMOS RISC microprocessor, *ISSCC Dig. Tech. Papers*, pp.182–183 (Feb. 1995).
- 6) Montuno, D.Y., et al.: A Layout Methodology for the Synthesis of High Speed Global Clock Nets, *Proc. IEEE Custom Integrated Circuits Conference*, pp.28.4.1–28.4.4 (May 1992).
- 7) Pulella, S.: Reliable Interconnect Design for On-Chip Clock Distribution, Ph.D Dissertation, The University of Texas at Austin (May 1994).
- 8) Akcasu, O.E., et al.: “NET-AN” a Full Three-Dimensional Parasitic Interconnect Distributed RLC Extractor for Large Full Chip Applications, *IDEM 95*, pp.19.5.1–19.5.4 (1995).
- 9) Sakurai, T.: Approximation of Wiring Delay in MOSFET LSI, *IEEE J. of Solid State Circ.*, Vol.SC-18, No.4, pp.418–426 (1983).
- 10) Takata, H., et al.: The D30V/MPEG Multimedia Processor, *IEEE MICRO*, Vol.19, No.4, pp.38–47 (1999).
- 11) Star-RC TM THE LEADING HIGH ACCURACY, EXCELLENT PERFORMANCE,

MAXIMUM CAPACITY FULL-CHIP EXTRACTION TOOL, Avant! Corporation, <http://www.avanticorp.com/Avant!/SolutionsProducts/DataSheets/PDFs/sapstarrc.pdf>.

- 12) Pillage, L. and Rohrer, R.: Asymptotic Waveform Evaluation for Timing Analysis, *IEEE Trans. Computer-Aided Design*, Vol.9, pp.352–366 (1990).
- 13) Lee, M., et al.: A Reliable Traversal Clock Delay Evaluation including Input Slew Effect with 3D Parasitic Interconnect RLC Extraction, *Proc. IEEE Custom Integrated Circuits Conference*, pp.123–126 (May 1997).
- 14) Klein, P., et al.: Description of the Bias Dependent Overlap Capacitance at LDD MOS-FETs for Circuit Applications, *IDEM 93*, pp.19.3.1–19.3.4 (1993).
- 15) Chang, Y., et al.: BSIM3v3 Manual (Final Version). <http://www-device.EECS.Berkeley.EDU/~bsim3/get.html>

(平成 11 年 9 月 20 日受付)

(平成 12 年 2 月 4 日採録)



金本 俊幾

平成元年日本大学理工学部物理学科卒業。平成 3 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSI の自動レイアウト技術の研究開発に従事。現在、同社システム LSI 事業統括部勤務。



柴山 泰範

昭和 62 年早稲田大学理工学部電気工学科卒業。同年三菱電機(株)入社。以来、LSI の回路設計 CAD 技術の研究開発に従事。現在、同社システム LSI 事業統括部勤務。



寺井 正幸(正会員)

昭和 51 年大阪大学工学部電子工学科卒業。昭和 53 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、同社

システム LSI 事業統括部勤務。工学博士。電子情報通信学会会員。



堀場 康孝

昭和 39 年名古屋大学工学部電子工学科卒業。昭和 41 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、リニア IC、CMOS デジタル IC、バイポーラ/MOS ゲートアレイ、デジタル信号処理 LSI の研究開発に従事。現在、同社半導体事業本部所属。工学博士。電子情報通信学会会員。

システム LSI 事業統括部勤務。



外園 三彦(正会員)

昭和 56 年京都大学工学部数理工学科卒業。昭和 58 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSI の回路設計 CAD 技術の研究開発に従事。現在、同社

システム LSI 事業統括部勤務。



味岡 佳英

昭和 56 年宇都宮大学工学部情報工学科卒業。昭和 58 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSI の自動レイアウト技術の研究開発に従事。現在、同社

システム LSI 事業統括部勤務。



岡崎 芳(正会員)

昭和 44 年大阪大学工学部電子工学科卒業。昭和 51 年同大学大学院博士課程修了。同年三菱電機(株)入社。以来、LSI の CAD 技術の研究開発に従事。現在、同社システム

LSI 事業化推進センター勤務。工学博士。電子情報通信学会会員。