

5 E-6

## 高密度プリント基板用配線の一手法

斎藤寛泰<sup>1</sup> 棚橋秀之<sup>1</sup> 白川武義<sup>1</sup> 青野昌弘<sup>1</sup> 磯野正宏<sup>1</sup> 生田目孝宏<sup>2</sup>  
<sup>1</sup>(株)日立製作所情報通信事業部 <sup>2</sup>日立通信システム(株)

## 1. はじめに

装置の高性能化、多機能化、小形化に伴いプリント基板の高密度化は年々進み、現在ではピンピッチ(2.54mm)の間に5本の配線が可能となっている。このような高密度プリント基板を短期間で設計するには自動配線システムの性能が重要な鍵となるが、従来技術のままでは満足できる性能が得られないため、今回従来システムを基に高密度対応の開発を行った。本稿では高密度対応の自動配線の手法について述べる。

## 2. 開発内容

## 2.1 エスケープ配線

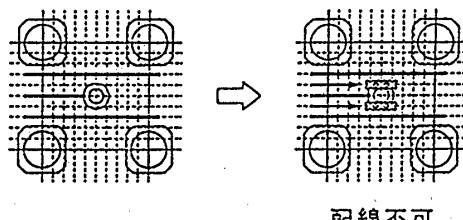
従来技術においてピン間5本の自動配線性能が満足できなかった原因是、従来の配線アルゴリズムがなるべく真っ直なパターンを引くことによる。例えば、図1(例1)のようにバイアの隣に直線パターンが通っている場合、次の配線をしようとしてもバイアの周辺で間隙エラーになり配線ができないくなる。このため使用できる配線格子がピン間に5本あっても結局は3本までしか使用できない。また、図1(例2)のようにバイア可能位置の隣に直線パターンが通っている場合、次の配線で層変更のためにバイアをあけようとしてもやはり周辺パターンと間隙エラーになり、これも配線ができない。このように従来技術では自動配線の直進性により配線格子を有効に利用できなくなる問題があった。

この対策として、バイアおよびバイア可能位置の周りの直線パターンを自動的に迂回させるエスケープ配線の機能を開発した。例えば、図2(例1)のようにバイアの周りのパターンをあらかじめ迂回させて配線格子を空けておくことにより、更に2本の配線が可能となりピン間5本の配線が実現できる。また、図2(例2)のようにバイア可能位置の周辺のパターンを同様に迂回させておく

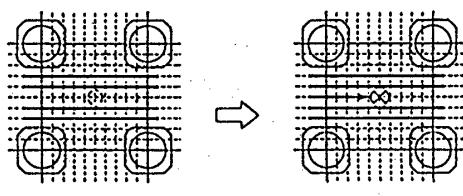
ことにより、新たな配線でバイアを使用することができます。

なお、全ての配線が終了した後は、エスケープ配線で設けた配線格子が使用されずにそのまま残っている箇所があるので、これを元の直線パターンに戻す処理も追加した。

[例1]



[例2]

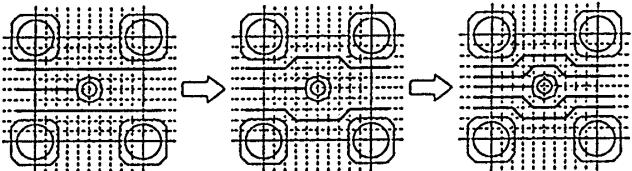


配線不可

バイア不可

図1 自動配線の直進性による配線性能低下

[例1]



[例2]

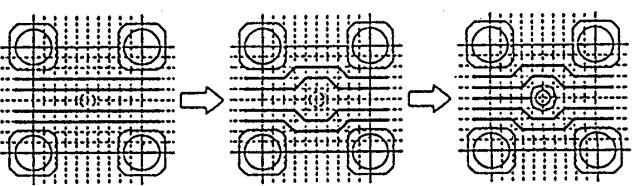


図2 エスケープ配線

## 2.2 斜め配線

従来技術では縦・横4方向の配線しか行なわなかつたが、前項で述べたエスケープ配線を有効に利用するには斜め方向の配線が必須となる。このため従来の4方向に対し8方向に配線する必要があるが、処理時間も増大することになる。

この対策として、縦・横方向に配線できない場合のみ、斜め配線を行なうようにした。例えば、図3の丸印の格子からは縦・横方向に配線できないので、この格子のみ斜め方向の配線を行なう。これにより処理時間の増大を最小限に押さえ、かつ各配線格子を有効に利用できる自動配線を実現できた。また1.27mm千鳥ピッチの400ピンPGAのピン間にもパターンを通すことが可能となった。

## 2.3 内層ベタ孤立エラー対応

ピン間5本仕様ではピンとピンの間にバイアを使用しても外層では問題ないが、電源・アースの内層ではベタパターンが孤立する問題があった。例えば、図4のように各穴に対するクリアランスを確保すると、ベタパターンが分断され電源・アースとの接続がない孤立した領域ができてしまう。

この対策として、自動配線では図5のようにピンの横にはバイアを使用できないようにした。なおピンがない場合は内層での問題は発生しない。また入手による対話配線時における不良を防止するため内層ベタ孤立エラーのチェック機能を開発した。この機能はピンとバイアが交互に存在し、かつループを形成していればエラーと判定するものであり、任意の形状の孤立エラーを検出することができる。

## 3. 試行結果

前節で述べた配線手法をプログラム化し、4層ピン間5本仕様のデータに対して試行してみた。試行結果を表1に示す。従来手法に比べて配線率は1.8%向上し処理時間も40%短縮しており、実用的な性能が得られた。

## 4. おわりに

高密度プリント基板用配線の一手法としてエスケープ配線、斜め配線、内層ベタ孤立エラー対応について述べた。本手法により配線性能の向上を図ることができた。

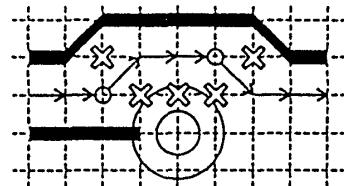


図3 斜め配線

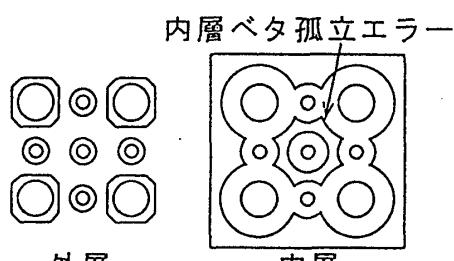
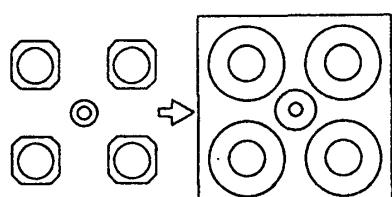


図4 内層ベタ孤立エラー

## ピンがある場合



## ピンがない場合

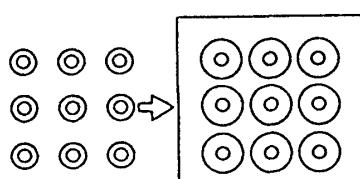


図5 自動配線のバイア可能位置

表1 試行結果

項目	従来	本開発後
配線率	97.8%	99.6%
処理時間比	100	60