

4E-2

機能記述からの論理合成評価

小山雅行 清水圭典 野地保
三菱電機(株) CL研(情)

1 はじめに

トップダウン設計手法の一つの要である論理合成は、従来制御回路のインプリメンテーション等に威力を発揮すると評価されてきたが、機能記述スタイルに影響されるため多くの課題が未だ存在する。当方では、ある人手設計されたLSIチップを題材モデルとして機能記述から論理合成を行ったので評価結果を報告する

2 評価の目的

現在の論理合成では機能記述言語の有する機能の一部は未だサポートされていない。このことによる記述スタイルへの影響は大きい、ここでは、合成対象として、データバス系、制御系、非同期系含むモデルを機能記述から論理合成することで、1)記述スタイルと論理合成との関係、又、人手設計と比較して、2)回路の動作速度と規模との比較、3)設計期間の比較、について明らかにすることを目的とする。

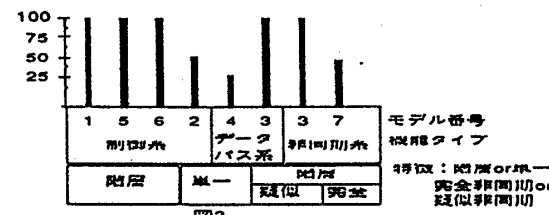
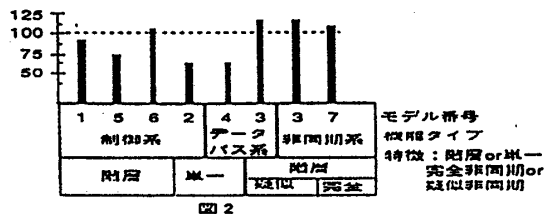
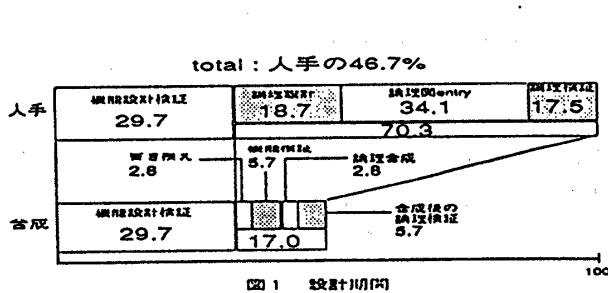
3 合成方針

- 1) 合成対象として、データバス系、制御系、非同期系を含む機能記述から論理合成を行う。
- 2) 合成単位は、機能設計で用いたモジュールを基本単位とするが、5Kgateを超えるモジュールは再分割を行い合成する。
- 3) ライブラリは0.8μmCMOSゲートアレイを用いる。
- 4) 動作周波数と回路規模の目標は100MHz、60Kgateとする。

4 合成結果

1) 設計期間の比較

設計期間として、機能設計から論理検証までの設計期間を比較すると、論理合成を用いれば人手の47%で設計できることが判る。又、論理設計以降の設計期間で比較すれば人手設計の24%で設計でき効率化が図れることが判る。



2) 性能比較

2-1) 回路規模の比較 (図2)

モデル全体での比較では82.7%と合成による回路の方が小さくなった。これの内訳をみると、制御系では、一律に合成結果の方が小さくなった。データバス系では、フラット設計したモデル4では合成結果の方が小さいが、階層設計したモデル3では合成結果の方が大きくなった。モデル3の人手設計では、レジスタの大部分をD-FFでなくラッチで構成している。これに対し合成では、ラッチを効果的に使用することが難しく全てのレジスタをD-FFで実現したため回路規模が若干増加したと考えられる。

2-2) 動作周波数の比較 (図3)

モデル全体のクリティカルパスは、ターゲット速度の1/4の25MHzと低速となった。これの内訳をみると、制御系とデータバス系で、階層設計したモデルは高速な100MHzで動作するが、フラット設計した図3のモデル2とモデル4はターゲット速度の1/2以下となった。この原因の一部として考えられることは、階層設計していないことで条件の段数が増加したためと考えられる。次に、非同期系では、完全な非同期回路構成(モデル7)をとらなければ高速な動作が可能であることが図3のモデル3(一部同期回路を含む)から判る。

5 記述と合成の関係

記述において注意すべき以下の点が判明した。

1) 合成とレジスタ

フリップフロップの合成は特定の記述スタイルが存在する。又、論理圧縮の対象は組み合わせ回路部分に限られ、レジスタは除かれる。

2) クロック系信号と条件信号

レジスタのクロック系信号を同一レジスタのデータ入力切替条件の一部として用いると、記述は正常に動作するが合成後動作しない回路ができる。これは、入力切替条件はクロックに先行して確定していなければならないことに反するためで注意を要する。

3) レジスタ別のモデリング

モデルとして、状態レジスタ部Aと状態別処理部Bを有する回路のモデリングを行なう場合、B部をA部より前に記述すれば合成後も正常な動作をする回路ができるが、逆転して記述すると動作しない回路が合成される。この原因は、シーケンシャルな言語とデータフロー型のハードウェアとの不一致点に起因することなのでモデリングする際A部とB部を別個に設計する必要がある。

6 おわりに

機能記述から論理合成を行ない、開発期間で47%、回路規模で82.7%、動作速度で25%といった結果を得られた。回路規模の面ではほぼターゲットに達したが、動作速度では未だ課題が多い。今後、動作の高速化のためのモデル化スタイルの検討と、レイアウトまで行なう予定にしている。

参考文献 [1] E.Sternheim,R.Singh,Y.Trivedi:Digital Design with Verilog
HDL,Automata Publishing Company,1990