

疎結合マルチプロセッサ上での論理回路遅延時間計算の並列化

3D-6

滝沢ユカ 箕田依子 澤田秀穂 丸山文宏

富士通株式会社

1. はじめに

我々は並列計算機上のLSI論理設計支援システムco-LODEXの研究開発を行っている^{1,2,3}。co-LODEXの設計条件に、回路の性能を計る指標の一つである遅延時間がある。設計全体に要する時間に対し、遅延時間計算処理はかなりの割合を占める。そこで、複数の経路の遅延時間計算が並列に行える処理であることに着目し、遅延時間計算の並列化を試みた。実験は、疎結合MIMD方式の並列計算機Multi-PSI上で、並列論理型言語KLIを用いて行った。本稿では、この実験について述べる。

2. 遅延計算の概要

論理設計は、与えられた仕様を満たす回路をターゲットのテクノロジの部品(セルなど)で実現する過程である。co-LODEXは、EBB/AT(Automated Extended Building Block)というCMOSスタンダードセルを対象としている⁴。EBB/ATでは、基本となる機能を実現するセルがあらかじめ設計、検証されライブラリに登録されており、これらのセルを組み合わせることで、回路をチップ上に実現する。

EBB/ATでは、論理設計の段階で可能な限り正確な性能予測を行い、またそれを容易に行うために遅延時間は次のような時間方程式を用いて計算する。

$$t_{pd} = t_0 + K_{CL} \times C, C = C_L + N_{F/O}$$

この式で、 t_0 は基本遅延時間、 K_{CL} は t_{pd} の負荷容量依存係数、 C は負荷容量、 C_L は配線容量、 $N_{F/O}$ は駆動する各セルの入力容量の総和を表している。 C_L については、レイアウト後でないと正確な値はわからないため、仮配線容量を見積っている。 t_0 や K_{CL} などのセル固有の係数は、EBB/ATで用意されている。LSI内の伝播遅延時間は、着目している経路に含まれる各セルに対してこの方程式を適用して得られる基本遅延時間の総和で求められる。

co-LODEX中で遅延時間計算は、セルを構成要素とする機能ブロックを単位として計算する。機能ブロックの入出力端子を経路の始点と終点として指定し、その経路に含まれるセルの遅延時間の和の最大値を求めている。計算時にはセルの特性情報以外に、経路の始点と終点の組み合わせの情報、機能ブロックを構成しているセル間の接続情報、機能ブロックとセル間の接続情報が必要となる。

3. 遅延計算の並列化

遅延計算においては、セルの特性情報や接続情報などのセルに関するデータが多量に参照されるが、疎結合マルチプロセッサではあるプロセッサの計算に必要なデータが別のプロセッサ上にあると処理時間の短縮は難しい。そこで、個々のセルのデータを別々のプロセッサに分配することはやめて、各プロセッサには対象機能ブロックを構成するすべてのセルのデータを与えることにした。これにより、セルの出力端子から接続先のセルへの負荷の参照は同一プロセッサ上で行われることになる。

図1は機能ブロックの構成図の一例である。図2に図1の機能ブロックの経路の遅延時間をPE1、PE2、PE3の3台のプロセッサで計算する場合のプロセッサへの割り付けの例を示した。親プロセッサPE0を設け、各プロセッサへセルのデータを分配する。PE1に経路の始点と終点となっているin0とout0という機能ブロックの端子を指示して計算を要求する。PE1では分配されたセルのデータを元にセルの接続を辿って、セルの端子a、b、c、dを通る経路及びセルの端子a、e、f、kを通る経路の遅延時間を計算する。PE1では、経路上にあるセル0とセル1の遅延時間の総和を求め、終点out0までの遅延時間の最大値をPE0へ返す。同様に、PE2とPE3でもそれぞれ与えられた始点からセルの接続を辿って行って経路の遅延時間を計算する。各プロセッサでは、ある経路を辿っていく途中で既に通過した経路に再びあった場合、最初の計算結果を保持しておくことで重複した計算を避けている。

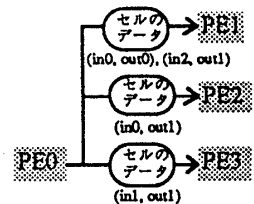
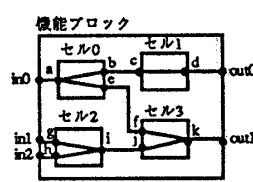


図1 機能ブロックの構成図 図2 割り付けの例

実験では、テクノロジマッピングで実現される機能ブロックのうち、加算器、比較器、マルチプレクサについてビット幅とプロセッサ数を変えて、指定した始点と終点の間の複数の経路の最大遅延時間を並列に算出するのに要する時間を計測した。加算器と比較器ではセルがカスケード状に接続されている。実験で使用した3種の機能ブロック中に存在するセルの数と経路の数を、ビット

幅ごとに表1に示した。この実験は、Multi-PSI上に並列論理型言語KL1を用いて行った。使用したMulti-PSIはMIMD型マシンで、16台の要素プロセッサ(PE)が、縦横4台ずつの2次元格子状に接続されている。

それぞれの機能ブロックについて、使用したプロセッサ数ごとの速度向上比は図3から図5のとおりであった。速度向上比とは、プロセッサ1台で計算した場合の処理時間を各台数のプロセッサを用いて計算した場合の処理時間で割った値である。処理時間として、親プロセッサから各プロセッサに機能ブロックの構成要素となるセルの情報を送信するのに要した時間と経路の始点および終点の組み合わせの情報を与えてから最大遅延時間を算出するまでに要した時間の和を測定している。

右図から機能ブロックの種類によりグラフの形が異なっていること、比較器はマルチプレクサや加算器に比べて速度向上比が高くなっていることがわかる。加算器と比較器では、ビット幅が増えるほど速度向上比が高くなっている。ただし、使用するプロセッサ数がある台数を越えると、速度向上比は増加しなくなっている。比較器ではビット幅の大きい場合に大きい値が得られている。表1を参照すると、セル数と経路数について、加算器や比較器ではビット幅が増えるに伴い、構成要素となるセル数に比べて経路数が大幅に増えて計算量の割合が多くなっていることがわかる。しかし、マルチプレクサでは他の機能ブロックに比べて計算量の割合が少ない。これは、マルチプレクサではデータ分配に要する時間が全計算処理中で大きな割合を占めているためと考えられる。そのため、マルチプレクサではプロセッサ4台で特に速度向上比が高くなっているが、それ以上プロセッサ数を増やしていくと逆に速度向上比は低くなっている。

4. おわりに

テクノロジマッピングで実現される機能ブロックの遅延時間計算の並列化を試み、機能ブロックの構造による台数効果の違いを確認した。今後は、機能ブロックの組み合わせで構成される機能ブロックの遅延時間計算も並列に行ってみる。また、設計支援システム中の遅延時間計算を並列に行うためのより効果的な分散方法の検討をすすめていく。

本研究は第5世代コンピュータプロジェクトの一環として行われているものであり、ご支援いただいたICOT第七研究室新田室長に深く感謝致します。

参考文献

- [1]箕田他「協調型論理設計エキスパートシステムco-LO DEX 概要」情報処理学会第42回全国大会(1991)
- [2]澤田他「協調型論理設計エキスパートシステムco-LO

表1 機能ブロックの構造

| 機能ブロック | 加算器 | | | | | 比較器 | | | | | マルチプレクサ | | | | |
|--------|-----|-----|------|------|-------|-----|-----|-----|------|------|---------|----|-----|-----|-----|
| | 8 | 16 | 32 | 64 | 128 | 8 | 16 | 32 | 64 | 128 | 8 | 16 | 32 | 64 | 128 |
| ビット幅 | 8 | 16 | 32 | 64 | 128 | 8 | 16 | 32 | 64 | 128 | 8 | 16 | 32 | 64 | 128 |
| セル数 | 2 | 4 | 8 | 16 | 32 | 2 | 4 | 8 | 16 | 32 | 16 | 32 | 64 | 128 | 256 |
| 経路数 | 97 | 321 | 1153 | 4353 | 16897 | 64 | 192 | 640 | 2304 | 8704 | 32 | 64 | 128 | 256 | 512 |

- DEX 「試作」情報処理学会第42回全国大会(1991)
- [3]Y.Minoda, et. al.: "A Cooperative Logic Design Expert System on a Multiprocessor" International Conference on Fifth Generation Computer Systems 1992
- [4]富士通半導体デバイス カスタムLSIデザインマニュアルセル特性表 CMOSゲートアレーAVバージョン編 /スタンダードセルEBB/AT(AV)編

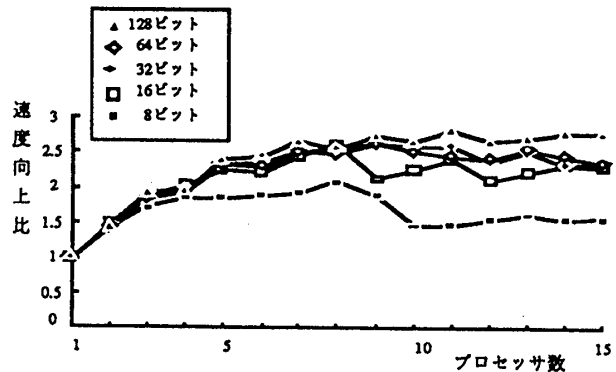


図3 速度向上比 (加算器)

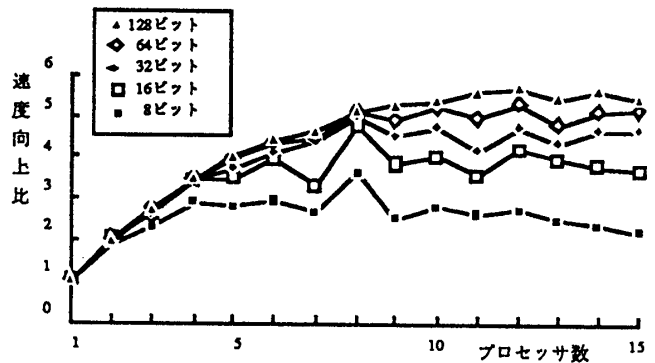


図4 速度向上比 (比較器)

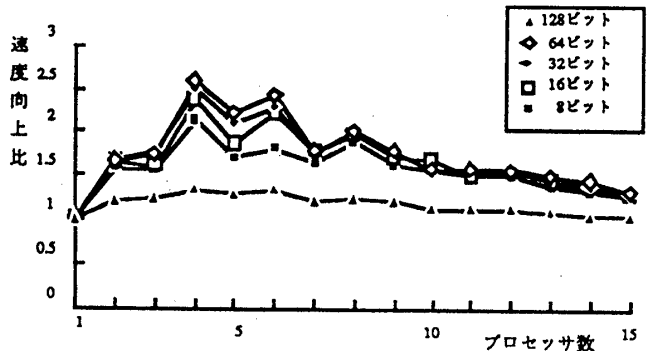


図5 速度向上比 (マルチプレクサ)