

## 2線2相式非同期マスタスレイブ形レジスタの一構成法

2J-3

川辺幸仁

片山徳康

山村良憲

南谷崇

東京工業大学 工学部

## 1 まえがき

最近のデバイス技術の進歩は著しく、すでに実験室レベルではスイッチング遅延が数ピコ秒という超高速素子を実現されたという報告がいくつかある。

従来のプロセッサ回路はチップ全体へのクロック分配が必要である。したがって、クロックの遅れを考慮した場合、クロックがチップ全体の同期をとるために、クロック周波数が素子のスピードに見合うほど速くならない。高速プロセッサを作ろうとする際に同期式を採用する限り上の問題が解決されないとした場合、高速プロセッサ方式の一つの可能性として非同期プロセッサが考えられる。[1]

本稿では、2線2相式データ転送方式を採用した非同期プロセッサで用いられるマスタスレイブ型レジスタの構成法を述べる。

## 2 動作仕様

本稿では遅延モデルとして、"ゲート遅延の大きさは任意だが有限であり、配線遅延はゲート遅延と比較したときに無視できるほど小さい"という Muller の遅延モデルのもとで議論を進める。

非同期式プロセッサのデータパスの実現方法として、スレーブと符号語を交互に転送する2線2相方式[2]を用い、以下のように2相制御モジュールによって制御されたデータ転送を考える。ただし本稿ではスレーブとして0ベクトル、符号語として2線式符号を用いる。

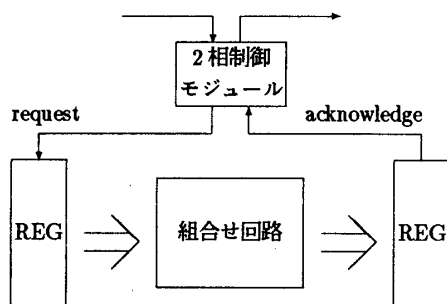


図1: レジスタ間の転送

2線2相式データ転送は以下のように行なわれる(図1参照):

1. 2相制御モジュールの request 線の値が反転する。(相のはじまり)
2. レジスタから符号語(またはスレーブ)が出力される。
3. 組合せ回路内で、この相において出力の反転が期待されるすべてのゲートが動作する。
4. 最後に、組合せ回路の出力としてレジスタに符号語(またはスレーブ)が取り込まれる。
5. acknowledge 線の値(以後 ACK 信号と呼ぶ)が反転し、2相制御モジュールが相の終了を認識する。

上に述べた転送方式により、レジスタの入出力は図2で表され、次のように動作しなければならない。

read 動作:

1. read 線の値が1になる

Asynchronous Master-Slave Register for 2-rail 2-phase Data Transfer

Yukihito Kawabe, Tokuyasu katayama, Yoshinori Yamamura, Takashi Nanya

Faculty of Engineering, Tokyo Institute of Technology

2. レジスタに格納されている符号語が出力される
3. read 線の値が0になる
4. スレーブが出力される。

write 動作:

1. write 線の値が1になる
2. レジスタに格納された入力符号語が確定した後 ACK 信号が1になる。
3. write 線の値が0になる。
4. スレーブが入力された後 ACK 信号が0になる。

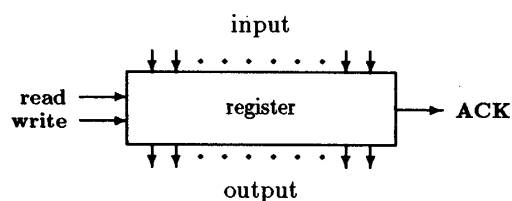


図2: レジスタの入出力

## 3 基本ラッチの構成

ここでは上で述べたレジスタのラッチ部分の構成を示す。符号語を保持する部分は NOR フリップフロップを用い、図3のような略図で表す。

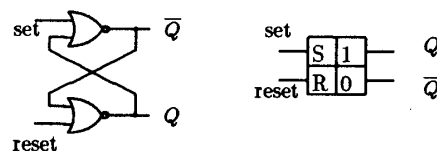


図3: NOR ラッチとその略記号

このフリップフロップは、set と reset を2線式符号の1ビットに対応させたとき、符号語(10または01)が入ったときにはその符号語を取り込み、スレーブ(00)が入ったときには前の符号語安定状態のときの値を保持する。

図3をもとに、ラッチ部分を構成したものを図4に示す。図4において NOR フリップフロップの入出力部分についている回路は ACK 信号を作る回路である。フリップフロップの入力に2線式符号が入って出力がそれに応じて変化したときに1になり、入力にスレーブが入ったときに0になる。

レジスタの出力部分は、read 信号が1になったときときにレジスタの値を出力し、read 信号が0になったときスレーブを出力すればいいので、ラッチ部の出力と read 信号を AND したものをを用いる。

## 4 マスタスレイブ形レジスタの構成

図5にマスタスレイブ形レジスタの概略図を示す。この図の Master, Slave は図4の基本ラッチを表す。以後図の中で使われる制御線の名前はこの図にしたがうものとする。

## 4.1 更新動作

図5において、スレイブからマスターへのデータの更新は、次のように行なう。

1. Ren 信号が1になる。

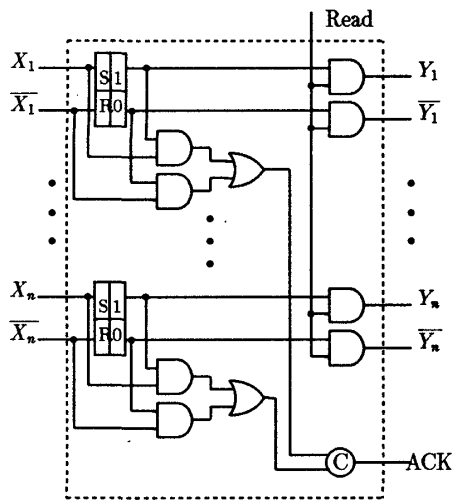


図4: 基本ラッチ

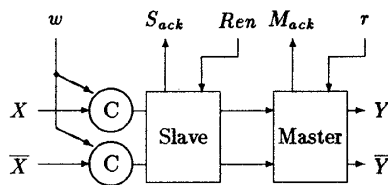


図5: マスタースレイブ形レジスタ概略図

2. スレイブの符号語がマスターに格納され、 $M_{ack}$ が1になる。
3.  $Ren$  信号が0になる。
4. スペーサがマスターの入力に入り、 $M_{ack}$ が0になる。

このことからわかるように、更新の制御についても2相制御モジュールを用いることができる。

データを更新している最中にはレジスタの入出力は閉じている必要があるため、更新を行なう時期としては、データを読み出す直前または書き込んだ直後でなければならない。

本稿ではデータを書き込んだ直後に更新を行なうものとし、更新の制御モジュールとしては負縁トリガーの2相制御モジュール [2] を用いる。図6に負縁トリガー2相制御モジュールの回路図とその略記号を示す。

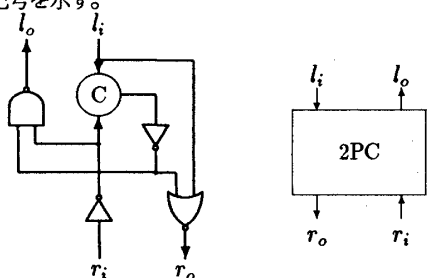


図6: 負縁トリガー型2相制御モジュールとその略記号

次に、更新制御モジュールを用いたマスタースレイブ形レジスタの構成例を示す。

#### 4.2 レジスタ間データ転送

あるレジスタが出力した符号語が組合せ回路を介して同じレジスタに書き込まれる場合(図7)、レジスタをマスタースレイブ形で構成すると図8のようになる。

図8では入力がスペーサになってから更新が行なわれるので、転

送直後の符号語が出力から出ることはない。

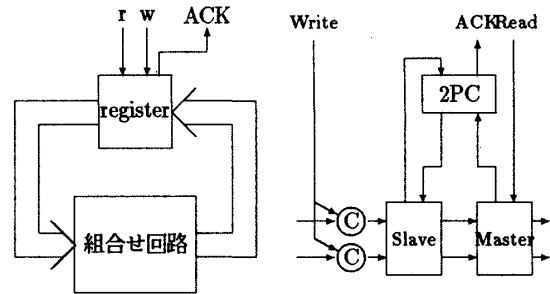


図8: マスタースレイブ形レジスタ構成例

図7: レジスタ間データ転送

#### 4.3 レジスタ間データ交換

レジスタ間のデータ交換における外部からの制御は、図8に示したレジスタを使用するとすれば図9のようになる。

しかし、この場合は更新が始まる時に  $Read$  信号が0になっている保証がないので、図8をそのまま使うことはできない。このことを考慮して、図9のような制御でデータ交換可能なマスタースレイブ形レジスタを図8の回路をもとに構成したものを、図10に示す。図10では2相制御モジュールの下位の出力に、 $read$  線の値が1のときに更新を始めないようにするための付加回路が付いている。

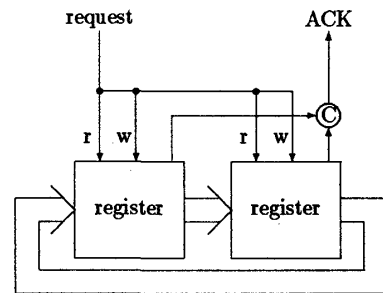


図9: データ交換における制御の概略

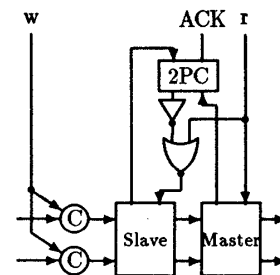


図10: データ交換可能なマスタースレイブ形レジスタ

#### 5 まとめ

2線2相方式のレジスタ間転送に使うことのできるマスタースレイブ形レジスタの一構成法を示した。

なお、本研究の一部は文部省科学研究費補助金「02452156」によって行なわれたものである。

#### 参考文献

- [1] 南谷 崇. 同期式プロセッサの限界と非同期式プロセッサの課題. 信学技報, FTS90-45, December 1990.
- [2] 片山, 川辺, 山村, 南谷. 非同期式プロセッサにおける2線2相式レジスタ間転送の遅延条件. 本予稿集, March 1991.