

# 高並列DSPシステム—SPA—による 6P-1 三次元グラフィクス

伊藤 拓 小畑 正貴 宮垣 嘉也  
岡山理科大学工学部

## 1. はじめに

信号処理用のプロセッサとして開発され特殊なアーキテクチャと命令体形をもつデジタルシグナルプロセッサ(DSP)も現在では浮動少数点を含む高度な数値計算の能力を持つものが開発されるようになってきており、その応用範囲も画像関係、数値処理関係などを中心に拡大されつつある。

我々は、このような高性能なDSPに対して、さらに並列処理を導入する事による高速計算の実現を目標として、浮動少数点DSP複数台をプロセッサに用いたアレイプロセッサシステムSPA(Signal Processor Array)の開発を進めており、現在プロセッサ数256のハードウェアが稼働している。

本稿では、このSPAの画像生成への応用の基本としてスキャンラインによる分割とZバッファを用いて陰面消去を行った三次元ポリゴンの描画結果について報告する。

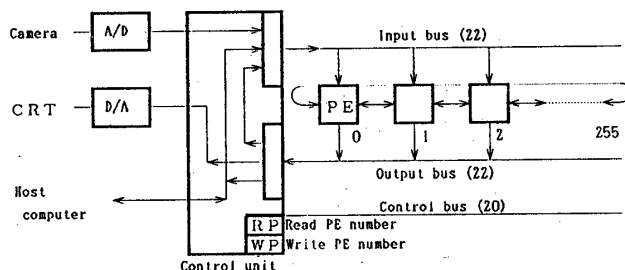
## 2. システム構成

SPAのシステムの全体構成を図1に示す。SPAは256台のプロセッシングエレメント(以下PE)と制御ユニット、ホストコンピュータで構成される。また、個々のPEは浮動小数点DSP, MSM699210(沖電気)と32ビット8Kワードのローカルメモリからなり、単方向の入力データバス、出力データバス、及び双方向の隣接PE間データ転送用バスによって1次元のリング状に接続されている。また制御ユニットには、画像の入出力用として、ビデオ帯域のAD/DAコンバータを持っている。

SPAとホスト間のデータ転送はホストコンピュータから全PEに対するブロードキャスト転送と、PE個別に対するダイレクト転送に分れている。また、内部のソフトウェアについては関数レベルのSIMD形式を基本としホスト、SPA間では入出力各2ビットの信号線で、全てのPEで一斉に同期をとりながら処理を進めていく。

## 3. 描画方法と並列化

Zバッファ・アルゴリズムは像空間の可視ピクセルにおける輝度バッファの書き込み時に、スクリーン面からの奥行き(デプス値)と過去に描画さ



(図1) SPAのシステム構成

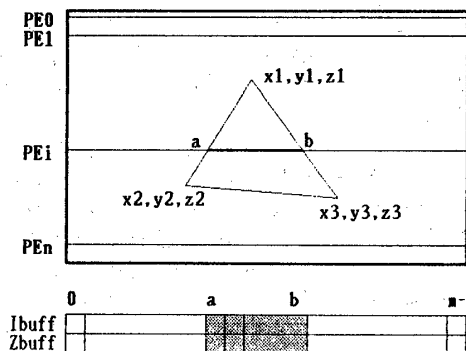
れたその値を保存するZバッファとの比較によって、陰面消去された画像を生成する。

SPAによる並列化は、図形の一次元方向の連続性を保存し計算量の増加を抑制する為、スキャンライン単位での描画領域の分割によって次のように行う。(図2に分割の概略図を、またPE単体の内部処理の流れを図3に示す。)

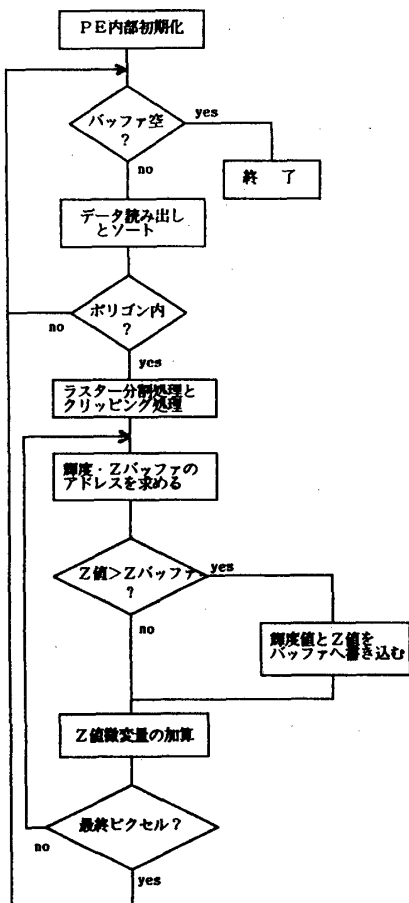
まず、複数個のポリゴンのデータはスクリーンに対する幾何変換を行い、頂点座標(x, y)とデプス値(z)、及び輝度値のデータ組として全PEに対してブロードキャストされる。

次に、各々のPEは受取ったポリゴンデータが自分の担当するラインを含んでいるかを判定する。含んでいれば、スキャンラインと交わるポリゴンのエッジを算出しスクリーンに対するクリッピングを行った後Zバッファの比較と輝度の描画を行う。

これらの処理をデータが無くなるまで繰り返す。



(図2) スキャンラインによる描画領域の分割



(図3) PE内部処理の流れ

4. 実験結果

以上の手順で行った複数ポリゴンの描画結果とPE内部処理における実処理時間の割合を表1にまとめる。測定は描画空間内に均等にばら撒いた平均描画ピクセル数100の三角形でおこなったものである。

パフォーマンスとしては約100,000 (poly/sec)の描画速度が得られた。しかし単独のPE内の処理の内訳では、ポリゴンに対するPEの内外判定とラスターの両端点を求める為のY座標によるソーティングが全体処理の約40%を占めている事が分った。したがってホストからPEにブロードキャストを行うバス上にパイプライン的にソートを行う機構を設ける事ができると全体の処理時間は約60%ほどに短縮する事が可能と考えられる。

1 ポリゴン当りの描画速度

描画ピクセル数	100 (pixel)
描画ラスター数	10 (line)
描画速度	9.5 (μs)
パフォーマンス	105,000 (poly/sec)

PE内部処理時間の内訳

初期化, データ読み出し ソート処理, 内外判定	ソート: 40% その他: 25%
ラスター分割, 及びクリッピング処理	25%
Zバッファ比較, 輝度バッファ書き込み	10%
合計	100%

(表1) 実験結果

5. おわりに

浮動小数点DSPを用いた並列処理システムSPAの応用として、ラスター単位の分割、並列化による陰面処理を行った3次元のポリゴンフィルについて述べた。

今後の課題としては以下の様なものが上げられる。各種の幾何変換処理の並列化とデータ転送量を含めた実験と評価 (モデリング、視野変換等) シェーディングなどの輝度補間処理の導入 ソフトウェア開発環境の整備 レイトレーシングによるレンダリングのSPA上での実現

参考文献

- 1) 小畑: シグナルプロセッサアレイ-SPA-, 情報処理学会計算機アーキテクチャ研究会, 79-13 1989
- 2) 小畑: 256台浮動小数点DSPによる並列計算機の実装と評価, 電子情報通信学会コンピュータシステム研究会, 90-29 1990