

ン実行用制御データのメモリ設定、HLS-ホスト計算機間のネットイベントの授受、及びシミュレーションモデルの内部状態のモニタリング等を行なっている。

(2) ネットワーク制御ユニット

SCUと最大128台のSEUを結合し、それらの間のデータ通信を行なっている。結合方式は、ハードウェア量とイベントのトラフィック処理量を考慮し、クロスバ方式とリングバス方式を階層結合した方式を採った。同一SPM内のSEU間は、クロスバ方式を用いてスループットの向上を図り、SPM間は、各々隣接するSPMと双方向にデータ通信を行なうリングバス方式で実現しハードウェアの単純化を図っている。なお、これらの処理は、SPM内の2台のネットワーク処理ユニット(NPU)とリングバスユニット(RBU)で行なっている。

また、各SEUとのデータ通信は、FEバス(29ビット)を介してイベントデータにより行なう。イベントデータには、転送先のSEUアドレス(SEUの識別番号)を含んだネットイベント、転送元のSEUアドレスを含んだモニタイベント(モデル内部のゲート状態)、エラーイベント(HLSで検出した実行時のエラー内容)等のタイプがあり、タイプに応じて転送を行なう。

(3) シミュレーション実行ユニット

シミュレーションモデルは部分回路に分割され、各SEU内のブロック定義メモリ(BDM)に独立に格納される。また、ネットイベントも各SEU単位に独立にイベントリストメモリ(ELM)に格納・管理される。各々のSEUは、ELMのネットイベントに従い部分回路のシミュレーションを並列に実行する。

SEU間にまたがるネットイベントは、FEバスを介してネットワーク制御ユニットに転送し、イベント転送先のSEUに登録される。SEU間の処理イベントのばらつきを調整するためFIFOを用いている。

① ブロック定義メモリ(BDM)

HLSで取り扱うゲートは、6入力1出力を基本とし、単純ゲート(AND,OR,XOR等)、FFゲート(JKFF, DFF, DLT等)、メモリ素子(RAM,ROM等)のタイプがある。

ブロック定義メモリは、部分回路を構成するゲート毎のゲートタイプ、動作遅延時間、入出力状態値、ファンアウト先ネットアドレス等を記憶するメモリ領域と、各ゲート間のネット構造を記憶するメモリ領域から構成される。4Kゲート/SEUで、HLS全体では512Kゲートが表現可能である。

② イベントリストメモリ(ELM)

各時刻の評価すべきネットイベントをリスト構造で表現したメモリで、ネットイベントを格納するメモリと、それらをチェーンで結ぶリスト構造のメモリから成る。評価したネットイベントのメモリ領域は、時刻更新時に解放され、新たに発生したネットイベントを格納する。同一タイムスロットの最大格納ネットイベント数は、4K/SEUである。

③ メモリ状態テーブル(MST)

シミュレーションモデル中のメモリ素子の内部状態を記憶するメモリであり、HLS全体で最大32Mビットのメモリ容量が表現可能である。

4. おわりに

HLSは、イベント駆動方式のシミュレーションアルゴリズムをハードウェア化し、128台の並列プロセッサによる超高速の論理シミュレーションが可能である。シミュレーション対象モデルはASICであり、遅延モデルをサポートすることで高精度化を実現した。

参考文献

- [1] 小池著: CADマシン, オーム社, 1989
- [2] 菊地原他: HLS: 論理シミュレーション専用計算機(1)システム概要, 本大会予稿集, 1990