

## 高度産業用コンピュータG8090の開発

1M-7

— 自動論理合成の全面的適用 —

高桑正幸、石川禎、上田隆司  
(東芝府中工場) (東芝総合研究所)

### 1 はじめに

高度産業用コンピュータG8090はTOSBAC-G8000シリーズの最上位機種として開発された。このG8090のACP(演算制御プロセッサ)では論理回路の全面ゲートアレイ化を行い、小型化、高性能化を実現している。これらのゲートアレイの開発にCADを全面的に適用し、開発期間の短縮と高信頼性を確保した。本稿では、大規模ゲートアレイの開発において、自動論理合成を全面的に適用した場合の設計手法について報告する。

### 2 従来開発方法の問題点

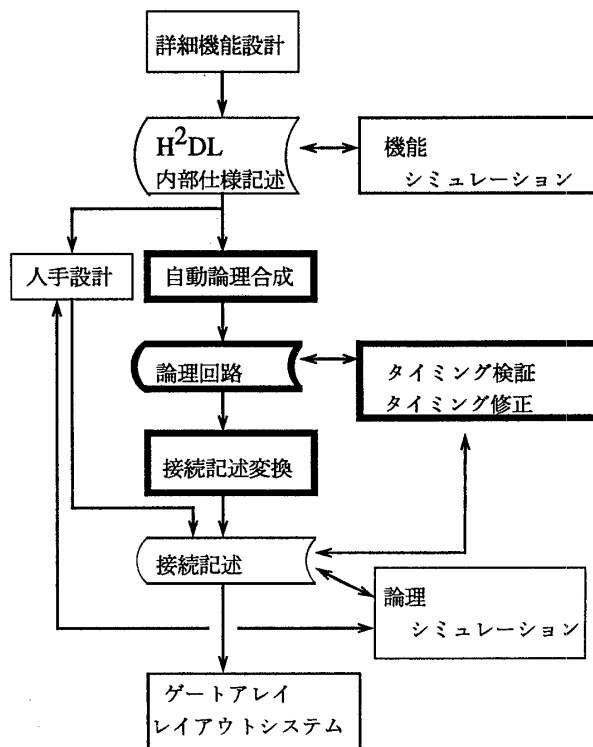
ACPの素子には低消費電力、高集積度のCMOS-SOGゲートアレイ(TC120G)を採用した。TC120Gはマスター128Kゲート、ゲート遅延時間0.4nS、348ピンQFPと大規模、高性能な素子である。

このTC120Gを使いACPの論理回路の99.9%以上を全面ゲートアレイ化し、その中の90%以上の論理を論理合成ツールを使用して作成した。開発したゲートアレイは約20種、1チップ当り最大約57Kゲートの大規模な論理量である。これだけ高速な素子を使用し大規模な論理をゲートレベルで直接人が設計するとすると論理設計にかなりの時間がかかり、論理検証もシミュレーション時間やモデルサイズが大ききから充分に実施できない可能性がある。

### 3 ゲートアレイ開発フロー

ゲートアレイ開発用ハードウェア記述言語として、当社総合研究所が機能・論理レベルで階層的設計手法を効率よくサポートする目的で開発したH<sup>2</sup>DL(Hierarchical Hardware Design Language)を採用した。機能レベルの記述を取り入れた結果、ゲートアレイ単体のみならず複数のゲートアレイとRAM等のディスクリート回路を組み合わせたシミュレーションが容易に実施できるようになり、設計品質の向上に寄与した。このH<sup>2</sup>DLを適用した場合の設計フローを図1に示す。

CADシステムはスーパーミニコンピュータDS-6060(4ACP-14Mwips)とEWSのAS3000/4000上に構築した。



第1図 G8090ACPゲートアレイ単体の設計フロー

### 4 自動論理合成適用結果

今回使用した自動論理合成システムは当社総合研究所が開発したシステムである。大規模な回路を高速に論理合成でき、ユーザー独自のルールも追加できるなどの特徴を持つ。

以下に自動論理合成を適用した場合の設計手法と問題点を述べる。

#### 4.1 論理合成手法

自動論理合成の適用方法としては、その能力からコントロール回路に対してのみ論理合成を適用し、データパスは人手で設計するのが一般的である。この場合、論理をコントロール系と

データ系を分割する必要があるという問題点がある。本開発では1つのゲートアレイの動作記述を制御系/データ系に区別する事なく1つのH<sup>2</sup>DL内部仕様記述で記述し論理合成を適用することにより、制御系/データ系を分割して設計する手間を省いた。この際、H<sup>2</sup>DLの特徴である階層的設計手法を活用し、特にスピードが要求される論理は人が作成、それ以外の論理は全て自動論理合成を適用して作成する方法をとった。具体的な合成論理量・人手作成論理量の割合を、第2図に示す。

4. 2 タイミング検証とタイミング修正

自動論理合成の基本ルールとして、面積最小化と規定されたタイミング優先の2つの考え方がある。今回適用した自動論理合成システムは前者が優先されているためゲートアレイ単体及び複数のゲートアレイにまたがるパスのタイミング検証を以下のような手順で行った。

まずシステムクロック内で動作するようゲートアレイ単体または複数のゲートアレイをまとめて自動タイミング検証し、タイミングバイオレーションパスの抽出を行う。次にバイオレーションしているパスに対して人が高速化の修正案を作成し、タイミング修正を行う。この際、自動論理合成システムから修正に関するレポートが出力されるので、設計者はそれを見て修正に間違いが無いことを確認できる。第3図にタイミング検証とタイミング修正に必要な期間を示す。ゲートアレイの論理量の多さにもかかわらずほとんどが1週間から1カ月で修正できる量であった。

4. 3 効果

ゲートアレイの機能記述を1度に論理合成するので、機能記述での機能確認が終ればすぐに間違いの無い論理回路に変換でき、人が直接論理設計を行う場合に比べて開発工程が大幅に短縮できた。第4図に人手で論理回路を設計する場合との比較を示す。

5 おわりに

以上の設計手法により、ACPを構成する全ゲートアレイを開発し、10(1ACP)-31MIPSの処理能力をもつG8090を製品化した。本開発で構築したゲートアレイ開発用CADシステムの今後の課題として、

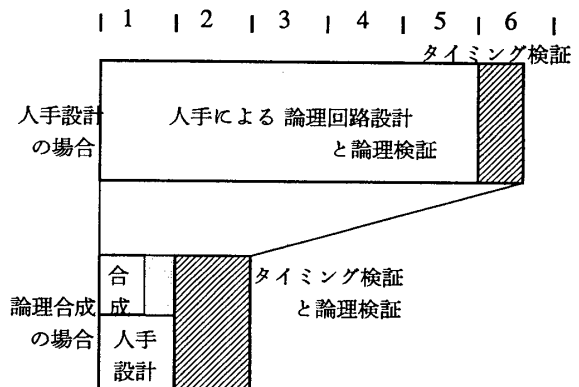
- 1) CADツール間のインターフェイスの改善
- 2) タイミング修正の自動化があげられる。

回路	GA1	GA2	GA3
H <sup>2</sup> DL記述 内部仕様記述 行数	5638行	3549行	1754行
論理合成時間	15時間	40時間	20時間
ゲート数 内 人手作成割合	54K 10%	33K 0%	57K 1%以下

(注) 論理合成時間はDS6060を使用した場合の値  
第2図 論理合成実行結果

回路	GA1	GA2	GA3
ゲート数	54K	33K	57K
タイミング検証 タイミング修正	3週間 /1人	2週間 /1人	1週間 /1人

第3図 論理合成後のタイミング修正



第4図 人手設計と論理合成の開発工程

参考文献

[1] 黒澤他”自動論理合成システムの適用・評価”、情報処理学会第34回全国大会4F-7

昭和62年前期

[2] 西尾、黒澤他”階層的ハードウェア記述言語H<sup>2</sup>DL”、電子通信学会全国大会、S9-2、昭和60年