

論理合成後の論理回路図生成の一手法

1M-2

浅野 裕子, 五十嵐 伸一, 鈴木 重信, 野水 宣良

日本電気株式会社

1. はじめに

近年、論理回路をハードウェア記述言語により自動生成するシステムが実用化されている。日本電気のコンピュータ設計ではFDL (Functional Description Language) 記述に基づくシステムを実用化している[1]。論理回路を自動生成した場合に論理合成結果の確認、FDL記述修正時の論理回路の確認および論理回路の一部を回路図上で手直しする等の場合にそなえ論理回路図を出力するシステムが必要である。

本論文では、FDL記述を参照することで結果確認しやすい回路図、手直ししやすい回路図を自動生成できたので報告する。

2. 概要

2.1 本システム開発以前の問題点

従来のシステムでは論理合成後のゲートレベルのネットリストのみから回路図を生成していたため論理的なまとまりが利用しにくく、以下の問題点があった。

- (1) FDL記述1文にまとめて記述された機能が分解され複数のシートに散在してあらわれるため、FDL記述との対応がとりにくい。そのため、修正部分の確認が効率的に行われない。
- (2) FDL記述で多ビット分まとめて記述された機能が分解されて回路図上にあらわれるため、回路図の枚数が多くて扱いづらい。

2.2 本システムの目的

本システムは、従来の問題点を解決するため以下の目的を持っている。

- (1) FDL記述との対応をとりやすくする。
- (2) FDL記述においてまとめて記述された機能については回路図上でもまとまった形で表現し回路図の枚数を少なくする。

2.3 本システムの手法

上記目的を達成するため本システムは論理合成で利用したFDL記述を利用して論理のまとまりを設定することにした。

(1) グループ分割

FDL記述に従って記述1文単位にグループ分割を行う。

(2) 束シンボル生成

FDL記述において多ビットをまとめて記述している場合に、記述に対応するシンボルをまとめて1つの束シンボルを生成する。

3. 処理

3.1 本システム全体の流れ

本システムの流れ(図1)を示し、説明する。

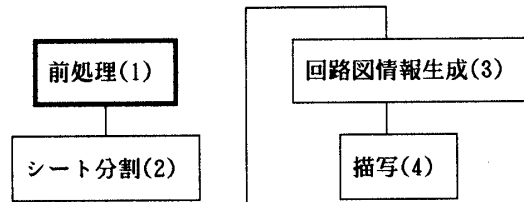


図1 本システムの流れ

(1) 前処理

論理回路情報に対してFDL記述を利用してグループ分割、束シンボル生成等の論理再結合処理を行う。

(2) シート分割

出力する回路図の大きさに応じて各シートに設定するグループを決定する。

出力する回路図の大きさに応じて規模の大きいグループを複数シートに分割する。

(3) 回路図情報生成

1シート毎に設定された各グループについて配置配線を行い回路図情報を生成する。

(4) 描写

上記で生成された回路図情報に基づき指定された紙面あるいはディスプレイ等に回路図を出力する。

3.2 論理再結合処理

図2に論理再結合処理のフローをデータの流れとともに示す。

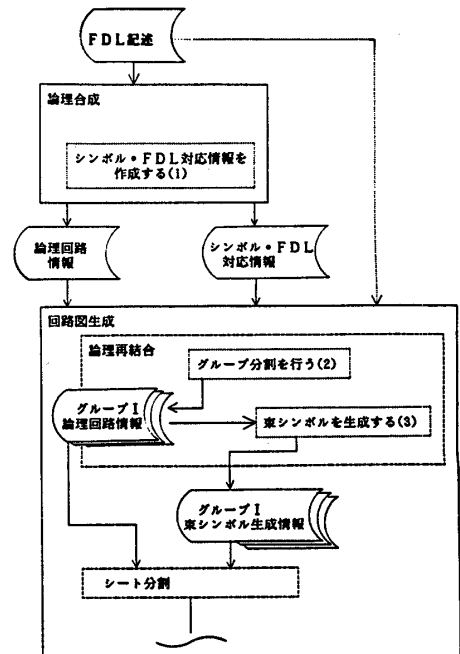


図2 論理再結合処理のフロー

(1) 論理合成における前処理

シンボル生成と同時にFDL記述との対応づけを行いシンボル・FDL対応情報を作成する。

(2) グループ分割

論理合成より得たシンボル・FDL対応情報に基づき論理回路情報を複数のグループに分割する。

(3) 束シンボル生成

下記の3点を満たしているシンボルについて束シンボルの生成を行う。

- 同一グループに属している。
- 同一機能のシンボルである。
- 各ピンに接続している信号名の束記述化が可能である。

4. 結果

本システムによりFDL記述と論理回路との確認が容易に行えるようになった。

図3は、従来複数シートに分割されていた機能が本システムによりまとめて出図されるため、FDL記述との対応が容易となったことを示している。

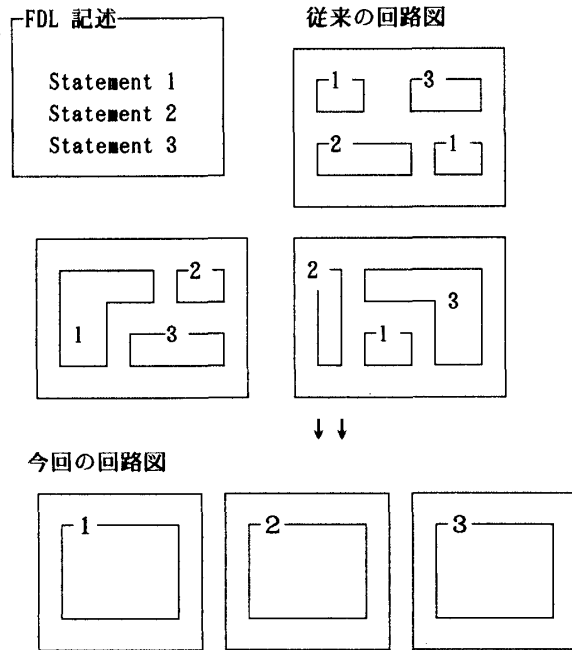


図3 FDL記述対応による改善結果

更に図4では、束シンボル生成により回路図が従来に比べよりコンパクトに出図されていることを示している。

```

INPUT  RSTM , CLKB , SET ,
        SPP(0:7) , SIN , SBRH , WDRP(0:8) ;
OUTPUT SBRP(0:8) ;
REG SBRP(0:8) = IF RSTM THEN FF#
                ELSE IF CLKB .UP. THEN
                    IF SFT THEN SPP(0:7) - SIN
                    ELSE IF SBRH THEN NOC
                        ELSE WDRP(0:8)
                    ELSE NOC ;
    
```

図4-A 入力FDL記述

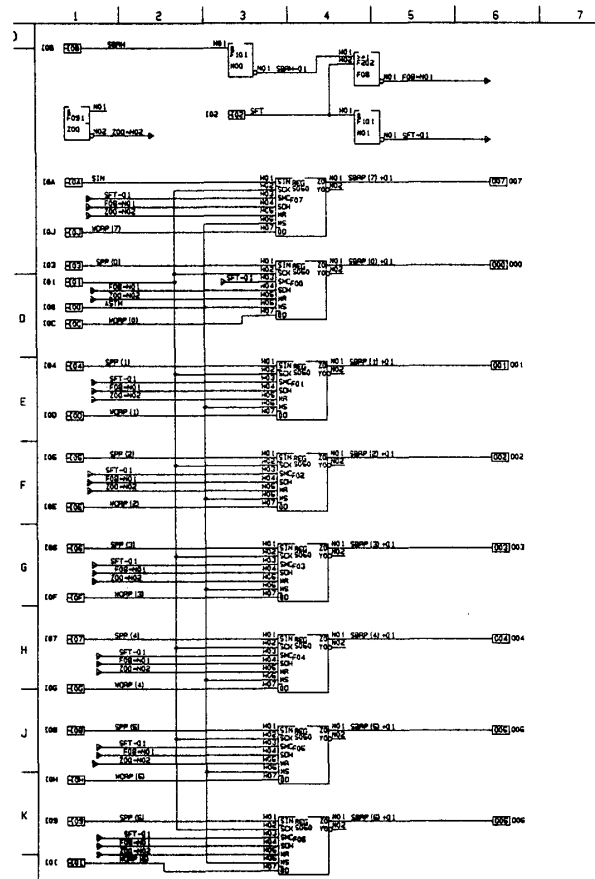


図4-B 従来の回路図

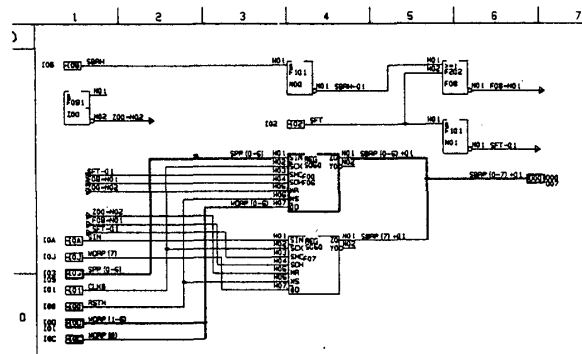


図4-C 今回の回路図

5. おわりに

現在論理回路図は指定された大きさにあわせて論理回路を分割し回路図を作成している。今後の目標としては、意味のあるグループを分割せず1枚の回路図として作成し、指定された大きさにあうよう回路図の拡大縮小を行うことも可能としたい。

参考文献

[1] 鈴木他 「統合論理設計支援システムILOS」 第38回情処全, PP1327 ~ 1337
 [2] 鈴木他 「論理合成によるVLSI設計システム:FUSION」 情処設計自動化研究会資料 1989.12