

並列推論マシン PIM/c

— キャッシュ・メモリについて —

2L-3

垂井俊明*1、井門徳安*1、前田浩光*2、中川貴之*1、杉江 衛*1
 (*1 日立製作所 中央研究所、*2 日立製作所 神奈川工場)

1. はじめに

並列推論マシン PIM/c[1]ではクラスタ構成が導入されており、クラスタ内の P E(Processing Element)はキャッシュ(BU: Buffer Unit)により密結合されている。クラスタ内のキャッシュ方式として、ICOTにより「5状態スヌープキャッシュ方式」[2]が提案されている。本稿では、同方式を実現するBUの論理構成の検討結果について報告する。

2. BUの構成

図1にBUの構成を示す。キャッシュ容量は2set×1k columnである。BUはEU(Execution Unit)[3]からのアドレス・データバス、共有バス、及び2組のCDA(Cache Data Array)データバスに接続され、CAA(Cache Address Array)、CDAのRAM、アドレス/データ系の回路、及び制御回路により構成されている。

CDAのデータは2set並列に読み出しが可能な構造とした。これにより、CAAの検索によりアクセスデータが存在するsetが決定する前に、CDAアクセスを開始することができ、アクセスの高速化が可能になる。

3. BUの制御方式

図2にBUの状態遷移図を示す。キャッシュ制御/状態遷移回路は基本状態を中心に、EUからのコマンドに応じてBUの状態を遷移させる。

基本状態ではEUアドレスによりCAAのアクセスを開始する。これはEUコマンドがBUに到着してからアクセスを開始していたのでは、目標とする2サイクルでのアク

セスに間に合わないためである。

BUは基本状態から遷移した状態において、キャッシュhit時にはローカルアクセス、miss-hit時には共有バスへのコマンドの送出を行う。また共有バスからのコマンドを受け取った場合には、バスアドレスによりCAAを検索し、キャッシュ間データ転送を行う。

BUにはEU、バスの両方からコマンドが到来するため、両者のアクセス競合が生じる。この場合CAAアクセスの衝突により両者を並行して処理することはできず、片方の実行を遅延させる必要がある。バスコマンドを遅延させると共有バスのプロトコルを守ることができず、キャッシュ間でデータの一貫性を保てない。そこでEUアクセスを中断、再開する機能を導入して上記の問題を解決した。

4. おわりに

PIM/c-BUの論理構成について述べた。BUはCDA部を除いてCMOSゲートアレイ上に約30kゲートの規模で実現された。今後は実機上での評価を行う予定である。

最後に、日頃ご指導いただいたICOT第4研究室内田俊一室長に感謝する。

なお、本研究はICOTからの委託研究の一環として実施された。

参考文献

- 1) 後藤他,"並列推論マシン PIM/c -概要-",本大会発表予定
- 2) 松本他,"KL1のメモリ参照特性に適した並列キャッシュ機構",信学会データフローワークショップ1987,pp223-230
- 3) 田中他,"並列推論マシン PIM/c -CPUについて-",本大会発表予定

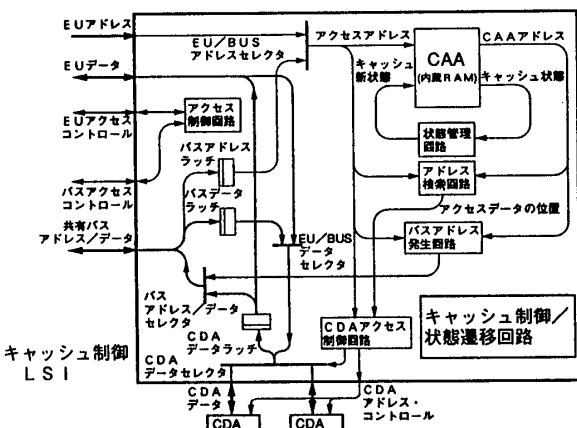


図1 PIMキャッシュの論理構成

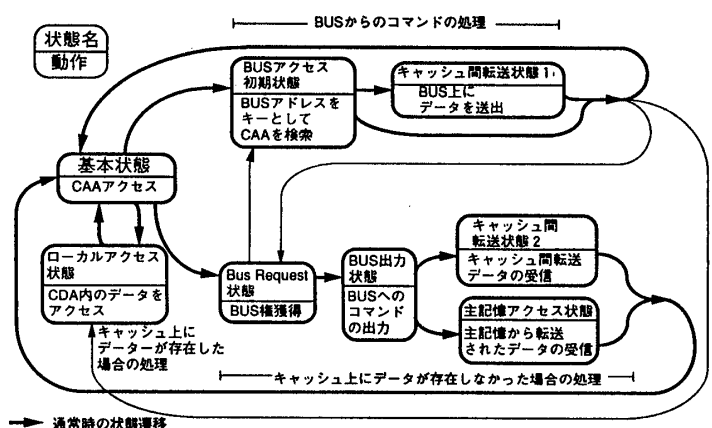


図2 BU状態遷移図

Parallel Inference Machine PIM/c - Snooping Cache Organization -

Toshiaki Tarui, Noriyasu Ido, Hiromitsu Maeda, Takayuki Nakagawa and Mamoru Sugie
 Hitachi, Ltd.