

AMP プロセッサの構成について

3W-5

堀田正利 谷口倫一郎 雨宮真人  
(九州大学 総合理工学研究科)

1. はじめに

本稿では、画像処理用、ニューラルネットワーク用等に処理速度の高速な高並列計算機システムであるAMPシステムを構成するプロセッサについて述べる。AMPシステムは図1のように非同期に動作する多数のプロセッサエレメント(以下PE)をメッシュ状に近傍のPEと接続した構成、あるいはPEをパケット交換網によって全てのPEと接続した構成をとる。

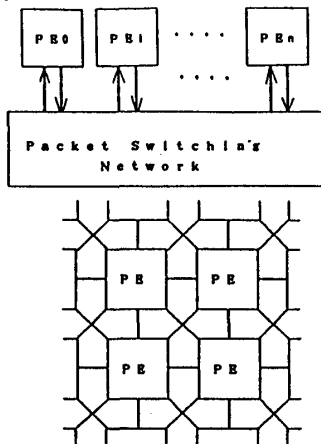


図1 AMPシステムの構成

2. AMPシステム用PEの構成

AMPシステム用PE内部のブロック構成を図2に示す。各ブロックについて簡単に説明する。

- Instruction Memory (IM) は命令コード (opc) と、LMアドレスを保持する。
- Operand Memory (OM) はオペランドとそのオペランドナンバー及びオペランドマッチング用のインスタンスなどを保持し、2次元構造を取る。これによってマルチプロセス処理を実現する。
- Link Memory (LM) は演算ノード間のリンク情報などを保持する。
- Function Unit (FU) は命令コードに従って各種演算を行う。
- Queue (Q) はトークンのキューイングとその順序保持を行う。
- Multiplexer (MPX) は、調停を行う。
- Routing Unit (RU) は他のPEとの通信を制御する。

- Instruction Packet Controller (IPC) はFUでの演算等に使われる命令パケット (Instruction packet IP) の生成をコントロールする。
- Result Packet Controller (RPC) は結果パケット (Result Packet RP) もしくは他のPEとの通信に使われる通信パケット (Communication Packet CP) を生成する。

次にPE内部のデータについて触れておく。

- RP はLMからの出力であるIM7ビット(10ビット)、インスタンスであるins(9ビット)、実際の演算に使われるデータであるval(32ビット)、第一オペランドであるか第二オペランドかを示すOPRno(1ビット)の計52ビットからなる。
- IP はIMからの出力であるLMアドレス(11ビット)とOPC(5ビット)、ins(9ビット)、FUで演算されるオペランドであるOPR1(32ビット)、OPR2(32ビット)の計89ビットから構成される。
- CP は目的のPEでのリンク情報を得るためのLM7ビット(11ビット)、ins(9ビット)、値val(32ビット)、目的とするPEのPEno(23ビット)で構成されている。

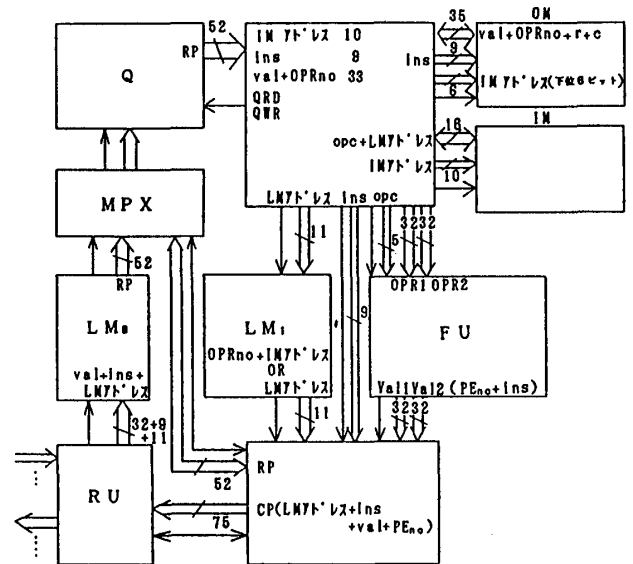


図2 AMP用PEの構成

図3にLM、OM、IMの各メモリのデータ構造を示す。OMのrは、そこに今データが入っているかを示すフラグである。cはデータが定数であることを示す。時系列のデータを扱う際、同系列のデータは同じOMのアドレスを用いて演算されることになるため、一度データが演算に用いられると、そのデータはクリアされなければならない。しかしそのデ

ータが定数であった場合にはクリアされない。IPCでは、Qから新しいデータを取り出すと、IM7アドレスとinsとを用いて、OMにアクセスすると同時に、IMにもアクセスする。OMのrを調べて、データがなければ、今のデータをOMに書き込み、rフラグを立てる。データが存在した場合は、Qから読みだしたOPRnoとOMのOPRnoを比較して、違えばIMから読みだされたOPCとLM7アドレスを用いて、IPを構成する。その時OMのcフラグが立っていないければ、rフラグを下げる。OPRnoが同じだった時は、RPをQに戻す。

LM1には3つのフラグがあり、PはそのLM1のデータが、同一LM1内へのポインタであることを示す。tはFUからの結果の出力先が複数ある場合に、そのLM1のアドレスに続く1ワードも、同じ結果の出力先であることを示す。ciはインスタンスに変更がある場合に、続く1ワードで変更するインスタンスを示す。LM1ではTF演算と呼ばれる条件分岐を実行する。これは、条件が真が偽かで、の分岐先をLM1の連続する2つのアドレスに書いておきTF命令の時には、LM1にアクセスする際に使われるIPのLM7アドレスに真偽に応じて、0か1を加算することで、実現される。この時、LM1の前のアドレスに書かれてある方の出力先が複数であった場合は、Pフラグを使ってポインタを利用する。PEの外からきたバケットへ内部のPEでのリンク情報を与えるLM0の方もフラグの意味は同じであるが、TF演算の必要が無いので、ポインタを表すPフラグは設けていない。

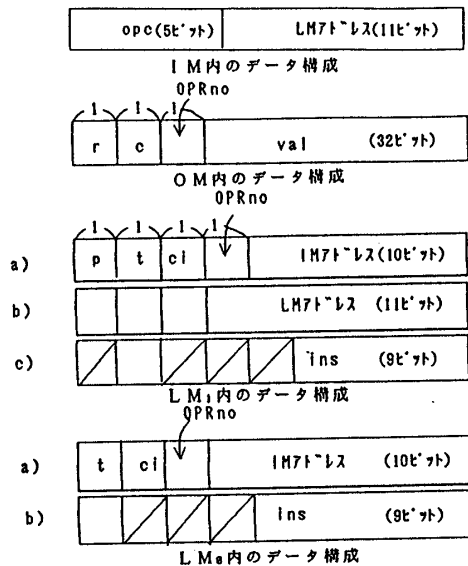


図3 メモリ上のデータ構造

3. マルチプロセス処理

PE内では、IMの一つの命令に対してOMを複数割り当てることによって、マルチプロセスの機構を実現している。IMへのアクセスはRP内のIMアドレスによってアクセスされるが、OMへのアク

セスはそのIMアドレスの下位6ビットとRP内のインスタンスネームで行われる。つまり、1KワードあるIMを64ワードずつ16のブロックに分け各ブロック毎のアドレス（ローカルアドレス）に書かれてある命令コードは、OMの各インスタンスにおいてのアドレスがそのローカルアドレスと同じものをオペランドとして用いて、命令を実行する。（図3、4に概要を示す。）この時IMは16のブロックがあるのでIMの異なるブロックで、同じインスタンスネームを使用すると、オペランドメモリの競合が起こる。そこで、IMのブロック毎にインスタンスネームを変えて競合が起きないようにする必要がある。オペランドメモリの割当はコンパイラが静的に決定する。

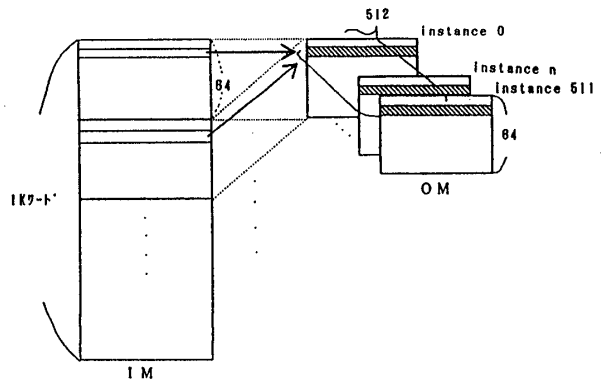


図4 IMとOMのメモリの対応関係

4. 通信制御部

PE間の通信は先ほど触れたように、バケット交換網を介しての通信と、直接近傍のPEとを結ぶ2種の通信を考えている。その際PE同志を直接接続する場合には、任意のPE間通信を許すために、PEに通信の転送機能が必要となる。転送する際に、その転送するPEの内部の処理をなるべく妨げないように、転送機能はPE内部の処理と独立に、RU単体で行う。また出力回線の選択は、通信バケット（CP）内の目的とするPEN0と、現在のPEN0からすぐに求めるようにしている。

5. おわりに

AMPプロセッサの構造の概略を述べた。PEのシミュレーションについては、発表の際に報告する。このPEは今年度末までに、プロトタイプの完成を目指している。今後の課題としてコンパイラ的设计やネットワークの設計、PEの数が莫大に増えた場合の評価などが残っている。

参考文献

[1] 谷口, 雨宮 : 画像処理と理解のための自律型非同期マルチプロセッサAMP, 電子通信情報学会画像理解の高度化と高速化シンポジウム, (1989)