

## メモリネットワーク

2W-9

—大規模ニューラルネットワークのハードウェア化法—

古谷立美\* 植田恵一\*\* 国分明男\*

\*電子技術総合研究所 \*\*相模工業大学

## 1. はじめに

筆者らは、ニューラルネットワーク(NN)のハードウェア化法の1つとして、神経ユニットを1ビット幅メモリで実現する方法を取り上げを様々な観点から評価、検討してきた[1][2]。本論文では、大規模階層型NNを1ビット幅メモリのネットワークで実現する新しい方法を提案し、その能力を評価する。

## 2. メモリネットワーク

神経ユニットを1ビット幅メモリで実現する方法は1980年頃Aleksanderらによって提案されたもので、入出力が1/0の2値に限定されるが、任意の値の重みを扱うことが出来る[3]。神経ユニットは図1(a)の様に、重み( $w_i$ )付き入力( $x_i$ )の総和がしきい値( $\theta$ )を越えた時出力( $y$ )を出す。このユニットは、神経ユニットへの入力線を1本ずつメモリのアドレス線に割当て、神経ユニットへ入力される全てのパターンに対して出力値を計算しメモリに格納すると、図1(b)に示す1ビット幅メモリと等価になる。このメモリを神経ユニットの代わりにして神経ネットワークと同様のネットワークを作ると、神経ネットワークと等価な機能を持ったネットワークが構成できる。以下これをメモリネットワーク(MN)と呼ぶ。

但し、この方式には2つの問題がある。第1はネットワークの学習の方法、即ち所定の入出力関係を実現するためにどの様にメモリの内容を決めるかである。この問題に対して筆者らはメモリ内容の設定にバックプロパゲーション(BP)学習の結果が使えることを示した[1]。これはメモリの代わりに普通の神経ユニットを想定してBP学習を行い、そこで求めた重みとしきい値からメモリの内容を決める方法である。メモリネットワーク第2の問題点は、メモリのアドレス線数の制限である。本方式は、神経ユニットへの入力線をメモリのアドレス線で置き換えるため、アドレス線数の制限が神経ユニットの取りうる入力線数を規定する。特に大規模メモリネットワークを実現しようとするときメモリのアドレス線数の限界からメモリ間結合が疎にならざるを得ない。我々はこの制限を認めた上で、大規模MNを実現する提案を行った[1]。しかし文献1に示した方法は引き込みが弱いという問題点があった。以下では強い引き込みを持つ新しい大規模ネットワークの実現法を表す。

## 3. 大規模メモリネットワークの提案

本節では所定の入出力関係を引き込みのある形で実

現する大規模MNを提案する。本方式の基本的な考え方は、ネットワークに与えられる入力パターンを一度局所表現に落とし、局所表現になったユニットから出力パターンを導くリンクを出力ユニットに張る方法である。図2(a)の様なネットワークでは出力ユニットが特定の1入力パターンに反応して活性化するようにBP学習させることが出来る。そこでこのようなネットワークを入力パターン毎に用意し、その出力を図2(b)の様に出力パターン生成回路へ導いて出力パターンを生成すれば、引き込みを持ったパターン出力が可能になる。メモリ内容の設定にはBP学習結果を用いることができるが、この他にハミング距離を用いる方法が考えられる。即ち、教師入力パターンと実際に入力されるパターンのハミング距離が、ある範囲内なら出力'1'出すようにメモリの内容を決める方法である。このハミング距離の許容度を大きく取ると、引き込みが強くなるが他の教師入力パターンと間違える可能性が増える。表1は、4層(入力256、第1中間164、第2中間8、出力1ユニット:各ユニットへの入力線数8)MNを構成する時の中間層のハミング距離を変えて、他のパターンと誤認する数を求めたものである。表は、パターン数128と1024の場合を示している。以上の局所表現を用いる方法では、入力パターンによっては複数のユニットが活性化される恐れがあるため、これを避ける回路を~~×~~の部分にいった方がよいこともある。

以上の方法では入力パターン毎に図2(a)のネットワークを用意しなくてはならず、多数のメモリが必要になる。このメモリ数の増加を抑える方法を次に提案する。回路構成は図2(b)のままよいが、図2(a)の出力ユニットを複数の入力パターンに反応('1'を出力)する様に学習させる。表2は、図2(a)の出力ユニットが、反応出来る入力パターン数を調べた結果である。実験は2つのネットワークに対して行っている。第1は入力層256、中間層16、出力層1ユニットのネットワークで、各ユニットへの入力線は16である。第2は入力層256、第1中間層64、第2中間層8、出力層1ユニットで、各ユニットへの入力線は8のネットワークである。表中の値は、総入出力パターン数に対して、出力ユニットが反応するようにBP学習出来た入力パターン数である。この結果、疎結合ネットワークでも1出力ユニットが多数の入力パターンに反応出来ることが分かる。図3は、この方式の引き込みの強さを調べたものである。図は学習に使った入力パターンの内、何ビットか変えた入力パターン(雑音入り入力パターン)を入れた時、原パターンを認識出来る割合を示している。測定は上記の2つのネットワークに対して、128入力パターンの内64パターンに出力'1'を出す様に学習したものをを用いた。図中には文献[1]で提案した方式の引

Memory Network for Large Scale Neural Networks  
Tatsumi FURUYA Keiichi UEDA\* Akio KOKUBU  
Electrotechnical Laboratory

\*Sagami Institute of Technology

き込みも示しているが、本論文で示した方式の引き込みが強いことが分かる。

出力ユニットが複数の入力パターンに反応すればコード化が可能になり出力ユニットの節約になる。この場合、出力パターン生成部には出力パターン格納メモリを用意し、コード化したユニットを出力パターン格納メモリのアドレス線に導き出力パターンを読み出せば、引き込みのあるパターン変換が実現できる。

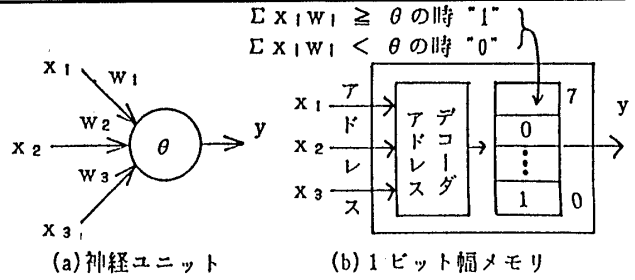


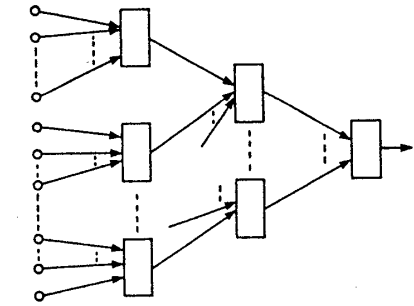
図1 ニューロンとメモリ

4. まとめ

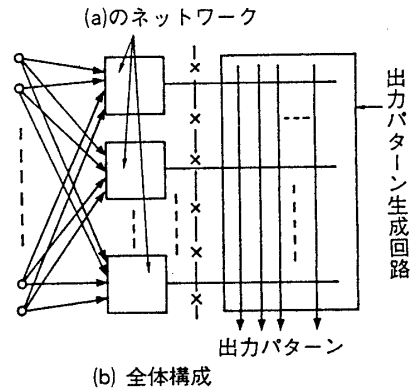
本論文では、神経ユニットを1ビット幅メモリで置き換える方法を取り上げ評価を加えると共に、大規模MNの実現法を提案し性能を示した。MNは、すでに確立されたメモリの高集積技術をそのまま使うことが出来る。特に3節に示した8アドレス線メモリを用いる方法では現在の技術でも数100のユニットを1チップに集積出来ると考えられ、本方式は大規模NNの有力なハードウェア化法と考えられる。最後に、日頃御議論戴く研究室の皆さんと、研究の機会を与えられた棟上情報アーキテクチャ部長に感謝致します。

文献

- [1] 古谷他、"ニューラルネットワークを実現するメモリネットワーク" 情報処理学会、第38回大会、1989年3月。
- [2] 古谷他、"ニューラルネットワークを実現するメモリネットワーク" 信学技報、NC、1989年7月。
- [3] I.Aleksander et al., "WISARD-A radical step forward in image recognition," Sensor Review July 1984.



(a) 1入力パターンを識別するネットワーク



(b) 全体構成

表1 ハミング距離とパターンの誤認  
第1中間層のハミング距離

		**** pattern number -> 128 ****							
第2中間層のハミング距離		HD2   0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	15	67
1	0	0	0	0	0	0	2	53	118
2	0	0	0	0	0	0	30	99	126
3	0	0	0	0	0	5	75	122	127
4	0	0	0	0	19	104	126	127	127
5	0	0	0	1	64	122	127	127	127
6	0	0	0	26	102	125	127	127	127
7	0	0	6	64	114	127	127	127	127

		**** pattern number -> 1024 ****							
ハミング距離		HD2   0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	119	542
1	0	0	0	0	0	0	26	460	954
2	0	0	0	0	0	0	232	830	1018
3	0	0	0	0	32	615	998	1023	1023
4	0	0	0	1	199	879	1020	1023	1023
5	0	0	0	14	511	982	1023	1023	1023
6	0	0	1	147	829	1014	1023	1023	1023
7	0	0	27	517	970	1022	1023	1023	1023

図2 局所表現をBP学習するネットワーク

表2 出力ユニットを活性化できるパターン数

全パターン数	8	64	128	256	512
256-16-1	4	32	64	126	—
256-64-8-1	4	32	64	—	—

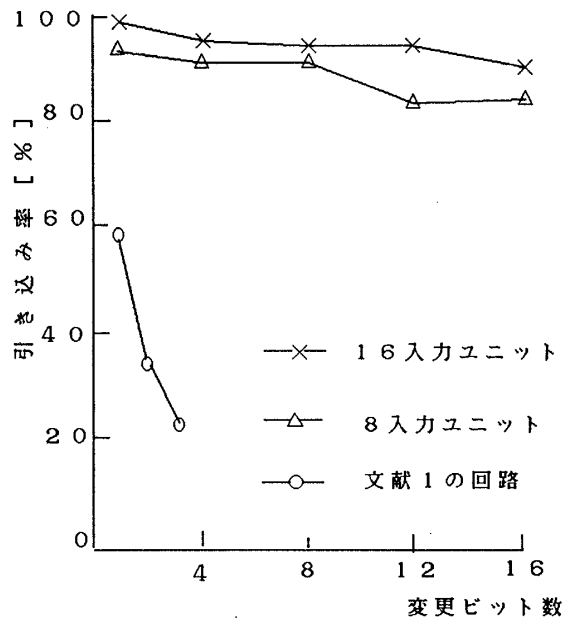


図3 ネットワークの引き込み