

スキャンデザインルールチェッカの開発

6V-3

井上政則 立石昭光 中沢昌久 河村匡彦

㈱東芝 集積回路事業部

1. はじめに

近年のVLSI技術の目覚ましい発展により、論理回路は大規模化・複雑化し、そのテストが深刻かつ重要な問題となってきている。そのため、論理設計の段階からテストを考慮したテスト容易化設計が必要となり、特に、高い故障検出率のテストベクトルの自動生成が可能なスキャンデザインが次第に使われてきている。

しかし、スキャンデザインには幾つかの設計ルールが存在し、もしそのルールに違反した場合、テストベクトルの自動生成ができないなど支障をきたす虞れがあり、回路に対しスキャンデザインルールを満たしているかどうかの検証が必要となる。

今回我々は、3種類の手法を組合せたことにより、スキャンデザイン化された回路に対する検証を高速かつ確実に行うことのできるスキャンデザインルールチェッカを開発したので報告する。

2. スキャンデザインルール

スキャンデザインは、論理設計に対し制約を設けることで、回路を同期化したり、テスト時におけるタイミング問題の解決を図るものであるため、種々のデザインルールが守られていなければならない。

今回我々が用いたスキャンデザインルールの主なものは次の通りである。

- (1) Basic Rule: スキャン用以外の記憶素子の使用およびゲートによるループ回路の禁止。
- (2) System Clock Rule: システムクロックは外部からON/OFF制御可能。また、再収斂や他属性とのゲーティングは禁止。
- (3) Scan Clock Rule: オーバーラップしない2相のクロック(ACLK, BCLKと称す)を直接F/Fのスキャンクロック端子に接続すること。
- (4) Scan Path Rule: スキャンパスの分岐・合流は禁止。
- (5) Asynchronous Rule: セット・リセット系は外部からOFF制御可能。
- (6) その他、各信号を他の用途に使用することの禁止。

3. スキャンデザインルールチェック方式

今回我々は、チェック方法として回路接続解析、信号属性伝搬^{[1],[2],[3]}、論理値伝搬^[4]という3手法を取り入れ、ルール項目毎に高速性・信頼性を考慮しながら最適な手法を使用した。これらのスキャンデザインルールチェック方式について以下に述べる。

(1) 回路接続情報の解析方式: 回路の接続的な関係により検証を行う方式であり、Basic Ruleチェックで使用している。図3.1はループチェックの例である。外部入力端子あるいはF/Fの出力端子から回路をトレースし、もし、すでにトレースしたゲートに再び到達した場合には、そのパスはループしている。この方式は、Basic Ruleチェックのような回路の構造的な違反の検証には適しているが、外部入力端子やF/Fの各端子の信号属性を考えていないため、信号の種類に関わるルールの検証はできない。すなわち、図3.1において、システムクロックがF/Fのデータ端子に伝搬している違反や通常入力がF/Fのシステムクロック端子に伝搬している違反がある場合に、これを検証することができない。

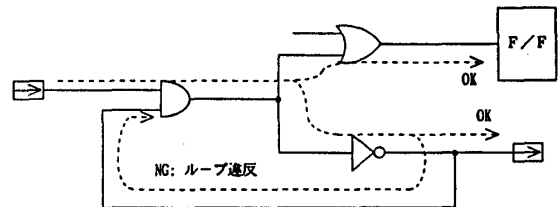


図3.1 回路接続情報の解析方式

(2) 信号属性伝搬方式: 外部端子やF/Fの入出力端子に機能的な意味(信号属性)を持たせ、これを回路に沿って伝搬することにより検証を行う方式であり、Scan Clock RuleチェックやScan Path Ruleチェックで使用している。図3.2のようにスキャンクロックの検証を行う場合、外部入力端子にスキャンクロック属性ACLK, BCLKを与え、これを回路に沿って伝搬し、F/Fのスキャンクロック端子において、属性が伝搬しているかどうか、この端子が持つ属性と伝搬してきた属性が一致しているかどうかチェックすることによりルール違反が検出できる。

S c a n D e s i g n R u l e C h e c k e r

Masanori INOUE, Akimitsu TATEISHI, Masahisa NAKAZAWA, Masahiko KAWAMURA

Integrated Circuits Division, TOSHIBA Corp.

実際には、属性の他に信号の極性も考慮することにより、信号が反転してF/Fに入力していないか検証している。しかし、システムクロックのON/OFFチェック等論理的な検証を必要とするものについては、この方式では検証が困難である。

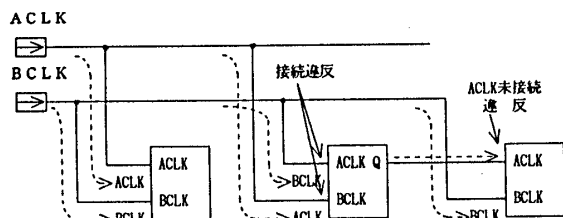


図3.2 信号属性伝搬方式

(3) 論理値伝搬方式：表1に示すようなルールチェック用の真理値表を用いて論理値伝搬することにより検証を行う方式であり、System Clock Rule チェック、Asynchronous Rule チェックで使用している。システムクロック系のチェックについて図3.3を用いて説明する。接続的な検証をする場合には、システムクロック端子に信号値“CK”を設定し論理値伝搬することにより、F/Fのシステムクロック端子以外に接続されていないかどうか検証できる。この場合、FF1のデータ端子の信号値が“CK”となり違反として検出される。また、システムクロックでOFF制御できるかどうか検証する場合には、システムクロック端子にOFF値“0”を設定し、論理値伝搬する。FF2のシステムクロック端子はOFF値“0”とならず、違反として検出される。この方式を用いれば、十分な検証が可能であるが、論理値を伝搬するので処理時間が問題となり、接続的な検証等は信号属性伝搬方式の方が効率的である。

以上、各スキャンデザインルールチェック方式について述べたが、各方式の利点を活用することにより、高速かつ確実な検証が可能となる。

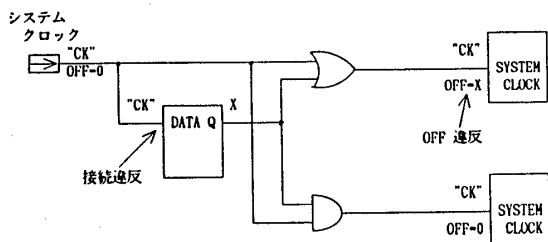


図3.3 論理値伝搬方式

4. 処理フロー

図4に処理フローを示す。ルールチェックの前に、スキャンデザインリンクにより、回路接続情報とF/Fの端子の属性・極性を持ったスキャンデザイン回路データベースを作成する。ルールチェックはこれに基づいて行うが、この際、外部端子の属性・極性およびテストモードの設定等の情報を持ったコマンドファイルを入力する。

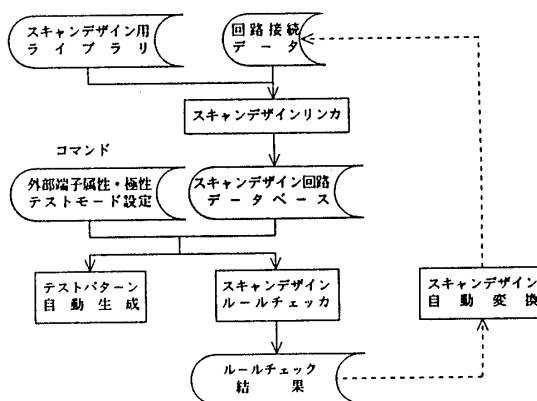


図4. 処理フロー

5. 適用例

表2は実製品に適用した結果である。大規模な回路のチェックを高速に実行することができた。

表2. 処理時間

GATE数	F/F数	CPUTIME(s)
20785	1041	4.70
39442	1008	5.07
64217	2187	8.93

* 使用計算機は15MIPS

6. おわりに

現在、幾つかのルール違反を自動的に修正するため、スキャンデザイン自動変換プログラム^[5]とのインタフェイスを開発中である。また、ルールベースに基づいたルールフレキシブルなルールチェッカの開発も今後の課題である。

7. 参考文献

[1] D.K.Bhavsar, "DESIGN FOR TEST CALCULUS: AN ALGORITHM FOR DFT RULES CHECKING", Proc.14th DAC
 [2] 西宏晃 他, "テスト容易性検証プログラム", 情報処理学会第36回全国大会 P.2043-P.2044
 [3] 室井克信 他, "スキャン設計された大規模論理回路に対する階層的論理設計ルール検証方式", 情報処理学会第30回全国大会 P.1991-P.1992
 [4] H.C.Godoy, et al., "AUTOMATIC CHECKING OF LOGIC DESIGN STRUCTURES FOR COMPLIANCE WITH TESTABILITY GROUND RULES", Proc.14th DAC
 [5] 中沢昌久 他, "VLSI用テスト容易化自動変換プログラム", 情報処理学会第36回全国大会 P.2049-P.2050