

3K-1

超高速画像処理システム RIPEのアーキテクチャ

本沢 邦朗* 佐藤 淳* 富田 稯太* 今井 正治* 長谷川 純一**
 * 豊橋技術科学大学 情報工学系 ** 中京大学 教養部

1. はじめに

大規模な濃淡画像の前処理を効率よく行なう専用システムを実現するためには、処理の並列化およびパイプライン化が有効であると考えられる。特にフィルタリング処理のアルゴリズムの多くは並列型の積和演算を頻繁に用いているので、画素単位での並列処理が効果的であると考えられる。このような認識に基づき、本稿では大規模な2次元濃淡画像に対して大きなマスクを用いた処理を実時間で実行することを目的とした超高速画像処理システムRIPE(Real-time Image Processing Engine)のアーキテクチャを提案する。

2. システムの概要

RIPEの仕様の概略を表1に示す。RIPEでは画像データは行単位で処理される。各行の処理を入力-演算-出力の3つのステージに分割し、パイプライン的に処理することにより画像データの入出力と演算処理を並行して実行する。また、演算ステージでは画像1行中の画素数と同じ個数のPEを用いたSIMD型の並列処理が行なわれるため、画像データの処理が1行分同時に行なわれる。

3. RIPEのアーキテクチャ

図1にRIPEのハードウェア構成を示す。以下では、処理の対象となる画像の一辺の画素数をNで表わす。

3.1 RC (Ripe Controller)

RCは外部との同期を取りながらIU, PU, OUの制御を行なう。RCは、ユーザが作成した処理プログラムを格納するRAMと、あらかじめ基本的な処理のプログラムが格納されているROMを持ち、ホストシステムからの指示に従って、RAMまたはROMに記憶された命令を順次PUに送る。

3.2 IU (Input Unit)

入力ステージを受け持つIUは、8ビット幅のN個のラッチ回路から構成され、シフトレジスタとして動作

表1 RIPEの仕様の概略

項目	仕様
画像処理形態	行単位の局所並列処理
入出力データ	256階調(8ビット)
入出力	ラスタスキャン順
マスクサイズ	≤64×64画素
内部演算形式	16ビット整数演算

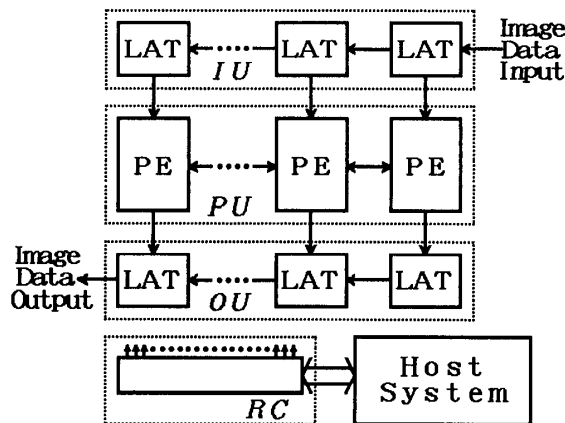


図1 RIPEのハードウェア構成

する。IUはラスタスキャン順に入力される画素データを順次シフトし、画像1行分の画素データがそろった時点で1行分の画素データをPUに転送する。

3.3 PU (Processing Unit)

PUはN個のPEから構成され、演算ステージを受け持つ。各PEは、両隣のPEとの間で8ビット幅のデータ転送が可能である。図2にPEの構成を示す。

(1) ALU (Arithmetic Logic Unit)

ALUは各画素に対して16ビット幅の算術・論理演算処理を行なう。

The Architecture of the Real-time Image Processing Engine: RIPE

Kunio HONSAWA*, Jun SATO*, Jota TOMITA*, Masaharu IMAI*, Jun-ichi HASEGAWA**

* Toyohashi University of Technology, ** Chukyo University

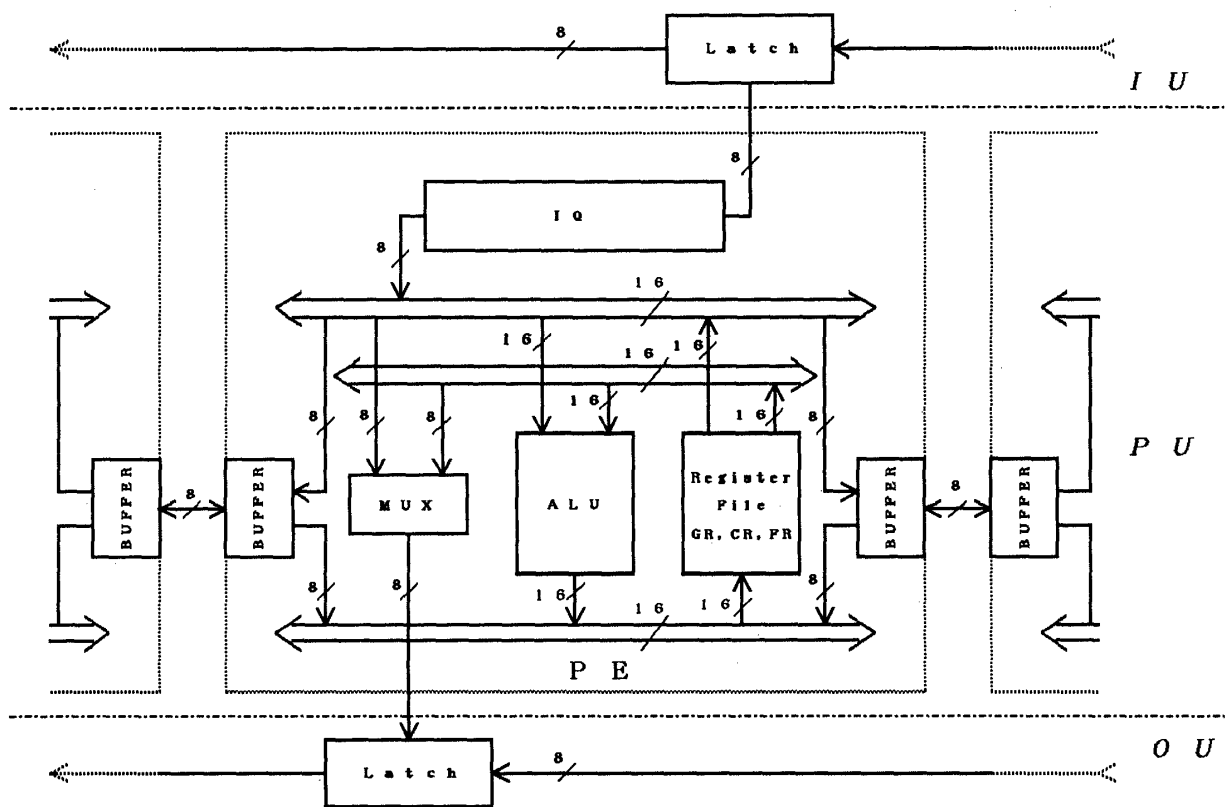


図2 PEの構成

(2) IQ (Input Queue)

画像データに対する局所並列処理では、1つの画素の出力値を決定するために、その画素の近傍の画素データが必要である。すべてのPEが各自必要なデータを内部に持つことにすると、システム全体ではデータが重複し不経済である。そこで各PE内のIQに、そのPEが処理を受け持っている列のデータを、必要な個数分（すなわちマスクの縦の画素の個数分）記憶させることにする。残りの近傍データは他のPE内のIQに保持されているので、隣接するPE間でデータ転送を行なうことによってその値を得ることができる。

各IQは8ビット幅の64個のセルからなる。これにより列方向の長さが64以下のマスクを用いた局所並列処理が実現できる。

(3) Register File

レジスタファイルには、26個の8ビット幅汎用レジスタ、4個の8ビット幅PE間データ転送用レジスタ、フラグレジスタが用意されている。汎用レジスタは、2個を対にして16ビットレジスタとしても使用できる。PE間データ転送用レジスタも同様である。

(4) MUX (MULTipleXer)

局所並列処理を行なう場合、画像の外周部では近傍のデータが完全には得られないため、計算結果は無効

となる。RIPEでは画像外周部の出力値を (a)定数にする、(b)無効ではあるが計算値にする、のいずれかに設定することができる。この機能は各PE内の出力値選択用のマルチプレクサ(MUX)によって実現される。

3.4 OU (Output Unit)

OUはIUと同様に8ビット幅のN個のラッチ回路からなり、出力ステージを受け持つ。

PUで演算されたデータは、1行分同時にOUへ転送され、その後順次シフトされることによって1画素ずつラスタスキャン順に出力される。

4. おわりに

本稿では、超高速画像処理エンジンRIPEのアーキテクチャを提案した。今後はASIC(特定用途向きIC)技術を用いた実現方法について研究を行なう予定である。
謝辞

日頃御指導賜る豊橋技術科学大学の本多波雄教授、中京大学の福村晃夫教授、討論していただいた豊橋技術科学大学VLSI設計研究室の諸兄に深謝する。

参考文献

本沢邦朗 他：“超高速画像処理システムRIPEのアーキテクチャ”，信学会研究会資料，CPSY89-12，PP.43-50，MAY.1989