

統合論理設計支援システム ILOS
における論理合成：FUSION

3S-5

谷下 久斗, 一柳 洋, 鈴木 重信, 野水 宣良, 高橋 万年

日本電気株式会社
コンピュータ技術本部

1.はじめに

論理設計の効率化, 期間短縮を実現するためには, 論理合成の実用化が必要不可欠である。しかし, 現状のツールでは高性能コンピュータ用LSIの設計に適用するにはまだその能力が不十分である。統合論理設計支援システムILOSでは, 論理合成システムFUSIONを高性能コンピュータ用LSIの設計の一部に利用できるように機能強化を行った。

2.FUSION概要

論理合成システムFUSION[1]は, 当社で設計に広く用いられているレジスタ・トランスファレベルのハードウェア記述言語FDL[2]を入力として論理合成を行い, ゲートレベルのネットリストを生成するシステムである。

合成の対象は, 主として制御系の論理回路でありCMOSおよびCMLのゲートアレイ, スタンドセルをサポートしている。

2.1.FUSIONの処理フロー

第1図にFUSIONの処理フローを示す。

まず, 入力FDLを中間コード(テクノロジーに依存しない回路のネットワーク構造)に変換する。

次に, アルゴリズムによる論理の最小化と, ルールベースを利用したテクノロジー・マッピングを行う。ルールベースには中間コードから特定のテクノロジーへの変換ルールが登録されている。また, テクノロジー・マッピングの際に変換可能なルールが複数存在する場合や, 変換可能な複合ゲートや機能ゲートが存在する場合にはコスト計算を行って, コストが最小となるようなゲートを選択することによりコストの最小化をはかる。

さらに, ルールベースを取り替えるだけで異なったテクノロジーに容易に対応することが可能である。

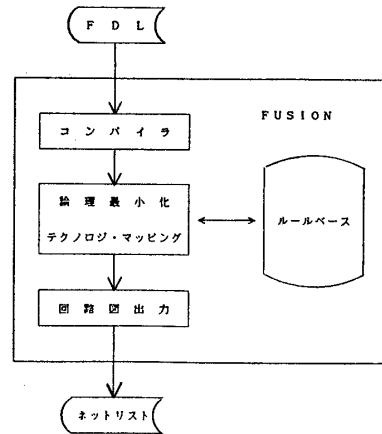
このようにして合成されたネットリストに対して, ILOSの設計ルールチェック機能を用いてF/F間の段数等の情報を表示できる。設計者はこの情報に基づいて, 更なる改善の可能性の有無を判断し, より高性能な回路の設計を効率よく行うことが可能である。

2.2.CML対応の機能

当社では, 超大型機の開発には高速なCMLテクノロジーが使用されている。この超大型機の設計においては性能に対する要求が厳しいため段数を

最小に抑えなければならない。それと同時にゲート数も可能な限り最小に抑えることが要求されている。このCML対応の機能として, FUSIONは変換可能なANDゲートをワイヤードANDに変換する機能と, ファンアウト極性とファンアウト数に適合するゲートを選択してファンアウトを出力ピンに均等に割り当てるT/C出力ゲートの効果的な利用機能を装備している。これらの機能を使用することにより, 段数及びゲート数を削減して回路の高性能化を計っている。

<第1図> FUSION処理フロー



3.FUSION/ILOSを利用した論理設計

3.1.階層設計対応

LSI設計には通常階層設計方式が用いられている。最初のLSI分割フェーズではLSIの機能仕様書を基にLSIの階層分割を行い, 次の詳細設計フェーズでは各階層毎に詳細設計を行い詳細仕様を決定し, FDLを記述する。その次の論理設計フェーズでは, 各階層の詳細仕様からゲートレベルのネットリストを作成する。FUSIONがサポートするのはこの論理設計フェーズで, FDLからゲートレベルのネットリストを合成する。

FUSIONの利用法としては, 人手設計の回路図中のマクロ機能をFDLで記述し論理合成の対象にする方式(第2, 3図)と, LSI全体をFUSIONによる論理合成の対象として, その一部を人手設計する方式の2通りある。

Integrated Logic Design Support System ILOS
Logic Synthesis System : FUSION

Hisato Tanishita, Hiroshi Ichiryu, shigenobu Suzuki, Nobuyoshi Nomizu, and Kazutoshi Takahashi
NEC Corporation

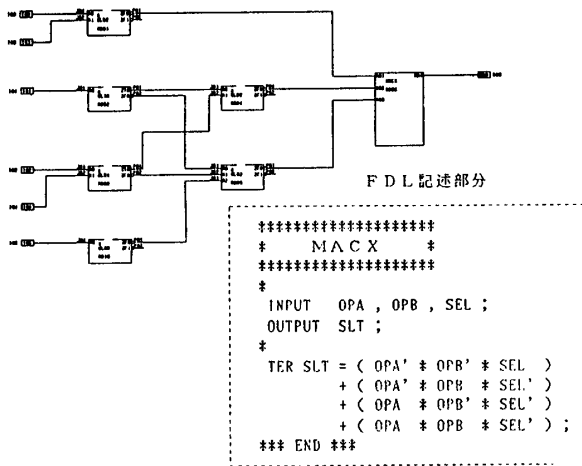
前者の方式は主として超大型機の設計に用いられる。超大型機の設計では特に高性能の要求が厳しく、高性能を実現するためには人手によるきめ細かい設計が必要な場合が多い。人手による最適化設計と論理合成する回路の指定を容易にするためには、FDLで記述したマクロを含む回路図を記述できることが望ましい。このような回路図を処理するためにILOSは、FUSIONの呼出機能、後述する人手設計とのリンク機能を備えている。

後者の方式は、主として超大型機ほど高性能の要求が厳しくない場合に用いられる利用方式で、LSIチップ全体を合成対象にすることができる。

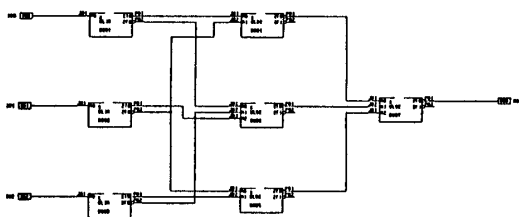
後者の方式ではチップ全体の機能を階層的にFDLで記述し各FDLをFUSIONで合成してネットリストを生成する。また、この方式では、FDLマクロの一部をモジュールマクロとして切り出して、その部分を人手設計に切り替えたり、他のFDLマクロと共通に利用することで最適な回路を効率よく設計することが可能である。

さらに、合成結果の回路図ではもとの階層が保持されているので設計者が結果を容易に認識することができる。

<第2図> 一部をFDL記述した高機能回路図 (FUSION入力例)



<第3図> 論理合成結果



3.2. 人手設計とのリンク

FUSION合成後の処理として、人手設計した回路図とのリンクが必要となる。リンク時の処理とは、ファンアウト調整とミニマム遅延補償であるが、これにはILOSシステムの機能を活用する。

ILOSにはファンアウトチェック機能と、ファンアウト調整用バッファを自動的に生成する回路変換機能があり、それによってファンアウト調整を自動的に行うことができる。

ミニマム遅延自動補償は、ILOSの、クロック・スキューを減らすために等段等負荷のクロック分配系を生成するクロック再分配機能と、FDLマクロ内のF/FとFDLマクロ外のF/Fを通るパスを検出して段数のチェックを行う段数チェック機能と、ミニマム遅延補償用の調整用バッファを自動挿入する回路変換機能により実現している。これらの機能はCCのサブコマンドとして実装されている。

4. FUSION利用の効果

FUSIONを利用した論理設計の実績について報告する。

CML系ではFDL記述を論理式レベルの比較的低位の記述にすることで、人手設計と等価な合成結果が得られている。

CMOS系では中型機のG/Aの論理設計に利用された。規模が約13KゲートのG/Aで、論理設計期間が従来の人手設計に比べて1/40に、また、論理的なミスが0となり設計品質が大幅に向上し、ファンアウト自動調整、ミニマム遅延自動補償で設計ルールのチェック工数が大幅に削減された。

このように、FUSIONを利用した論理設計では、

- (1)論理設計の期間短縮、工数削減
- (2)回路登録時のケアレスミスや論理ミスといった人手設計に伴うミスがなくなり、設計品質向上
- (3)人手設計する回路量が減り、チェック工数削減といった効果がある。

5. おわりに

論理合成システムFUSIONの概要、FUSION/ILOSを利用した論理設計法ならびにその効果について報告した。

論理合成は論理設計法の主流になりつつあり、FUSIONもコンピュータ用LSIの開発だけでなく他のデジタル装置用LSIの開発にも利用され始めている。

最後にFUSIONの開発に際し多大の御協力を頂いている日本電気(株)C&Cシステム研究所吉村課長、日本電気技術情報システム開発(株)の麻野氏、田中氏に感謝致します。

参考文献:

- [1]吉村 猛”ルールベースとアルゴリズムに基づく論理合成システム”, 電子情報通信学会報告(VLD87-92)
- [2]Kato, S. and Sasaki, T., "FDL: A Structural Behavior Description Language," CHDL83, pp.137-152, 1983