

## 6U-9

## フィードスルーの概略位置わりあてを含む

## スタンダードセル方式VLSIの概略配線手法

南 文裕

株式会社 東芝

## 1. はじめに

スタンダードセル方式VLSIの概略配線においては、幹線の割り付け方法も大切であるが、フィードスルー位置（以下、単にスルーと称する）の決定も重要な要素である。<sup>[1]</sup>特に、セル上を通過配線できる箇所が少なく、必要なスルーの本数が多い場合、これは大きな問題となる。

一般的にスルーの位置は、ネットごとに処理して決められる場合が多いが、あるネットを処理している時点で、未処理のネットのスルー割り付けのことを考慮することは難しい。このため、後の方の処理ネットほどスルー可能位置が少ない状態になり、迂回配線やスルーセル挿入量の増加が起きやすくなる。さらに、ネットを処理する順序によってこの状況が大きく変化するという問題点もある。

本報告では、このような問題を踏まえ、グローバルにスルー位置を割り付ける処理を含む概略配線の手法を提案し、その有効性について述べる。

## 2. 概略配線手法

## 2.1 レイアウトモデル

扱かう対象は、配線に金属二層を用いるポリセル方式のもので、水平方向に複数のセル行を配置し、セル行間に配線チャンネルが設けられているものである。

スルー配線は、金属第二層目を用いて、セル上の通過可能な位置、あるいは、スルーセルを挿入してその位置にわりあてる。このスルーセルは、セル上通過可能箇所が局所的に全くない領域でスルーを割り当てる必要が生じたときに使用し、大きな迂回配線を生じないようにするためのものである。

## 2.2 全体処理フロー

ネットごとに一度に概略配線経路を決めるのではなく、まず、スルー配線なしで結線できる部分の経路を決定し（全ネット）、次にスルーの必要な箇所を抽出して、その概略割り付け位置を全ネット一括して処理決定し、これをもとにネットごとの全体概略配線経路を決めるという手段をとる。スルーの概略位置割り付けの処理では、スルーの許容量の分布を考慮しながら行い、スルー位置の最適化を図る。以下、その処理手順を示す。

## step 1:

同一ネット内で、スルー配線なしで結線できる端子同士をグループ化する。（図1参照）

## step 2:

端子グループ内の概略配線経路を決定する（全ネットを対象）。Winter<sup>[2]</sup>のように端子グラフを作成し（スルー端子なし）、Minimum Spanning Treeを求めることで決定する。

## step 3:

端子グループ間の接続地点を決定する。

上下方向に隣接する二つの端子グループごとに配線コスト（配線長など）の最も小さくなる接続幹線ペアを求める。（図2参照）

この幹線ペアにX方向の重複があるものをタイプ1と呼び、ないものはタイプ2と呼んで区別する。後者の場合、端子グループ間の結線のために新たな幹線を必要とし、これをJ幹線と呼ぶことにする。

## step 4:

端子グループ間の結線におけるスルー位置の概略決定をする。

タイプ1の場合には、幹線の重複範囲内でスルー許容量の多い位置を選ぶ。また、タイプ2の場合には、J幹線の両端において或る上限を持つ探索範囲内で同様な位置を選ぶ。この上限をつける理由は、J幹線の区間を大きく変えると、チャンネル混雑度に悪影響を与えるからである。

## step 5:

J幹線の割り当てチャンネルを決める。これは、チャンネルの混雑度の低いところへ優先して配置する。

## step 6:

step 4で決めた概略スルー位置をもとに、その近傍での実際のスルー可能位置を探索し、詳細なスルー位置を決める。探索範囲内にスルー可能位置がないときは、スルーセルを挿入する。

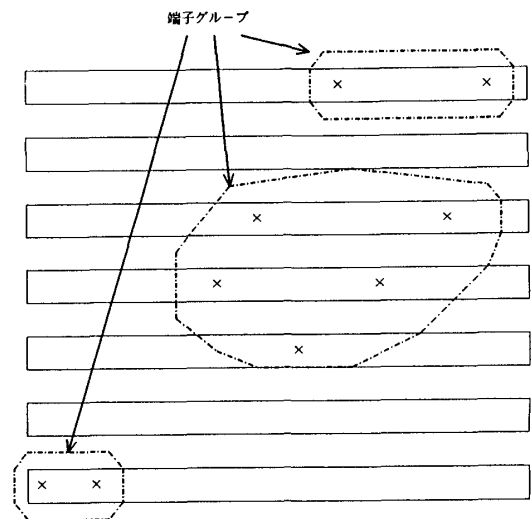


図1

### 2.3 スルー位置の概略決定アルゴリズム

前記 step 4 の処理においては、セル行ごとに、配線グリッドで 10 本程度の一定区間に区切った格子（以下、スロットと称する）を考え、各スロットのスルー許容量を参照しながら、スロット単位のスルー位置決定を行う。なおスルーは、直線的に割り付けることとし、X 方向に探索する。以下、その処理手順を示す。

#### step 4. 1:

スロット毎にスルー許容量の初期値を計算する。

#### step 4. 2:

各スルー箇所の概略位置を決定するための処理順序を決める。これは、次の評価値の小さい順に定める。

第1評価値 = スルー探索の開始スロット位置

第2評価値 = スルー探索のスロット範囲数

第3評価値 = スルーを必要とするセル行数の逆数

おおざっぱに言えば、セル行の左側から探索範囲の自由度の低いものを優先して走査していくことになる。

なお、タイプ1の場合は、幹線の重複範囲がスルー探索範囲となる。タイプ2の場合は、J 幹線の両端側にスルーが必要であるが、各々に J 幹線の中心方向と外側方向とで異なる範囲  $R_i$ 、 $R_e$  を設け、 $R_i$  と  $R_e$  をあわせたものが探索範囲となる。（図2参照）ここに、

$$R_i = \min(T/2, L)$$

T: J 幹線の幹線長、L: constant

$$R_e = \text{constant} < L$$

#### step 4. 3:

step 4. 2 で決定した順に、各スルー箇所のスルー探索範囲内で、次の評価値が最小となる X 方向スロット位置をスルー位置として選択する。

第1評価値 =  $\sum F(C(x, y))$

第2評価値 =  $\sum \max(C_c - C(x, y), 0)$

第3評価値 =  $\sum \min(C_c - C(x, y), 0)$

ここに、

$C(x, y)$ : x スロット y セル行のスルー許容量

$F(a) = 1$  (if  $a \leq 0$ )

$= 0$  (if  $a > 0$ )

$C_c = \text{constant}$

とし、各評価値は、スルーの必要なセル行 y の範囲で和をとる。

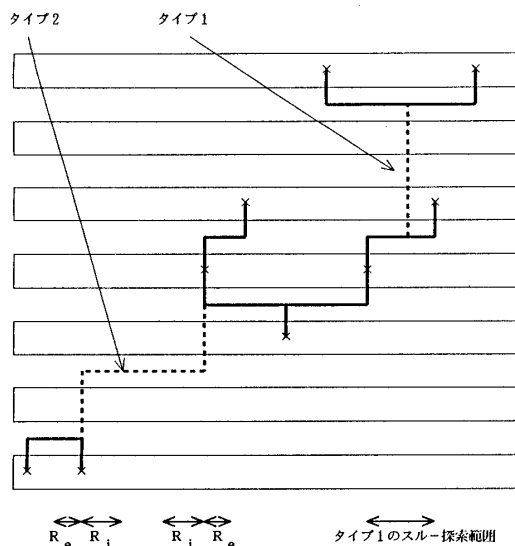


図2

ここでの方針は、スルー許容量の全くないところを極力避け、またスルー許容量が或るクリティカル値以下のところを多く通る場合も避け（一定のスルー許容量を確保したいため）、なるべくスルー許容量の多い所を選択することである。

#### step 4. 4:

決定したスルー位置に関し、スルー許容量  $C(x, y)$  を更新する。タイプ1の場合、そのスロット位置でのスルーの必要なセル行範囲で、許容量を1本ずつ減じる。タイプ2の場合は、J 幹線が配置可能なチャンネル範囲内において、どのチャンネルにも等確率に置かれると考えたときの各セル行ごとのスルー使用の期待値を求め、それを許容量から減じる。

#### step 4. 5:

スルー位置の未決定のものがあれば、step 4. 3 へ戻る。

### 3. 実験結果と考察

表1に示す実験データを用いたときの、スルー位置の概略決定処理（step 4 の処理）の有無による比較結果を表2に示す。これを見ると、1セル行あたりの必要スルーセル数が半減しているのがわかる。これは、スルー必要箇所を一括して抽出しておき、セル行の左側から順にスルー許容量の少なくないところへスルー位置をわりあてていくため、スルー位置の分散と均一化がなされたことによる。その結果、スルーセルの挿入量が減り、ブロック幅は2%縮小している。さらに、二次的効果としてブロック高さも減少している。これは、支線の局所集中が緩和されて、チャンネル内の詳細配線をする上での幹線のトラック割り当て自由度が高くなったためと考えられる。

このように、本手法によるスルー位置の概略決定処理は、集積度向上に有効である。

表1 実験データ

セル数	信号数	セル行数	セル行幅
約2600	約2800	14	約1000グリッド

表2 比較結果

スルー位置の概略決定の有無	なし	あり
1セル行あたりの必要スルーセル数	平均	15.1
	最大	29
ブロック幅の減少率	--	2.0%
ブロック高の減少率	--	1.5%

### 4. おわりに

フィードスルーの概略位置決定処理を含むスタンダードセル方式VLSIの概略配線手法を提案した。本手法によれば、スルー位置の均一化をすることによりスルーセル挿入量を削減でき、その結果、集積度を向上させることができる。

#### 参考文献

- [1] 須貝、他：“フィードスルー位置最適化に着目したスタンダードセル方式VLSIの概略配線手法”，電子情報通信学会 VLD88-8, 1988, pp57-64
- [2] Klaus Winter、他：“Hierarchical Loose Routing for Gate Arrays”, Proc. ICCAD, 1986, pp238-241