ＬＳＩソートチップの試作

7Q-4

楊維康　喜連川優
東京大学　生産技術研究所
科野順蔵　笠原康則　中込宏　伏見信也　太刀掛伸一　鍋田芳則　木村廣隆　沢井善彦
三菱電機コンピュータ製作所

1．はじめに

パイプラインマージソータを構成するソートプロセッサのLSI 化を行った．本LSI ソートプロセッサはCMOSゲートアレイ(1.3μ, 約20000 ゲート) により製作され，最大ソート速度約8MB/秒を実現している．これを複数個線型接続し，所定容量のメモリを付加することにより，最大ソートデータ量64MB，最大ソートレコード数200 万個までの任意の規模のハードウェアソータを容易に構築することができる．ソートレコード数に関しては，接続したソートプロセッサ数の２の冪乗に比例して増加する為，極めて小数個のプロセッサで実用規模のデータを処理することが可能である（本LSI 20石で100 万個のデータがソート可能）．また，プロトタイプで動作検証が行われた各種拡張機能が内蔵されており，現実アプリケーションプログラムに於けるレコード長，レコード数の変化に対して極めて柔軟に対処可能である．これら緒元を表１に示す．

表1. ソートプロセッサの緒元

ソート速度	8MB/秒
ソートデータ量	最大64MB
ソートデータ数	最大２００万個（＝2^{21}個）
レコード長	2B-64KBまで2B単位に可変、但し同一ソートデータ集合内では固定
キー数	制限なし
キー長	制限なし
データタイプ	ビットパタンの単純比較（レコードの最上位ビットからの比較）のみ
昇降順	1B毎に指定可能

2．本ソートLSI の特徴

本ソートLSI は以下の特徴を有している．

(1)　高速性　チップの性能としては最大８MB／秒のデータ処理能力を有しており，これによって，データベース処理での利用等に於ては，現行の最高速のディスクのデータ転送レートに遅れることなくソートが可能である．

(2)　柔軟性　SLT(String Length Tuning) 機能を始め，パイプラインマージソートアルゴリズムをベースに幾つかの機能拡張の制御機構を有しており，ソートするデータのレコード長，レコード数等の変化に対しては，柔軟に対応できる．

(3)　ロジックとメモリの分離　ソータが必要とする大容量メモリは通常の半導体記憶装置とし，ソートの処理部はソートプロセッサとして分離し，即ち，ソートプロセッサにlogic in memory のアプローチは採用しない．また，半導体メモリの高密度化に対して，プロセッサを変えることなく対応可能であり，大容量のソータの構築が容易である．

(4)　機能メモリ　大容量ソータを実装する時に必要なメモリは各ソートプロセッサに従属しているのみのではなく，2-Port化等の実装手法によって，モードの切り替えで通常のメモリとしても利用できるような構成が可能である．これにより，ソート処理を行わない間，そのメモリをマイクロプロセッサのメモリ，ディスクキャッシュ等として利用でき，大容量ソータはソート機能の付加されたRAM とみることもでき，機能メモリとしての新な利用形態も可能である．

3．アーキテクチャ

本ソートLSI は基本的にはプロトタイプのソートプロセッサ［１］をそのままLSI 化したものであり，図１にそのアーキテクチャを示す．図中各部の詳細はここで省略するが，LSI 化に際して以下のような変更及び機能を追加した．

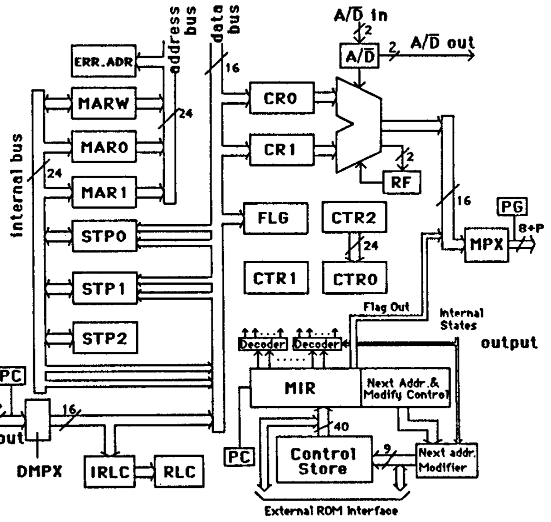

図１ソートLSI の内部アーキテクチャ

The LSI Sort Chip

M. Kitsuregawa, W. Yang
Institute of Industrial Sience,
The Univ. of Tokyo

Z. shinano, Y. Kasahara, H. Nakagome, S. Fushimi,
S. Tachikake, Y. Nabeta, H. Kimura, Y. Sawai
Computer Works, Mitsubishi Electric Co.

(1) RAS 機能　実用的なシステムを構成できるLSI チップを実現する為には，RAS 機能は不可欠なものである．その為に追加したハードウェアは，PC,PG は入出力に於けるパリティ生成／パリティチェックを行い，ERRADRはエラー発生時に，エラー原因とエラー発生メモリアドレスを保持する．本ソートLSI では，以下のエラーが検出され，ERRADRレジスタの上位８ビットにその種別が報告される．また，ECC エラー検出時には当該アドレスがERRADRレジスタ下位24ビットにセットされる．本レジスタは，LSI 外部より読み取りが可能である．

・メモリアクセスの訂正可能ECC エラー検出
・メモリアクセスの訂正不能ECC エラー検出
・不正制御フラグ検出
・マイクロプログラムパリティエラー検出
・入出力データパリティエラー検出

(2) テスト容易化設計　本LSI の作成に於て，テスト容易化設計を行った．特にLSI 内部のROM(本プロセッサではマイクロプログラムを格納する内部制御記憶) に関しては，将来の機能拡張の際に外部のROM により代替することも考慮し，外部／内部制御記憶の切り替え，及びマイクロアドレスの外部／内部入力の切り替えができるようになっている．

(3) ピンネックを解消する為に，データの入出力に於ては，ワード(16 ビット) ←→バイトのマルチ／デマルチプレクスを行う．

4．ＬＳＩ化

表２ではソートLSI のデバイス仕様の概略を列挙する．

表2. LSIのデバイス仕様の概略

実装手法	VTM Gate Array	
LSIプロセス	CMOS 1.3 μ, Al 2層	
パッケージ	160 ピン Quad Flat Package	
Basic Cell数	ROM	27960
	Logic	35949(=11983 Gates)
	Total	63909
I/Oピン	データ入出力	22
	データメモリ インターフェース	47
	マイクロ命令	51
	ソートチップ制御	7
	エラー収集系	5
	VDD/GND	16
	その他	12
	Total	160

本プロセッサのLSI 化に際しては，プロセッサとこれに付加されるメモリも含めたモデルを設定し，全体を５階層／16ブロックに分割して設計した（図２）．メモリを含めたモデルを採用することによりソートデータ入力，ソート結果確認，といったレベルでのシミュレーションが可能となり，プロトタイプソータ設計時に製作したソフトウェアシミュレータを用いてシミュレーションパタン作成を効率良く実施することができた．

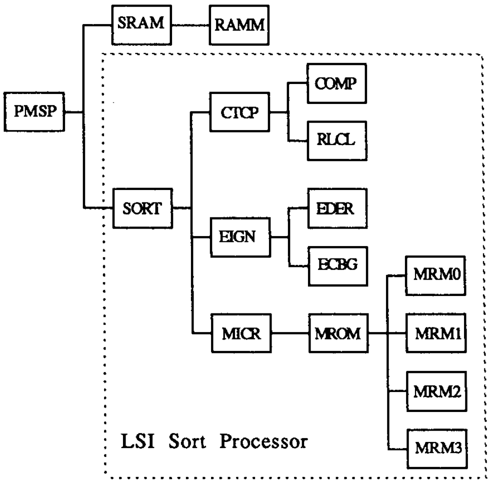

図２．ＬＳＩ階層構造設計

図３に本LSI のピン配置図を示す．ソータを構成する為には，本LSI を一次元に接続し，更に各プロセッサにメモリを付加する必要がある．これを基板上で効率良く実装する為，チップの左右に各々データ入力，データ出力ピンを，チップ上部にメモリインターフェスピンを，チップ下部にROM テストピン等を各々集めて配置した．

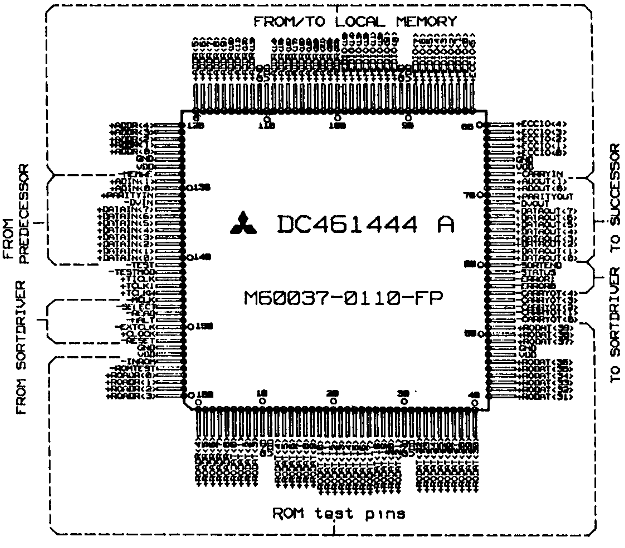

図３．ソートLSI のピン配置

5．むすび

以上LSI ソートチップの概要について述べた．現在そのチップの動作を確認した．今後，本プロセッサの詳細な評価及びそれを利用したソートシステム構成法等について研究を進める予定である．

＜参考文献＞

［１］楊，鈴木，喜連川他「高速(4MB/Sec.)大容量(8MB)ハードウェアソータの実装」 信学技報 CPSY 86-26,1986
［２］伏見，喜連川，楊他「ＬＳＩソートプロセッサ」信学技報 DE 88-2, 1988