

画像処理プロセッサ ImPP を多重リングバス 6N-7 構成にするためのインタフェース LSI

藤田善弘 山崎雅生* 岩下正雄
日本電気株式会社 *日本電気技術情報システム開発株式会社

1. はじめに

画像処理プロセッサ ImPP (μ PD7281)は、周辺 LSI (μ PD9305)を用いてリング・バス接続することにより、容易に8プロセッサ程度の並列処理システムを構成することが出来る。しかし、より複雑・大規模・高速な処理に対する要求を満たすためには、より高並列な処理システムの開発が有効である。そこで、ImPPを8個程度リング・バスで接続したものを1クラスタとし、複数クラスタを並列動作させるシステムについて開発を進めている。本報告では、そのようなシステムを実現するための1構成部品として開発したインタフェース LSI について述べる。

2. システム構成

図1に本 LSI の前提とするシステムの構成例を示す。本 LSI は8個程度の ImPP とパイプライン・リング・バス LRB(Local Ring Bus)によって接続され1クラスタを構成する。本 LSI 及びクラスタ内の各 ImPP は、トークンによってデータの授受を行う。各 LSI 間はさらに別のパイプライン・リング・バス IRB(Inter Ring Bus)によって接続されており、全ての ImPP はこの IRB を通して、他のクラスタの任意の ImPP に対してトークンを送ることが出来る。

各クラスタのインタフェース LSI にはローカル・メモリが接続されており、クラスタ内の ImPP は本 LSI を通じてローカル・メモリをアクセスする。

各ローカル・メモリは共有メモリと高速ブロック転送バスで接続されており、ImPPからの起動トークンによって、本 LSI の制御のもとでブロック転送が行われる。各インタフェース LSI 及び共有メモリは、ホスト・プロセッサとバス接続されており、レジスタの設定やプログラム、データの転送等を行う。その他、カメラ、ディスプレイのために各々ダブル・バッファ構成のフレーム・メモリがあり、ImPPを1つだけ持つクラスタとして構成されている。このとき、フレーム・メモリはローカル・メモリとして扱われる。

3. 機能

上記のようなシステム構成を想定している本 LSI の機能の内、ここでは、従来のインタフェース LSI μ PD9305と異なる機能として、クラスタ間通信、メモリ制御、ダブル・バッファ制御、映像同期制御、リード・モディファイ・ライト、分散リフレッシュ等の機能について述べる。

3.1 クラスタ間通信機能

クラスタ間の同期処理、及び簡単なデータ転送を行うため、各インタフェース LSI 間をリング・バスで接続し、任意の ImPP からのトークンのクラスタ間転送を可能にした。そのため各クラスタに8ビットのクラスタ番号を割り当てた。クラスタ間トークンを送るとき、ImPPは本 LSI の行き先クラスタ番号レジスタをセットした後、クラスタ間転送起動トークンを送る。本 LSI はその通常の32ビットのトークンに、レジスタ内の8ビットの行き先クラスタ番号を付加し、40ビットのトークンとして IRB に送り出す。各インタフェース LSI は IRB 上のトークンの行き先クラスタ番号を調べて、自分のクラスタ番号と一致すればクラスタ番号を外し LRB に取り込む。IRB は8ビット幅の非同期転送バスであり、40ビットのトークンを5回に分けてハンドシェイク転送する。

3.2 メモリ制御機能

本 LSI の前提とするシステムでは、分散されたローカル・メモリが各クラスタ毎に本 LSI を経由して

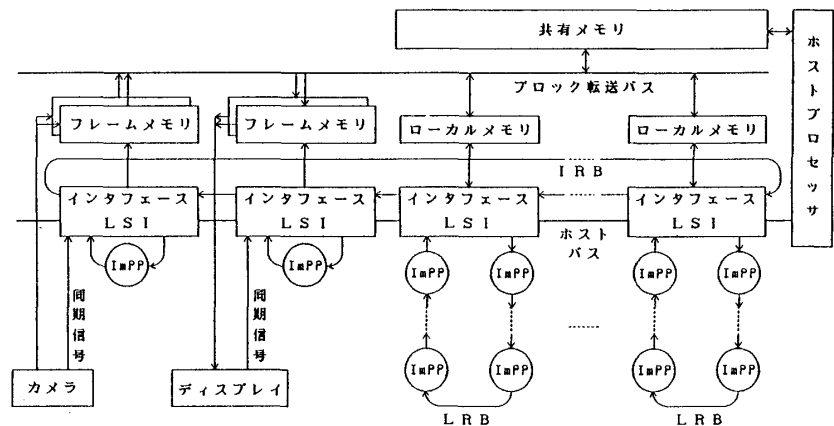


図1. システム構成例

接続されており、各クラスタ単位で独立にアクセスされる。すなわち、全てのImPPはLRBを経由して自分のクラスタのローカル・メモリにのみアクセスできる。各ローカル・メモリは1つの共有メモリと高速のブロック転送バスを介して接続されており、クラスタ間のデータの交換や共有データの保持に用いられる。このブロック転送バスを実現するために、2ポート・メモリを使用し、ブロック転送中もローカル・メモリのアクセスは中断されない。

①ローカル・メモリ・アクセス：ローカル・メモリは、64Kワードを1バンクとして、8バンクまで接続することができる。ImPPからのリード/ライト・トークンの、ID部で指定されるメモリ・バンク内の、データ部で指定されるアドレスをアクセスする。

②ブロック転送機能：ImPPからのトークンの指示により、本LSIの制御のもとでブロック転送を行う。本LSIは外付けのブロック転送回路に対して、リクエスト信号、転送する方向、ローカル/共有メモリ・アドレス等を出力する。このブロック転送は、2KWを単位として1～32回までの連続転送を指定でき、本LSIはその回数分、外部のブロック転送回路に対してリクエストを送る。また、ブロック転送終了時にImPPに対してブロック転送終了トークンを出力することができるので、ImPPはブロック転送終了後直ちに処理を実行することができる。

3.3 ダブル・バッファ制御機能

カメラ入力、ディスプレイ出力のためのフレーム・メモリは、各々ダブル・バッファ構成となっている。この、2面構成になっているフレーム・メモリは同一のアドレスを持っており、一方がブロック転送バスに接続されているときは、他方はカメラもしくはディスプレイに接続されている。このため、一方を表示もしくはカメラ入力に使用しながら、他方で画像処理を実行できる。本LSIは、この2面の切り替えを行うための信号線を持っており、ImPPからのダブル・バッファ制御トークンによって切り替えることができる。

3.4 映像同期制御機能

動画像処理を行うときは、上記のダブル・バッファを、カメラやディスプレイの同期信号に合わせて切り替える必要がある。本LSIはそのために、映像同期信号入力、映像同期制御レジスタ、映像同期トークン・レジスタを持っている。映像同期制御レジスタは、ImPPからの映像同期制御トークンによってセット、リセットできる。また、映像同期トークン・レジスタはImPPからの映像同期トークン設定トークンによってセットされる。映像同期制御レジスタがセットされていると、映像同期信号が入力されるたびに、映像同期トークン・レジスタに格納されているトークンがLRBに出力される。

3.5 リード・モディファイ・ライト機能

本LSIは2段のリード・モディファイ・ライトの機能を持ち、ImPPからの1つの起動トークンによ

ってor、and、xor、inc、+、-、nopの任意の組合せの2段のモディファイが出来る。そのときのデータは、その起動のされ方により2通りある。

①モディファイされるデータのアドレスで起動

マスク・レジスタ1に1段目のマスクを、マスク・レジスタ2に2段目のマスクをセットした後、モディファイされるデータが格納されているアドレスで起動する。ヒストグラム処理やビット操作などに用いる。

②マスク・データで起動

マスク・レジスタ1に1段目のマスクをセットし、アドレス・レジスタにモディファイされるデータが格納されているアドレスをセットした後、2段目のマスク・データによって起動する。

3.6 分散リフレッシュ機能

本LSIはローカル・メモリのリフレッシュ制御機能を持ち、リフレッシュ・アドレス及びリフレッシュ・タイミングを生成する。特に、本LSIで採用した機能として、分散リフレッシュ機能がある。これは、各クラスタのリフレッシュが同じタイミングで起こり、大電流が流れることを避けるためである。この機能を実現するため、リフレッシュ・カウンタの初期値をホスト・プロセッサが設定できるようにし、また全てのインタフェースLSIで一斉にカウントを始めるためのリフレッシュ・スタート信号入力線を持っている。

4. 諸元

図2に本LSIの諸元、図3に信号線の内訳を示す。

デバイス	CMOSゲートアレイ
クロック	10MHz
ゲート数	約1万ゲート
パッケージ	PGA 208ピン

図2. 諸元

信号名	本数(データ制御)
ローカル・リング・バス	(16+2)×2
インター・リング・バス	(8+2)×2
ホスト・バス	16+6
DMA制御	5
ローカル・メモリ・アドレス	19+4
ローカル・メモリ・データ	18
共有メモリ・アドレス	16+4
内部状態出力	26
クロック、リセット、その他	5

図3. 信号線の内訳

5. おわりに

ImPPを多重リング構成にするために開発した、インタフェースLSIについて、その主な機能であるクラスタ間通信、メモリ制御、ダブル・バッファ制御、映像同期制御、リード・モディファイ・ライト、分散リフレッシュ等の機能について述べた。

最後に、御指導頂いたパタン認識研究部浅井部長、天満課長に感謝します。