

ORION プロセッサの概要

2N-6

宮本 力博 大野 真義 柳田 耕二 瀬賀 明雄

(沖電気工業(株) コンピュータシステム開発本部)

1. はじめに

今回我々は、"ORION"と呼ぶRISC指向アーキテクチャをとる32ビット計算機を開発し試作を行った。本論文においては、このORIONシステムにおいてLSIとして試作したプロセッサについて報告する。

2. プロセッサ構成

ORIONプロセッサの構成を図1に示す。ここで、CPU、CMMUは、今回開発したLSIである。CPUは、浮動小数点演算を含む演算処理プロセッサであり、CMMUは、キャッシュ及びTLBを内蔵するメモリ管理プロセッサである。CPUからは、命令バスとデータバスの2組のバスが出ており、それぞれのバスに1~2個のCMMUが接続される。これらのバスは、一方は、命令フェッチ用で、他方はデータアクセス用というように異なる用途に使用されるためそれぞれの特徴を踏まえて異なるアクセス方式を採用している。ただし、各バスに接続されるCMMUは同一のものを使用可能で、各CMMUに対する外部からの設定によって使い分ける。CPUに接続された各CMMUは、共通な一組の内部バスに接続され、この内部バスを介してメモリI/O及び他のプロセッサとの接続を行う。CPUは、2個並列に接続することによってCPUの二重化を行うことができ、障害の早期検出を可能としている。

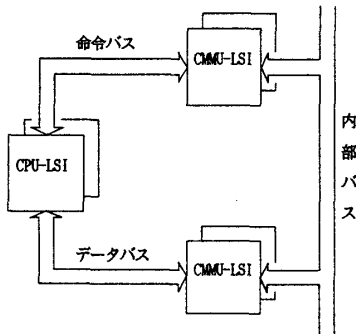


図1 プロセッサの構成

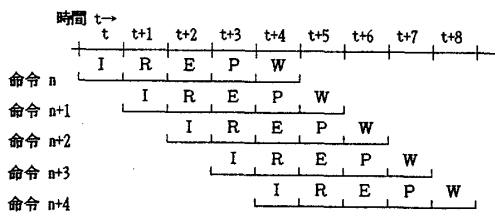


図2 基本パイプライン構成

3. CPU-LSIの仕様と構成

CPUは、ORIONアーキテクチャにもとづく命令を高速に実行するLSIである。CPUでは、より高速に命令を実行させるため次のような特徴を持つ。
 ◇命令の並列実行
 5命令を並列に実行可能。(図2参照)

◇命令のプリフェッチ機能
 CPU内に8命令分のスタックをもち、先行する命令を、最高8命令までプリフェッチ可能である。このスタックには分岐命令検出機能を持ち、プリフェッチされた命令に対して分岐命令検出を行うことにより分岐先の命令をもプリフェッチする。これによって、有効な命令のみをあらかじめスタック上に並べて置くことができ命令実行シーケンスを乱さずかつ無駄なサイクルをなくして高速化を図っている。さらに、命令の実行部とは独立して動作するため、命令実行部に影響されずに常に先行命令をプリフェッチできる。

◇命令とデータのバスを分離
 命令フェッチ用のバスとデータアクセス用のバスを分離させ、並列アクセスが可能である。

◇レジスタのコンフリクト対策
 並列に実行されている命令のレジスタ間のコンフリクトに対し、複数のバイパス機能を有し命令の実行を遅らせないようにしている。

CPU-LSIの仕様を表1にブロック構成図を図3に示す。

4. CMMU-LSIの仕様と構成

CMMUは、キャッシュメモリを内蔵しアドレス変換機構を持つメモリ管理機能LSIである。CMMUは、メモリアクセスを高速に行うため次のような方式を用いている。CPUからの論理アドレスを仮想アドレスに変換したものを、TLB、キャッシュディレクトリ、及びキャッシュデータに同時に投入し、さらにその結果の比較を同時におこなうことによってキャッシュのアクセス時間を短くしている。

CMMU-LSIの仕様を表2に、内部構成を図4に示す。

5. おわりに

本論文では、試作したORIONプロセッサについて述べた。このプロセッサは、現在動作の確認が終了し、現在はアーキテクチャの有効性の評価、及び性能の評価を行っている。今後は、この結果を踏まえさらに高性能のプロセッサを開発していく予定である。

参考文献

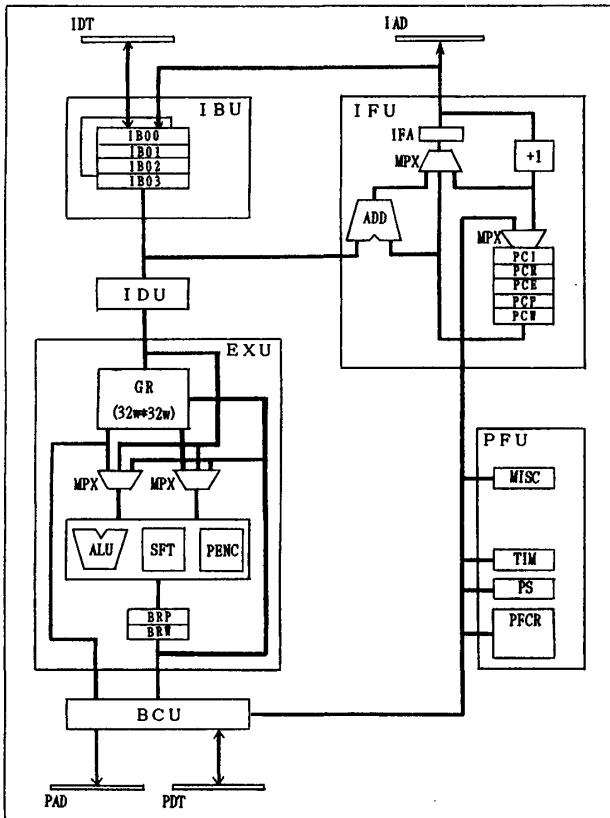
[1] 阿部 来住 三井 瀬賀: ORION アーキテクチャの概要、情報処理学会 第37回全国大会

表1 CPULSIの仕様

項目	仕様諸元	
マシンサイクル	50nS	
パイプライン段数	5段	
性能	10MIPS (DHRYSTONE)	
浮動小数点演算機構	有 (ハード、ファームの2種から選択可)	
ノンストップサポート	デュアルCPUモード有	
マルチプロセッササポート	ブロードキャスト機構有	
デバッグサポート機構	有	
CMMUインタフェース	命令バス 7'以(32bit) データ(64bit) MPX データバス 7'以(32bit) データ(32bit)	
デバイス	パッケージ	208PIN PGA/QFP
	テクノロジー	1.5μCMOS スタガードセ
	Tr数	150 kTr
	チップサイズ	13 mm * 13 mm

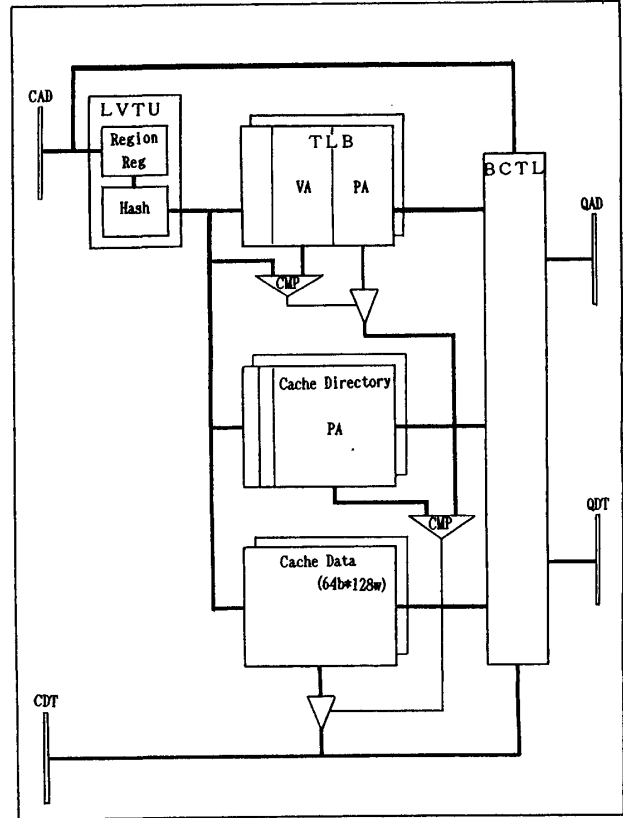
表2 CMMULSIの仕様

項目	仕様諸元	
マシンサイクル	50nS	
アドレス変換	変換方式	単一仮想/Hash-index方式
	仮想アドレス	256 TB (2 ⁴⁸)
	ページサイズ	4 kByte
	TLB	64エントリ * 2-Way
キャッシュ	キャッシュモード	ページ単位にCacheable/Non Cacheable, Copy Back/Write Through設定可
	キャッシュディレクトリ	128エントリ 2-Way Set Associative
	キャッシュデータアレー	128エントリ * 2 * 16 B
内部バスインタフェース	7'以(32bit) データ(64bit) 転送単位 1/2/4/16 Byte	
デバイス	パッケージ	208PIN PGA/QFP
	テクノロジー	1.5μCMOS スタガードセ
	Tr数	340 kTr
	チップサイズ	13 mm * 13 mm



- IBU: 命令プリフェッチ用バッファ。8命令分の命令スタックと分岐命令検出機構を持つ。命令スタック上で分岐命令を検出すると後続命令の無効化を行うと共にIFUに対し分岐情報の通知を行う。
- IFU: 命令プリフェッチ制御ユニット。IBUからの分岐情報による分岐先をも含めプリフェッチする命令のアドレス計算を行い、アドレスを送出しプリフェッチ動作を行う。
- IDU: 命令のデコードユニット
- EXU: 命令の演算ユニット。演算回路、32本の汎用レジスタ、レジスタコンフリクトバイパス回路等からなる。実行に際し、命令間のレジスタコンフリクトを検出しており、各ステージ間でのバイパス回路を制御する。
- BCU: データアクセス用バスインタフェースユニット
- PFU: 汎用レジスタを除く各種レジスタファイルユニット

図3 CPULSIの内部構成



- LVTU: 論理アドレスから仮想アドレスへの変換ユニット。Region Register 及びハッシュ回路等からなる。
- TLB: 高速アドレス変換ユニット。128エントリの変換テーブルからなる。このTLBによってLVTUから受けた仮想アドレスから物理アドレスへの変換を行う。
- Cache Directory: キャッシュデータのアドレス及びその情報をもつ。LVTUから仮想アドレスを受けTLBと並行してキャッシュ情報をアクセスする。
- Cache Data: キャッシュデータ。LVTUから仮想アドレスを受け、TLB及びCache Directoryと並行してキャッシュデータをアクセスする。
- BCTL: CPUバス及び内部バスとのインタフェースユニット。他に、コピーバック時やノンキャッシュャブル時、及びキャッシュミス時での外部メモリアクセス制御も行う。

図4 CMMULSIの内部構成