

レジスタ・ファイルを含む論理回路のテストパターン自動生成

7R-1

猿山 秀一 荻原 拓治 村井 真一

三菱電機(株) 情報電子研究所

1. はじめに

論理回路の大規模化に伴い、そのテストはますます困難になりつつある。この問題を解決する手法の一つとして、スキャン設計のようなテスト容易化設計が行われている。しかし、スキャン設計は回路内の記憶素子をすべてシフトレジスタにしてスキャンパスを構成するため、ゲート数が増加する。従って、レジスタファイルのような記憶素子を多く含む論理回路に適用することは、チップ面積の点から非現実的であった。従来、このような回路に対しては人手でテストパターンを作成し、故障シミュレーションを行っていたが、故障検出率の高いテストパターンを作成するには多くの時間を要していた。このような問題点を解決するため、スキャン設計を適用していないレジスタファイルを含む論理回路のテストパターン自動生成プログラムを開発した。

2. レジスタファイル

レジスタファイルを含む論理回路の一般的構成を図1に示す。このような回路の特徴としては、順序回路であっても、レジスタ-レジスタ転送のない一段レジスタ回路であり、一般順序回路(例えばカウンタ)よりも比較的容易にテストパターン自動生成が可能である。

テスト生成モデルとしては、レジスタアレイ部を1bit Dラッチに展開し、デコーダ、セレクト部等その他の部分を基本ゲート(AND、OR等)に展開した形で取り扱う。

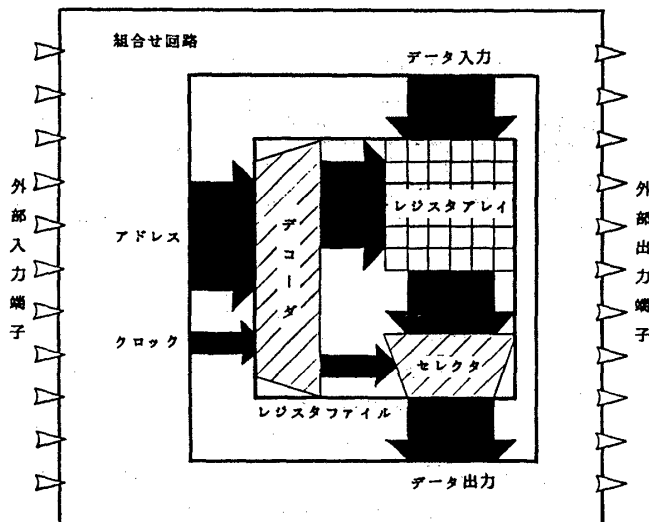


図1. レジスタファイルを含む論理回路

3. プログラムの構成

プログラムは次に示す3段階で構成されている。

- 故障生成 等価故障を除去した代表故障のみ生成する。なお、扱う故障は単一縮退故障である。
- 試験容易性尺度計算 可制御性・可観測性尺度からなるGoldstein 尺度 [1] を若干変形した尺度を計算する。この尺度は、テストパターン生成時に制御、観測容易な経路の選択基準として使われる。
- テストデータ生成 次節で述べるテストパターン生成アルゴリズムと故障シミュレータを繰り返し適用することによりテストデータを自動生成する。

4. テストデータ生成

4.1 テストパターン生成アルゴリズム

従来、組合せ回路に対しては、PODEM [2] 等のテストパターン生成アルゴリズムが発表されており、スキャン設計を適用した回路に対しては、スキャンパスで囲まれた部分は組合せ回路とみなすことができるので、テストデータ自動生成が可能であった。今回開発したアルゴリズムは、Dラッチを含む回路を扱うため、組合せ回路用のアルゴリズムを時間軸に展開したものである。従って、組合せ回路においては1つの故障を検出するテストパターンは1パターンであったのに対し、本アルゴリズムでは数パターンから成るテストパターン系列を自動生成する。

本アルゴリズムは基本的には、(1)故障の存在する信号線の値が故障値と逆の値になるように外部入力端子に値を設定する(故障の影響の発生)、(2)故障の影響が外部出力端子まで伝搬するように外部入力端子に値を設定する(故障の影響の伝搬)という2段階で構成されている。

(1)、(2)においてはそれぞれの目的を達成するため信号線に目的値が選択され、その目的値をもたらすように外部入力端子に値が設定される。

●故障の影響の発生 図2は内部信号線に目的値をもたらすために選ぶ次の目的値の例をDラッチの場合について示している。図2の例では、Dラッチの出力に信号値1をもたらすためには、データ入力Dに1、クロック入力EにC(クロック)を次の目的値とすることにより達成できる。また、これが達成できない場合は、現時刻においてE入力は0、1時刻前において、Dラッチの出力が1を次の目的値とすることにより達成できる。

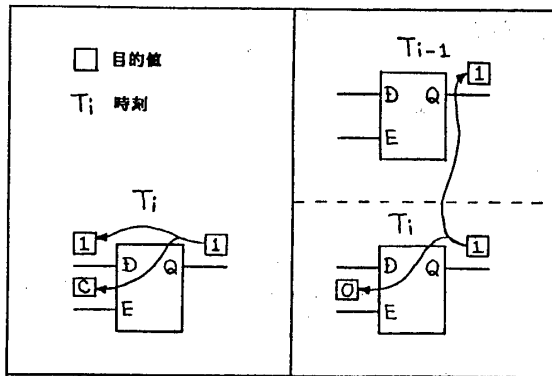


図2. 目的値の選択

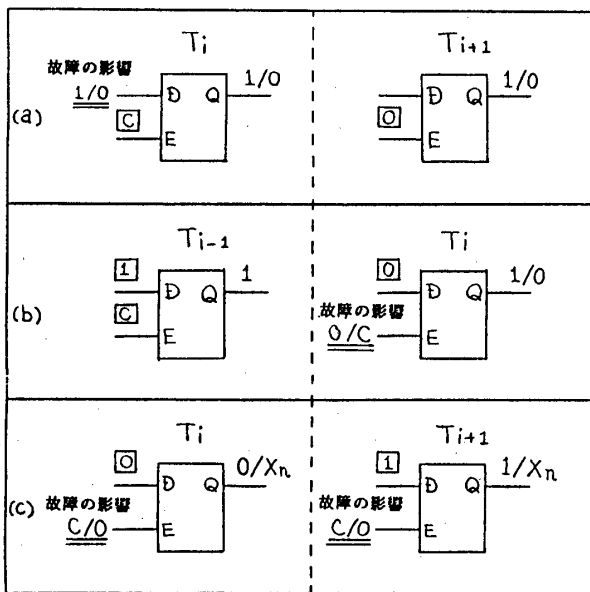


図3. 故障の影響の伝搬

故障の影響の発生においては、故障の存在する信号線に故障の縮退値と逆の値を初期目的値とし、外部入力端子に向けて図2のような規則を各素子に順次適用していくことにより、外部入力端子の設定値が得られる。

●故障の影響の伝搬 図3は、故障の影響が素子の入力に伝搬した場合、さらにそれを出力に伝搬させるための次の目的値の例をDラッチの場合について示している。Dラッチに対しては次の3つの伝搬方法がある。(a) D入力に故障の影響が伝搬した場合、E入力において目的値をCとすることにより、故障の影響が伝搬する。また、この時刻内で故障を伝搬できない場合は、次の時刻でE入力に目的値を0とすることにより、故障の影響を次の時刻に保持することができる。(b) E入力に故障の影響0/C(正常値/故障値)が伝搬した場合、前の時刻と現在の時刻とでD入力の目的値を異なるようにすることにより、故障の影響が伝搬する。(c) 故障の影響C/0がE入力に伝搬した場合、故障回路においてはDラッチの出力値を決定することができなくなる。そこで本アルゴリズムでは、故障によって出力値を決定できないD

ラッチの故障値には固有初期値 X_n (n はDラッチの固有番号)を与え、正常値0、1と X_n との故障の影響である $0/X_n$ 、 $1/X_n$ の両方を外部出力端子まで伝搬させるようにする。実際の回路では、 X_n は0または1のどちらかであるので、外部出力端子まで伝搬した $0/X_n$ 、 $1/X_n$ のどちらかが実際の故障の影響となるので、このような故障に対してもテストパターンが生成可能となる。

故障の影響の伝搬においては、故障の存在する信号線から外部出力端子に向けて図3に示したような伝搬方法を各素子に順次適用していくことにより、故障の影響を伝搬させる外部入力端子の設定値が求まる。なお、分岐により故障の影響が複数になった場合、可観測性尺度を参照して観測容易な方を選択する。

4.2 故障シミュレータ

生成したテストパターンで同時に検出される故障を除去するため、故障シミュレータを併用する。本プログラムで用いる故障シミュレータは、コンカレント方式[3]に、先に述べた固有初期値 X_n を扱えるように拡張し、 $0/X_n$ 、 $1/X_n$ の両方が外部出力端子まで伝搬した場合に、その故障を検出できたとして除去するものである。

5. 実行結果・まとめ

表1に、本プログラムによりレジスタファイルを含む論理回路のテストデータを自動生成した結果を示す。2つの回路に対し、故障検出率100%のテストデータが自動生成された。

本プログラムの開発により、従来、人手でテストパターンを作成し、故障シミュレーションを行っていたレジスタファイルを含む論理回路に対し、高品質のテストデータを自動生成することが可能となった。

表1. 実行結果 (6.5MIPS計算機)

回路	ゲート数	Dラッチ数	故障数	検出率	パターン数	実行時間
#1	1261	64	1513	100%	240	415sec
#2	1387	128	2196	100%	224	774sec

参考文献

- (1) L. H. Goldstein. "Controllability/Observability Analysis of Digital circuits". IEEE Trans. on Circuits and Systems. Vol. CAS-26, No. 9. pp. 685-693. September 1979.
- (2) P. Goel. "An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits". IEEE Trans. on Computer. Vol. C-30, No. 3. pp. 215-222. March 1981.
- (3) E. G. Ulrich and T. Baker. "The Concurrent Simulation of Nearly Identical Digital Networks". Proc. 10th Design Automation Workshop. pp. 145-150. June 1973.