

自動論理合成システムLUNAを用いた
論理回路設計

3R-6

増淵 美生、平川 久美子、吉村 政彦、宮田 操
(東芝 総合研究所)

1. はじめに

我々は、大規模VLSIの設計を機能・論理レベルから支援することを目的とした階層的ハードウェア設計言語H²DLと、これに基づく自動論理合成システムLUNAの開発を進めてきた^[1,2]。本報告では、LUNAの概要とLUNAによる回路設計フローを示し、その特徴と有効性を明らかにする。

2. LUNAの概要

LUNAはレジスタ・トランスファ・レベルの機能記述であるH²DL内部仕様記述を入力とし、最終的に、ターゲット・テクノロジーでのインプリメンテーションを、素子の接続関係としてH²DL接続記述の形式で出力するものである。なお、現在のターゲットはCMOSスタンダード・セル方式のLSIである。

LUNAのシステム構成を図1に示す。

H²DL内部仕様記述は、まずトランスレータによりセルを意識しない初期回路に変換される。論理合成エンジンはこの回路に対し、展開・単純化等の処理を施し、最終的にセルから成る回路に変換する。これらの処理は、知識ベースに蓄えられた設計知識に基づいて行われる。設計知識は主に、

IF (ある回路パターンAが存在)
THEN (AをBに変換)

という規則の形で記述されている。論理合成エンジンは、回路中から規則の条件部を満たす部分回路を探索し、変換を施すことを繰り返す。設計知識としてはこの他に、ある局面での規則群を適用するかというメタ知識も持っており、これにより無駄なルール探索を避けている。

単純化は、local transformation方式^[3]で行っている。この方式では、回路の一部を変換したことにより新たにルールが適用される可能性が生ずる部分は、変換を受けた部分の周辺に限られるという性質がある。LUNAではこの性質を利用して探索回路の範囲を限定し、高速化を図っている。

回路構造データはUNET (Universal Network)と呼ぶ形式で統一的に表現されており、全てのプログラムはこれに対して処理を行うように構成されている。UNETは、セルを意識しない初期回路から、セルレベルの回路までを扱うように定義されているが、特に、記述された機能情報を回路中に表現するた

めに、次のような特徴を持つ。

- ①ビット幅を持つ信号線や論理ゲートが扱える。
- ②記述された関数や状態に対応するエレメントが定義できる。
- ③ファシリティへの入力信号と条件信号等のような信号線の種類の区別が可能である。

なお、UNET上の回路は、任意の時点で自動的に図面化して、グラフィック・ディスプレイまたはプロッタに出力することが出来る^[4]。

3. LUNAによる回路設計フロー

(1) 機能記述

設計者はまず、設計対象回路の入出力端子及びレジスタ等の構成要素を決め、その動作をH²DL内部仕様記述の形式で記述する。この時、サブモジュールとして機能だけが決まっており、入出力仕様や制御方法等の詳細が未決定のものを使用できることが、大きな特徴である。これをハードウェア・プロセスと呼び、その機能(プロセス)をアルゴリズム・レベルの記述により定義する。内部仕様記述中では、そのプロセスを起動することにより、サブモジュールとして動作させることができる。

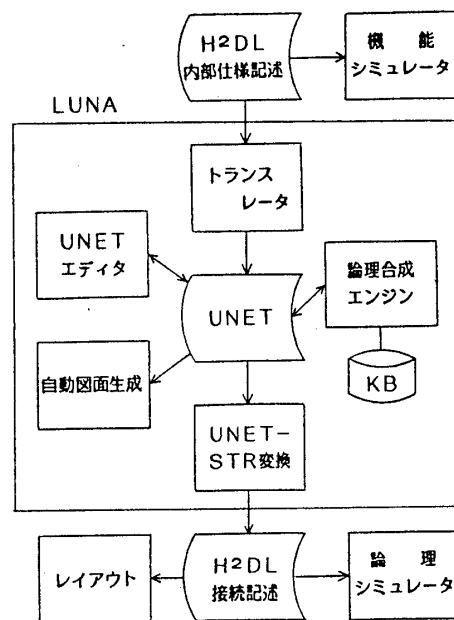


図1

図2に、簡単な信号制御回路の内部仕様記述例を示す。ここでは、時間チェックモジュールをハードウェア・プロセスとしているが、その記述は省略した。

(2) 初期回路の生成

LUNAは、トランスレータにより内部仕様記述を初期回路に変換する。ここではターゲット・テクノロジーを意識せずに、記述された機能情報を出来るだけ保存した形で回路を生成する。その後、LUNAはこの機能情報を利用した最適化を回路上で行う。

高レベルの機能情報を用いた最適化は、回路の質の向上とともに、それ以後の処理量の削減につながり、効果が大きい。また、このレベルでは機能のまとまり単位で回路を扱うため、データ量や処理量が小さくてすむという利点がある。

(3) モジュール指定

設計者は次に、ハードウェア・プロセスとしていたサブモジュールの端子や制御方法を定める。このとき、サブモジュール周辺の状態を回路上で直接参照できるため、最適な方式を決定することが出来る。設計者がハードウェア・プロセスの呼び出し条件や引数と実際の端子との対応関係を指定すると、LUNAはこれに従い、必要ならばデータセレクタ等を生成して、サブモジュールを置換える。

また、レジスタやラッチとしてどのセルを用いるかについても、基本的には、設計者に指定してもらう。これは、LUNAが論理ゲート以外のセルに関して持っている知識は、主にセルの割付け方法についてであり、どの局面でどのセルを用いるべきかという知識が欠けているためである。例えば、あるレジスタに対してD-FFとJK-FFのいずれを割りつけた方が良いか、という知識は備えていない。従って、現在はデフォルトの割付けセルを決めてあり、これと異なるセルを用いる場合に、その指定をするようにしている。

なお、これらの指定は任意時点で可能であり、一部のみの指定も出来る。

(4) 自動セル割付けと接続記述化

```
(INTS) EXAMPLE;
(IN) NCAR, ECAR, CLOCK;
(OUT) NGO, EGO;
(CFD) TIME :: CHECKER;
(NAM) ON = 1, OFF = 0;
(STT) CLOCK;
NRER : NGO = OFF; EGO = OFF;
CASE NCAR !! ECAR OF
  2B1? :: BEGIN
    CHECKER.START();
    NEXT NGER;
  END;
  2B01 :: NEXT NREG;
  2B00 :: NEXT NRER;
ENDCASE;
NGER : NGO = ON; EGO = OFF;
CASE NCAR !! ECAR OF
  2B1? :: BEGIN
    CHECKER.CONT();
    NEXT NGER;
  END;
  2B01 :: BEGIN
    CHECKER.CLEAR();
    NEXT NREG;
  END;
  2B00 :: BEGIN
    CHECKER.CLEAR();
    NEXT NRER;
  END;
ENDCASE;
NREG : NGO = OFF; EGO = ON;
CASE NCAR !! ECAR OF
  2B?1 :: NEXT NREG;
  2B10 :: BEGIN
    CHECKER.START();
    NEXT NGER;
  END;
  2B00 :: NEXT NRER;
ENDCASE;
(EXC) CHECKER & ECAR: DIRECT NREG;
(ENDINTS);
```

図2

設計者が指定すべきモジュール割付けがすむと、LUNAは、残りの部分に対して回路の展開・単純化等を行なった後、セル割付けを行う。これで、全てセルまたは設計者定義のサブモジュールから成る回路がUNET上に作成されたことになる。

図3に合成回路の出力図面を示す。

最後にLUNAは、論理シミュレータやレイアウト・システム等の既存のCADシステムに接続データを渡すために、UNETをH²DL接続記述の形式に変換して出力する。

なお、ハードウェア・プロセスとしていたサブモジュール自身の回路は、別に設計しなければならない。勿論、この仕様をH²DL内部仕様記述で記述し、LUNAを用いて回路合成することが出来る。このように、H²DLとLUNAにより、大規模回路のトップダウン設計が効率的にサポートされる。

4. おわりに

以上、我々が開発を進めてきた自動論理合成システムLUNAの概要と、LUNAによる回路設計フローについて述べた。現在、システム全体が稼働中であり、実用の大規模回路を合成し、評価を実施している。

今後は、合成回路の質の向上、及び処理の高速化を目指した改良と、タイミング設計のサポート機能強化について検討を行っていく予定である。

参考文献

1. Miyata M. et. al., Automatic Logic Synthesis From H²DL Description, ISCAS 85.
2. 増淵他、H²DLに基づく自動論理合成システムの概要、第31回情報大全1J-1.
3. Darringer J.A. et. al., Logic Synthesis Through Local Transformations, IBM J. Res. & Dev., 1981.
4. 真鍋他、機能論理設計のための図面生成用自動配線アルゴリズム、第33回情報大全2R-5.

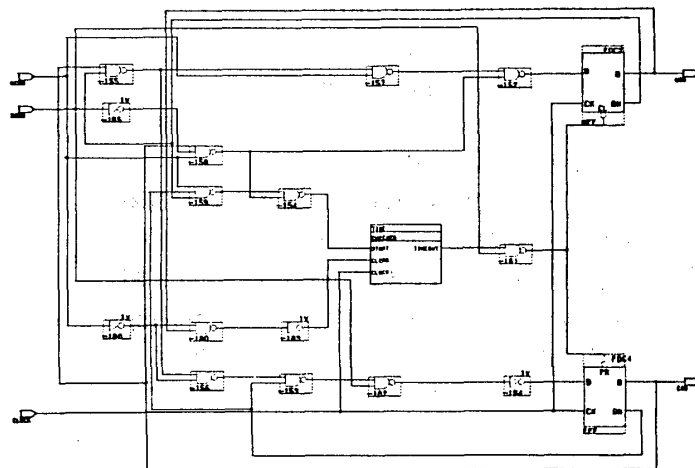


図3