

# LSI 信頼性の統合解析方法

渡邊 眞之<sup>†</sup> 星 誠<sup>†</sup> 黒川 敦<sup>†</sup>

<sup>†</sup>弘前大学 理工学部 電子情報工学科

## 1. はじめに

LSI の経時劣化は市場不良を招く可能性があり、品質保証を十分考慮した設計が必要である[1]。信頼性に影響を与える因子として、ゲート酸化膜破壊 TDDB (Time-Dependent Dielectric Breakdown) [2]、負バイアス温度不安定性 NBTI (Negative Bias Temperature Instability) [3,4]、ホットキャリア注入 HCI (Hot-Carrier Injection) [5]、エレクトロマイグレーション EM (Electro-Migration) [6]、そしてばらつきとしてランダムテレグラフノイズ RTN (Random Telegraph Noise) [7]等がある。一部の組み合わせの報告はあるが、これら全てを総合的に考慮した解析方法はまだ提案されていない。

本論文では各種信頼性因子の特徴を様々な寿命モデルと一緒に示し、各因子の設計での扱いについて言及し、多種の因子を統合的に扱う方法を提示する。

## 2. 信頼性へ影響を与える因子と設計での扱い

図 1 はデジタル回路の動作時の信頼性劣化の主因子を示したものである。入出力状態に応じて主因子は変化する。

TDDB/BTI/HCI/EM に関する平均故障寿命 MTF (Mean Time to Failure) は従来報告されたものを集約すると以下ようになる。

$$MTTF_X = A_X \cdot F_X \cdot \exp(E_{a,X} / (kT)) \quad (1)$$

但し、 $A_X$  はテクノロジー依存定数、 $F_X$  は電圧や電界の関数、 $E_{a,X}$  は活性化エネルギー、 $k$  はボルツマン定数、 $T$  は絶対温度である。寿命モデルから劣化モデル  $\Delta P$  への変換は以下を用いる。

$$MTTF = A \cdot f(p_1, p_2, \dots) \Rightarrow \Delta P = A' \cdot f^{-1}(p_1, p_2, \dots) \cdot t^n \quad (2)$$

但し、 $\Delta P$  は  $\Delta V_t, \Delta I_d, \Delta V_t / V_{t0}$  等で表現する。

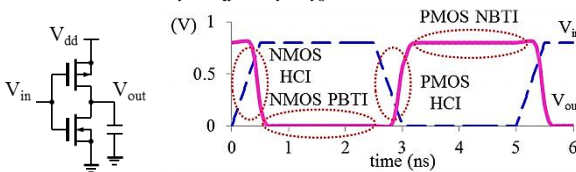


図 1 動作時の BTI と HCI

### 2.1 TDDB

完全破壊 HBD (Hard Breakdown) と、微細プロセスではその前段階で徐々にゲート電流  $I_g$  が増加する疑似破壊 SBD (Soft Breakdown) がある。式(1)の  $F_X$  は指数  $E$  モデル  $\exp(-\beta_{TDDB1} \cdot E_{ox})$ 、指数  $\sqrt{E}$  モデル  $\exp(-\beta_{TDDB3} \sqrt{E_{ox}})$ 、指数  $1/E$  モデル  $\exp(\beta_{TDDB2} / E_{ox})$ 、指数  $V_g$  モデル  $\exp(-\beta_{TDDB4} \cdot V_{gs})$ 、

べき乗則  $V_g$  モデル  $V_{gs}^{-\gamma_{TDDB}}$  や  $(1/(LW))^{\gamma_{TDDB}} V_{gs}^{-\gamma_{TDDB}}$  等が提案されており、微細では後者 2 つが有力である。

品質保証期間 (例えば 10 年) 内に、SBD による  $I_g$  増加の影響が出るかどうかを保証最大電圧・温度、回路 (最小  $LW$ 、常時 DC 印加) でチェックし、影響があれば考慮すればよい。

### 2.2 BTI

BTI の特徴は、PMOS の NBTI が支配的で、NMOS の PBTI はほとんど無視できること、高温で顕著となり、常温以下ではほとんど劣化しないこと、ストレスを与えない (もしくは逆バイアスや低温にする) とリカバリ効果により回復すること、完全には元に戻らない恒常的要因 (permanent component) が存在することである。また、BTI の物理現象メカニズムはまだ議論中で、反応・拡散 (reaction-diffusion) モデルがよく用いられる。式(1)の  $F_X$  は  $\exp(-\beta_{BTI2} \cdot V_{gs})$ 、 $V_{gs}^{-\gamma_{BTI1}}$ 、 $(t_{ox} \sqrt{C_{ox}(V_{gs} - V_t)})^{-1} \cdot \exp(-E_{ox} / \beta_{BTI1})$  等がある。但し、 $E_{ox} = (V_{gs} - V_t) / t_{ox}$ 。劣化は  $\Delta V_t$  が主であるが、 $\Delta I_d$  の劣化量がより大きい場合は、移動度  $\Delta \mu$  で補正すべきである[4]。

Worst 条件 (最長保証期間、保証最大電圧・温度、回路動作含む) で BTI による閾値変動の影響があれば設計で考慮する。

### 2.3 HCI

HCI は DAHC (Drain Avalanche HC、基板電流最大  $V_{gs} = V_{ds} / 2$ ) と CHE (Channel Hot Electron、電界最大  $V_{gs} = V_{ds}$ ) によるものが主要因である。入力スルー、負荷容量  $C_L$ 、電源電圧の増加に伴い劣化量が増大する。劣化量はチャネル幅  $W / C_L$  に逆比例する。AC 寿命には  $Duty = (t_r + t_f) / t_{clk}$  が使われる場合がある。基板電流  $I_{sub}$  モデル (PMOS では  $I_g$ ) と電界/電圧モデルがある。式(1)の  $F_X$  は基板電流モデルでは  $(I_{sub} / W)^{-\gamma_{HCI1}}$  や  $(I_{sub} / I_d)^{-\gamma_{HCI2}}$ 、 $L^{-\gamma_{HCI3}} \cdot (W / I_d) \cdot (I_{sub} / I_d)^{-\gamma_{HCI4}}$ 、電界/電圧モデルでは  $\sqrt{L} \cdot \exp(-\beta_{HCI1} E_{ox}) \cdot \exp(-\beta_{HCI2} V_{ds})$ 、 $(\alpha f)^{-1} \cdot \exp(-E_{ox} / \beta_{HCI3})$ 、 $\{V_{ds}^{-\gamma_{HCI5}} \cdot (W / I_d)^{-\gamma_{HCI6}}\}^n$ 、 $\exp(\beta_{HCI4} / V_{ds})$ 、 $V_{gs}^{-\gamma_{HCI7}} \cdot V_{ds}^{-\gamma_{HCI8}}$  等がある。

Worst 条件 (保証最大電圧・温度、回路動作含む) で HCI による閾値・移動度変動の影響があれば考慮する。

### 2.4 EM

式(1)の  $F_X$  は  $(j - j_{crit})^{-\gamma_{EM}}$  であり、Cu で

Integrated Analysis Method of LSI Reliability  
Masayuki Watanabe<sup>†</sup>, Makoto Hoshi<sup>†</sup> and Atsushi Kurokawa<sup>†</sup>  
<sup>†</sup>Department of Electronics and Information Technology,  
Faculty of Science and Technology, Hirosaki University

$\gamma_{EM} \approx 1.1$ である。また、 $j$ は電流密度で配線の場合  $j = CV_{dd}/(WH) \times f \times P_r$  ( $WH$ は幅と厚み、 $f$ は周波数、 $P_r$ はスイッチング確率)、 $j_{crit}$ はクリティカル電流密度である。

Worst 条件でベント配線やコンタクト/ビアの EM 起因の抵抗増加が保証期間内に生じる可能性があるならば、 $\Delta R_w$ として考慮する。但し、EM は劣化シミュレーションというより、むしろ危険個所を見つけ物理設計対策すべきであり、対策が困難な場合に動作確認の劣化シミュレーションをすべきである。

### 2.5 RTN とばらつき

RTN は  $I_g, V_t, I_d$  の変化として表れるが、32nm 世代まではその量は小さい。RTN の特徴として、 $I_d$  変動は  $V_g$  が低いときに相対量が大きくなる。また SBD 後の RTN は大きくなる。例えば閾値変動モデルは以下が提案されている[7]。

$$\Delta V_t = q \cdot \alpha(xl_i) / \{W_{eff} \cdot L_{eff} \cdot (\epsilon_{ox} / T_{ox})\} \quad (3)$$

RDD (Random Discrete Dopant) や LER (Line Edge Roughness) による閾値変動、リソグラフィや平坦化による配線形状や酸化膜厚変動と同様に、RTN の影響がある場合はばらつきとして Best/Worst コーナーに含めるのが現実的である。

### 3. 解析方法

解析精度は測定データと使用するモデルに依存する部分もあるが、ここではモデルにあまり依存しない方法論を示す。

各因子を設計で考慮すべきかどうかは目安として、例えばデジタル回路では遅延への影響が 1%以上あれば考慮すべきである。3.2 節で示すセルベース解析では 3%未満ならば Worst コーナー (ばらつき) のマージンとして扱い、3%以上あれば劣化量の平均シフトとして扱うのが現実的である。危険個所を見つけ修正の参考にするという観点と動作検証として劣化シミュレーションをするという観点の両方から述べる。

#### 3.1 トランジスタレベル解析

回路シミュレータを用いてトランジスタレベルで解析する場合のフローを図2に示す。1度前処理として、回路動作を求め、確認したい経年後の劣化パラメータを算出する。図中の Waveform Analysis では、SDB/BTI/HCI/EM に関する劣化量算出に必要な電圧・電流やタイミング情報を得る。

BTI や HCI 起因閾値変動と移動度変動、TDDB 起因ゲートリーク変動、EM 起因配線抵抗 (ビアとコンタクト含む) 変動、RTN 起因閾値変動と移動度変動を考慮し、同時に解析する。回路シミュレータに直接上記機能を組み込むのが理想であるが、内蔵せずにシンプルに行うには以下のようにする。

- 閾値変動  $\Delta V_t$  は delvt0 を使用
- 移動度変動  $\Delta \mu$  は mulu0 を使用
- $\Delta I_g$  は電流源をネットリストに付加
- 配線  $\Delta R_w$  はネットリストに付加

• RTN 及び LER 等によるばらつきは Best/Worst コーナーとして  $\Delta V_t$  に設定

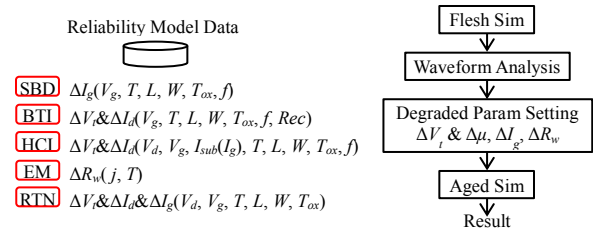


図2 トランジスタレベル解析フロー

#### 3.2 セルベース解析

セルベース解析を行うには、セルの特性抽出とイベント情報が必要である。前者は図3左に示すように入力スルーと負荷容量に応じた特性抽出を行う。過渡状態として1トグル時の情報(基板電流)を求め、HCIの劣化モデルに利用する。イベント情報は論理シミュレータを用いる。ロー/ハイのタイミング(時間軸での電圧・電流)は TDDB/BTI/HCI/EM 起因劣化量産出及び遅延感度に利用する。確率的スイッチングを用いる場合、イベント数はわかるがタイミングがわからないので DutyCycle=50%等の仮定が必要である。

静的タイミング解析 STA (Static Timing Analysis) を利用する場合は、前処理として行う遅延計算から、各トランジスタの端子電圧・電流、入力スルー、負荷容量がわかるので、それらを利用する。図3右に解析フローを示す。イベント情報がない場合は、平均もしくは最大動作周波数で便宜上行うのが現実的である。

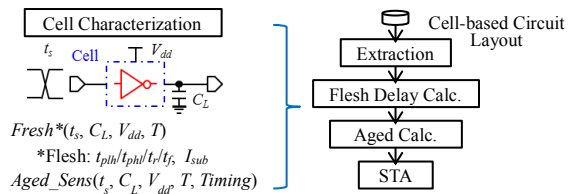


図3 セルベース解析フロー

### 4. まとめ

経時劣化の信頼性課題は今後の LSI の重大なキーとなる。信頼性劣化は複数要因から同時に生じるので、因子を個別に考慮した設計では不正確なばかりか、膨大な時間を要する。本論文では、信頼性各因子の特徴と設計での扱いを示し、統合的に解析するための方法論を提示した。

#### 参考文献

- [1] A.W. Strong, et al., "Reliability Wearout Mechanisms in Advanced CMOS Technologies," Wiley-IEEE Press, 2009.
- [2] W. Lai, et al., "Impact of stress induced leakage current on power-consumption in ultra-thin gate oxides," Proc. IRPS, pp.102-109, 2004.
- [3] S. Bhardwaj, et al., "Predictive modeling of the NBTI effect for reliable design," Proc. CICC, pp.189-192, 2006.
- [4] 黒川, 他, "信頼性保証のための NBTI のモデリングとシミュレーション方法," Proc.IEICE 回路とシステムワークショップ, pp.13-18, 2007.
- [5] X. Li, et al., "Compact modeling of MOSFET wearout mechanisms for circuit-reliability simulation," IEEE Trans. Device and Materials Reliability, vol.8, no.1, pp.98-121, 2008.
- [6] J. Lienig, "An introduction to electromigration-aware physical design," Proc. ISPD, pp.39-46, 2006.
- [7] M.B. da Silva, et al., "Modeling the impact of RTS on the reliability of ring oscillators," Proc. SBCCI, pp.128-133, 2010.