

平面型トランジスタ，SGT を用いたシステム LSI のパターン面積の比較検討

小玉 貴大 渡辺 重佳

1. まえがき

近年 LSI の高集積化のため 3 次元型構造のトランジスタとして SGT (Surrounding Gate Transistor) [1]が提案された. SGT と平面型でパターン面積を比較した例は紹介されているが[2][3], 特定のデザインルールの場合の比較にとどまっている. そこで本論文では, デザインルールの中でも重要な拡散層上のコンタクトとゲート間距離(以下ゲートコンタクト間距離と略す), SGT を設計する上で独自のデザインルールとして新たに導入する必要があるゲート電極の厚さの 2 点に着目して, SGT を用いた簡単な論理回路や 1 ビットフルアダー等のスタンダードセルのパターン面積を初めて定量的に比較した.

2. ゲートコンタクト間距離に着目したインバータ, NAND 回路のパターン面積の比較

本論文で用いたデザインルールを表 1, 表 1 のデザインルールを用いて設計した SGT を図 1 に示す. 図 1 に記載されている Silicon pillar size は, 上から見たシリコン柱の面積を示す. Silicon pillar では必ず上部にコンタクトを形成するため, 図 1 に示すようにコンタクト回りのゲートコンタクト間部分も含まれる. ゲートコンタクト間距離をパラメータ $nF(n=0.25, 0.5, 0.75, 1)$ としてインバータ, 2 入力, 3 入力, 4 入力 NAND のパターン設計を行った (入力数はインバータ, NAND, NOR 回路等の単純なゲートへの入力数として用いる). 簡略化のために, SGT と平面型は同一 W/L, 印加電圧の時, 同一ドレイン電流が流れると仮定して設計を行った. またゲート電極の厚さの効果を取り除くために SGT のゲート電極の厚さは無視した (SGT のシリコン柱サイズは, $(F+2nF) \times (F+2nF)$ となる). 表 1 のデザインルールでレイアウト設計した SGT と平面型の CMOS インバータのパターン図を図 2 に示す. SGT の設計では最も集積密度が高く出来るマルチピラー SGT を使用する[4]. SGT では 4 側面をチャンネルに使用出来るために平面型と比較してパターンの縦幅を大幅に低減できる. また SGT では平面型で必要なゲート電極の走

る幅(平面型ではゲート電極の幅であるゲート長 F がパターンの横幅に含まれる)が不要なため, パターンの横幅も若干縮小できる. インバータでのパターン面積縮小率のチャンネル幅依存性を図 3 に示す. 縦軸は同じゲートコンタクト間距離 (以下図面では G-C と略す) で設計した縮小率 (SGT/Planar) を示し, 横軸はチャンネル幅を示す. ゲートコンタクト間距離が短く, チャンネル幅が大きいほど SGT のパターン面積の縮小効果が大きくなった. チャンネル幅を増やすと, 縦幅が減る効果が効く割合が増えるため, 平面型に対する SGT のパターン面積の縮小率が上がる. 2~4 入力の NAND でも同一の比較をしたところ, 入力数を増やすと, PMOS と NMOS の素子分離の面積などが増えるため, SGT のパターン面積の縮小効果は下がることがわかった. インバータの比較と同様にゲートコンタクト間距離が小さく, チャンネル幅が大きいほど SGT のパターン面積の縮小効果が大きくなることから, これらの効果は回路の種類に関係なく一般的な特性であると考えられる.

表 1 設計に用いたデザインルール

Table 1 Design rule for pattern design

	Planar	SGT
Gate length	F	F
Gate to contact	nF	nF
nMOS to pMOS	3F	3F
Wiring to wiring	F	F
Contact size	F × F	F × F

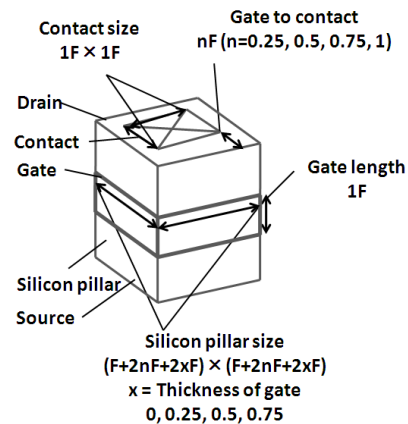


図 1 デザインルールを適用した SGT の立体図

Fig.2 Design rule with SGT

Department of Information Science, Shonan Institute of Technology 1-1-25 Tsujido-Nishikaigan, Fujisawa, Kanagawa, 251-8511 Japan
Study of pattern area reduction for System LSI with SGT and stacked SGT

Takahiro KODAMA, Shigeyoshi WATANABE

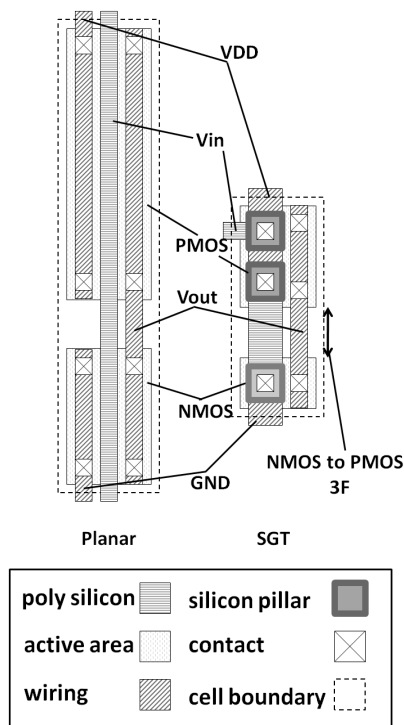


図2 平面型とSGTのCMOSインバータのパターン図
Fig.2 Pattern layout of inverter with planar and SGT

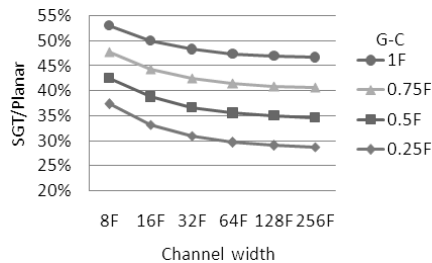


図3 G-Cに着目したインバータのパターン面積の縮小率

Fig.3 Pattern area reduction of inverter (G-C = 0.25F, 0.5F, 0.75F, 1F)

3. 各種回路方式での1ビットフルアダーの設計

2章ではSGTのシリコン柱を覆うゲートの厚さを無視して設計した場合について述べた(図2に示してあるように、SGTはシリコン柱をゲートが覆う構造をしている)。次にこのゲートの厚さを考慮したSGTのパターンをレイアウト設計し、平面型とパターン面積を比較した。ゲート膜厚の値は最小値の0Fに加え、0.25F、0.5Fの計3つのパラメータを用いた。ゲートコンタクト間距離0.5F、最小チャンネル幅(8F)でレイアウト設計を行ったインバータ、多入力NANDのパターン面積の縮小効果を図6に示す。入力数が少なく、ゲートの膜厚が薄いほどSGTのパターン面積の縮小効果が大きくなることがわかった。シリコン

柱のサイズは $(2F+2xF) \times (2F+2xF)$ になる(xは膜厚の値)。膜厚が厚くなるとxの値が大きくなりシリコン柱の面積が増加する。平面型は膜厚を厚くしても高さが増すのみでパターン面積は増えない。そのため、膜厚が厚くても影響が少ないインバータが最も縮小効果が高くなる。またチャンネル幅を変更してパターン面積の比較を行った。その結果、チャンネル幅が大きいほどSGTのパターン面積の縮小効果が高くなった。第2章で述べたチャンネル幅が増すとパターン面積の縮小率が高くなる効果は、ゲート膜厚を変更しても得られることがわかった。

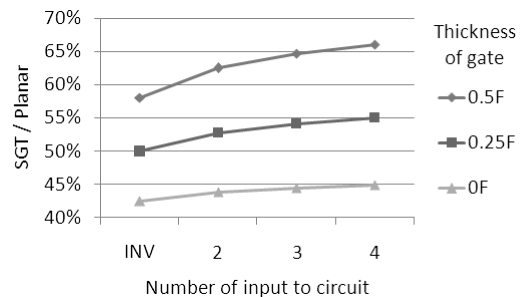


図6 ゲート膜厚に着目した論理回路のパターン面積の縮小率

Fig.6 Pattern area reduction of logic circuit
(Thickness of gate = 0F, 0.25F, 0.5F)

4. むすび

SGT, 平面型トランジスタを用いて設計したインバータ, NAND等の簡単な論理回路等のパターン面積の比較は、入力数が少なく、チャンネル幅が大きく、コンタクトとゲート間距離が狭く、ゲート膜厚が薄いトランジスタで平面型に対するSGTのパターン面積の縮小効果が大きいことがわかった。

文献

[1] H. Takato et al., "Impact of SGT for ultra - high density LSIs", IEEE Trans. Electron Devices, vol. 38, pp. 573 - 578, 1991
 [2] 横田智広, 渡辺重佳, "SGTによるシステムLSIパターン面積縮小効果の検討," 信学論(c), pp.537-539, 2009.
 [3] S. Watanabe, "Impact of Three-Dimensional Transistor on the Pattern Area Reduction for ULSI" IEEE Trans. Electron Devices, vol. 50, no. 10, pp.2073-2080, Oct. 2003
 [4] N. Nitayama et al., "Multi-pillar surrounding gate transistor (M-SGT) for compact and high-speed circuits," IEEE Trans. Electron Devices, Volume: 38, Issue: 3 (1991) 579-583
 [5] T. Endoh, Y. Wada, K. Sato, K. Yamada, T. Yokoyama, N. Takeuchi, K. Tanaka, N. Awaya, K. Sakiyama, and F. Masuoka, "Novel ultrahigh-density Flash memory with a stacked surrounding gate transistor (S-SGT) structured cell," IEEE Trans Electron Devices, Vol.50, no.4, pp. 945-951, Apr. 2003.
 [6] K. Sakui and T. Endoh, "A compact space and efficient drain current design for multi pillar vertical MOSFETs," IEEE Trans Electron Devices, Vol.57, no.8, pp.1768-1773, August. 2010