

電源電圧に応じてトランジスタサイズを最適化可能な セルライブラリの生成システム

西澤 真一 石原 亨 小野寺 秀俊
京都大学大学院 情報学研究科

概要 セルベース設計を利用する ASIC において、スタンダードセルの特性は回路性能に大きな影響を与える。集積回路のエネルギー効率を高める手法として電源電圧の低下が有効であるが、トランジスタのオン電流は電源電圧や回路構造によって変動するため、電源電圧によって最適なスタンダードセルの構成は異なる。しかしスタンダードセルの設計は複雑であり、設計工数とコストが必要になる。本稿では、電源電圧に応じてトランジスタサイズを最適化したスタンダードセルライブラリを生成可能なライブラリ生成システムについて議論する。プロセスに依存しないシンボリックライブラリとプロセス情報を利用することで、特定のプロセスと電源電圧に最適化した物理レイアウトと回路図を生成する事が可能である。特定の電源電圧に対してトランジスタの P/N 比をセルごとに最適化することで、スタンダードセルの遅延性能を向上する事が可能である。本システムを利用して商用 28-nm FDSOI プロセスを対象にセルライブラリの生成を行う事ができることを確認した。また P/N 比をセルごとに最適化することで、P/N 比をすべてのセルで統一した場合に比べ、トランジスタスタックを持つセルの遅延特性が改善される事を確認した。

Layout Generation Tool for Standard Cell Library with Flexible P/N Well Boundaries for Low Voltage VLSI Design

Shinichi Nishizawa, Tohru Ishihara, and Hidetoshi Onodera
Graduate School of Informatics, Kyoto University

Abstract This paper discusses the standard cell library generator for energy efficient VLSI design. The performance of standard cells has a strong impact on the performance of a circuit synthesized with the standard cell library. Lowering the supply voltage is one attractive way to improve the energy efficiency of VLSI. However, the optimal gate width of each standard cell vary due to the supply voltage modulation since the on transistor on current depends on its supply voltage. We developed a standard cell library generator which can generate the standard cell library which is optimized for the specific supply voltage. Using both the process independent cell topology data and the mask design rule, generator program generates the actual cell layout which is mapped to the target mask design rule. Also, this system generates standard cell library which transistors P/N width are optimized for specific supply voltage. We generate two set of standard cell libraries which targets commercial 28-nm FDSOI process. Result shows P/N width optimization reduces the cell delay which has stacked transistors.

1 序論

セルベース設計を行う ASIC において、スタンダードセルの性能は回路性能に直結するため非常に重要である。設計対象の回路に求められる動作速度、消費エネルギーおよび回路面積はそれぞれ異なるため、一般にスタンダードセルライブラリは様々な論理、駆動力を持つスタンダードセルを数百種用意することで、回路合成の自由度を上げてている。また駆動力を確保する手法として、スタンダードセルの高さを変えたライブラリを用意する事もある。このようなセルライブラリを人手ですべて設計することはコストを必要とし、また製品の TAT を長くする原因にもなる。人手によるレイアウトの負荷を削減するために、CAD やプログラミング言語による設計支援の研究がなされている。アナログ/RF 回路設計においては、Cadence 社の PCell(Parameterized Cell)[1] や SKILL 言語 [2] が広く使われている。これらは設計者が指定した回路定数に対応するレイアウトを生成する事が可能であるが、面積密度が低く、デジタル回路で多用されるスタンダードセルを利用するセ

ミカスタム設計の設計フローへの親和性が低い。そのためスタンダードセルライブラリそのものを生成するプログラムが提案されている [3]。文献 [4] では、回路図からセルのレイアウトを自動生成する手法を提案している。レイアウト構造の異なる同一論理のセルの生成を可能にする事で、面積、遅延、およびプロセスばらつき耐性といった観点における最適なセルレイアウトの探求を可能にしている。文献 [5][6] では、駆動力の異なる同じ外形のセルを生成し、マクロのレイアウト設計後にセルの駆動力を最適化する事でマクロの消費エネルギーを削減する手法を提案している。一方これらの手法は Pwell と Nwell の境界や配線トラックなどの配置グリッドが固定されており、プロセスごとに異なる PMOS/NMOS のオン電流の補償のためにセルライブラリの面積効率が悪化する問題がある。

電源電圧の低下は集積回路の消費電力を削減させる効果的な手法である。電源電圧の低下によってトランジスタのオン電流は悪化し、特にトランジスタスタックの多い回路ではオン電流が急激に悪化する。そのため多入力セルにおける立ち上がり遅延と立ち下がり遅延のバランスは電源電

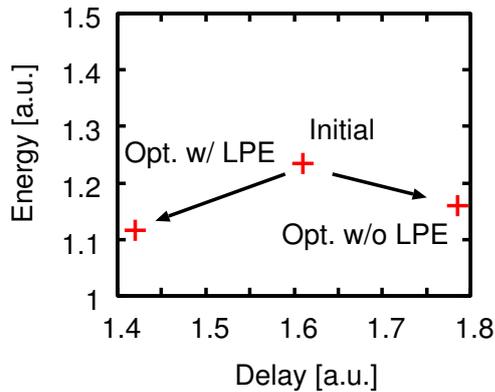


図 1: レイアウトによる寄生 RC 成分が DFF の最適化結果に与える影響。

圧によって変動する。遅延のバランスが崩れると、遅延および消費エネルギーが悪化する。遅延のバランスを改善する手法として、特定の電圧に対してトランジスタサイズやもしくはトランジスタの PN 比を最適化する手法が挙げられる [7][8]。セルの性能が要求性能を満たすことを確認するために、実際にセルのレイアウトを作成する必要がある。しかし個々の条件に合わせて人手でレイアウトを作成する事は、コストが必要になる。

セルのトランジスタサイズの最適化する場合においても、レイアウトに依存する寄生 RC を正しく見積もる必要がある。図 1 に、フリップフロップのトランジスタサイズの最適化において、レイアウト中の配線などの寄生 RC を見積もった場合、およびレイアウトからの寄生 RC の見積もりを行わなかった例を示す。図 1 からわかるように、レイアウト中の寄生 RC の効果によって、最終的な解が異なることがわかる。このように寄生 RC の効果を見積もるためにはレイアウトを作成する必要があるが、設計を収束させるために複数回のレイアウト作成が必要になるためライブラリ生成の TAT を長くする原因となる。

本論文ではスタンダードセルライブラリを自動生成するレイアウト生成システムについて議論する。製造プロセスに非依存のライブラリ情報に製造プロセスの情報をマッピングすることで、特定の製造プロセスのデザインルールを満たすセルライブラリを生成する。レイアウト生成を自動化する事でレイアウト生成のコストを削減するだけでなく、セルの特性を遅延や面積などの評価指標に応じてプログラムを用いて最適化する事が可能になる。またデザインルールを満たす範囲内で任意の PN 境界を持つセルを生成する事を可能とすることで、PN 比をセルごとに独立して最適化したセルライブラリの生成を可能にする。本プログラムを利用して、商用 28-nm プロセスを対象とした 9Grid セルライブラリを生成した。また動作電圧 0.5V を対象に PN 比を最適化することで、回路の消費エネルギーの削減を実現する。

論文の構成を以下に示す。2 章において、スタンダードセルライブラリ生成システムについて議論する。3 章におい

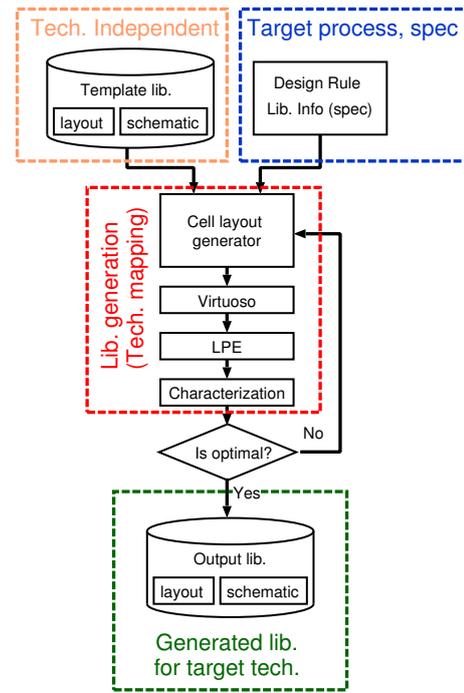


図 2: セルライブラリ生成フロー。

て、提案システムを利用して作成した特定電圧向けに P/N 比を最適化したセルライブラリの評価を行う。4 章にて結論を述べる。

2 セルライブラリジェネレータを利用したセルレイアウトの生成

セルライブラリジェネレータを利用して、特定電圧に対してスタンダードセルのレイアウトを生成するフローを図 2 に示す。またスタンダードセルを特定電圧向けに最適化する手法として、文献 [8] で提案している様な、スタンダードセルごとに PN 境界を変化可能なセルの構造を採用する。セルライブラリジェネレータを利用して一旦セルライブラリを生成し、このセルライブラリに対して最適な PN 比の探査を回路シミュレーションを利用して行う。得られた最適な PN 比の情報を元に、再度レイアウトジェネレータを利用してセルライブラリの生成を行う事で、PN 比最適化セルライブラリを生成する。

2.1 入力ファイルの定義

本節ではセルライブラリジェネレータについて説明する。セルライブラリ生成プログラムはプロセスに依存しないレイアウト (以下シンボリックレイアウト) から対象とするプロセスに対応するレイアウト (以下実レイアウト) を生成する。実レイアウトを生成するために、対象プロセスのマスクデザインルール、生成するライブラリの情報を入力する。

図 3: NAND2 セルのシンボリックレイアウトにおける各オブジェクトの座標情報.

```

1 @TEMPLATE NAND2_1X
2 NMOS2 2.500 2.000 wn02
3 NMOS2 1.500 2.000 wn01
4 PMOS2 2.500 7.000 wp02
5 PMOS2 1.500 7.000 wp01
6 PLCONTV 1.500 4.500
7 NDCONTH 3.000 1.000
8 PLCONTV_OFFSETL 2.500 4.500
9 PDCONTH 2.000 6.000
10 PDCONT_MIPOWERL 3.000 9.000
11 PDCONT_MIPOWERR 1.000 9.000
12 NDCONT_MIPOWERR 1.000 0.000
13 PIN1 2.500 3.000 2.500 4.500
14 PIN1 3.000 1.000 3.000 6.000
15 PIN1 1.500 3.000 1.500 4.500
16 PIN1 2.500 4.500 A
17 PIN1 1.500 4.500 B
18 PIN1 3.000 4.500 YB
19 M1 3.000 6.000 2.000 6.000
20 POLY 1.500 6.500 1.500 2.500
21 POLY 2.500 6.500 2.500 3.000
22 BOUNDARY 0.500 0.000 3.500 9.000
23 @END

```

シンボリックレイアウト シンボリックレイアウトはプロセスに依存しないレイアウトである。シンボリックレイアウトで想定するグリッドにおける、PMOS や NMOS といったトランジスタ、信号配線の配置情報をテキスト形式で定義する。シンボリックレイアウトは、通常のレイアウト設計と同様に Virtuoso で設計を行い、Virtuoso から座標上を SKILL を利用して抽出することが可能である。シンボリックレイアウトの例を図 3 に示す。

マスクデザインルール マスクデザインルールは、対象とするプロセスのデザインルールを記載したテキストファイルとなっている。Poly やメタルのスペーシング、最小幅等の情報を格納する。レイアウトジェネレータは本ルールを読み込むことで、プロセスに依存しないシンボリックレイアウトをマスクデザインルールを満たす実レイアウトに変換する。

ライブラリ情報ファイル 生成対象のライブラリの情報を格納するファイルである。生成するライブラリの名前の定義、ベーシックセルの縦/横の単位格子の大きさ、ベーシックセルの配線ピッチ数、電源レールのメタル層および配線幅、共通の PN 境界の大きさを定義する。

2.2 グリッドの定義

2.2.1 シンボリックレイアウトのグリッドの定義

シンボリックレイアウトにおいて、MOS や配線などすべてオブジェクトはシンボリックレイアウト上に定義されたグリッド上に配置する。例えばシンボリックレイアウトの $(X,Y)=(1,1)$ に NDCONT オブジェクトを置いた場合、“NMOS の右下にコンタクトをデザインルールを考慮しな

から配置する” という命令となる。グリッドは 0.5 単位である

X 方向の配置グリッドである GridX は、整数のグリッドを Metal グリッド、Metal グリッド+0.5 を POLY グリッドとしている。Metal グリッドは信号配線および Diffusion へのコンタクトを配置するグリッドに対応する。POLY グリッドはポリシリコンおよびゲート直上の信号配線、ポリシリコンへのコンタクトを配置するグリッドに対応する。

Y 方向の配置グリッドである GridY は横方向の信号配線に対応する。GridY の定義は以下の様になっている。シンボリックレイアウトのグリッドの定義を図 4 に示す。

2.2.2 実レイアウトのグリッドの定義

シンボリックレイアウトに配置された各オブジェクトを実レイアウトに配置するために、シンボリックレイアウトにおけるグリッドに対応する実レイアウト上の配置グリッドを計算する必要がある。プログラムは、入力されたシンボリックレイアウトの座標情報とデザインルールの情報から、実レイアウトのグリッドを計算する。

X 方向の配置グリッドである GridX は、シンボリックレイアウトの GridX をほぼそのまま展開する。従って実レイアウトにおける GridX はコンタクトピッチに対応する。ただしトランジスタが隣接せず拡散領域が途切れるレイアウトの場合、GridX は途切れた 2 つの拡散上におけるコンタクトの最小距離に設定する。

Y 方向の配置グリッドである GridY はシンボリックレイアウトでは PMOS/NMOS 領域共に 3 つ用意されているが、セルライブラリの UnitTile の高さおよびセル内部のトランジスタサイズによって、PMOS/NMOS 領域に確保可能な配線トラック数が変化する可能性がある。従ってシンボリックレイアウトに存在する Y 方向のグリッドを縮約する必要がある。NMOS 領域における Y 方向のグリッドの定義方法は以下の様になる。

1. コンタクトを配置できる最も下限の Y グリッドを探索し、GridY00 と定義する。
2. コンタクトを配置できる最も上限の Y グリッドを探索し、GridYTOP と定義する。
3. GridY00 と GridYTOP の情報から、確保可能な Y グリッドを調べる。
4. シンボリックレイアウトのグリッドをマスクレイアウトに変換する。このときシンボリックレイアウトのグリッド数 (3) よりもマスクレイアウトのグリッド数が少ない場合、シンボリックレイアウトのグリッド数を縮約する。

図 5, 6 に、実レイアウトにおける配置グリッドの概略図を示す。NMOS のグリッドを 2 グリッドに縮約した例を図 5 に、PMOS のグリッドを 2 グリッドに縮約した例を図 6 に示す。

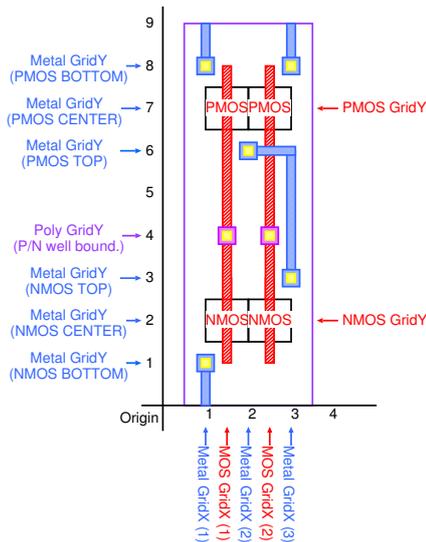


図 4: シンボリックレイアウトにおける配置グリッドの定義。

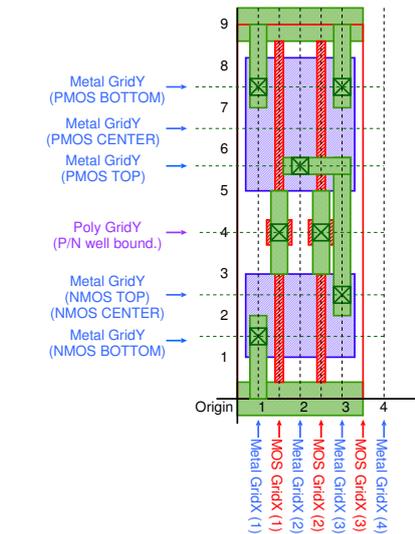


図 5: 実レイアウトにおける配置グリッドの例 (PMOS3 グリッド, NMOS2 グリッドの例)

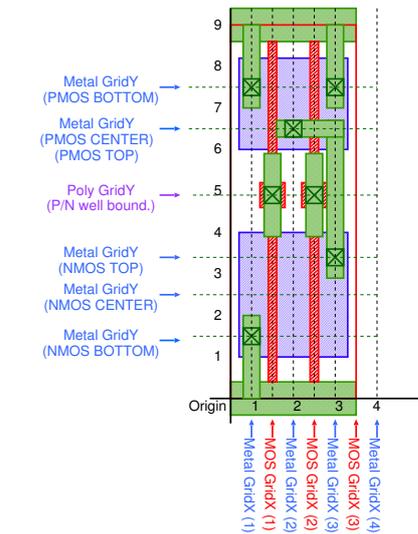


図 6: 実レイアウトにおける配置グリッドの例 (PMOS2 グリッド, NMOS3 グリッド)

2.3 例外処理

シンボリックレイアウトをそのまま実レイアウトに展開してもデザインルールを満たさない。そのため例外処理を加える事で実レイアウトを満たすセルを生成する。

オフグリッド処理 実レイアウトにおいて、X方向のグリッドである MOS GridX と Metal GridX の間隔が狭いために隣接する X グリッド上の金属配線を実レイアウトにそのまま変換すると最小間隔ルール違反になる場合がある。特にポリシリコンにアクセスする金属配線が隣接するメタルに近いと DRC 違反になるため、これらの金属配線に関してオフグリッド処理を実装する必要がある。ポリシリコンと金属配線をつなぐコンタクトにシンボリックレイアウト上で識別フラグを付加する事で、図 7 の様に隣接する金属配線が互いに避けるように配置する。

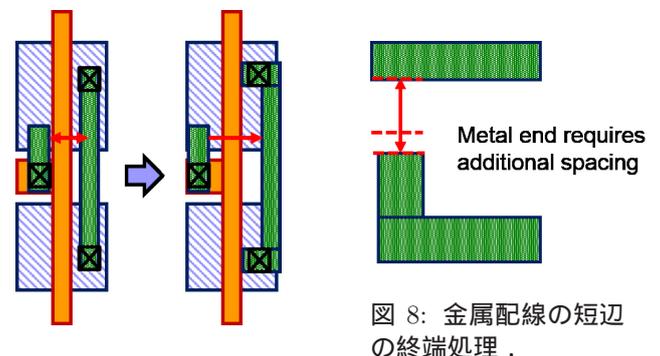


図 7: オフグリッド処理。

図 8: 金属配線の短辺の終端処理。

金属配線の終端処理 すべてのオブジェクトは隣接するオブジェクト間の最小間隔ルールが存在する。プロセスによっては、通常の最小間隔ルールの他に、細い金属配線における短辺 (Metal End) と他のメタルの最小間隔が異なる場合がある。図 8 の様にメタルの最終端となる箇所を検出し、自動的に配線長を小さくすることで他のメタルとの最小間隔違反を回避するレイアウトを生成する。

トランジスタの電源の接続 スタンダードセルの電源レールに Metal 2 を利用する場合、一旦 Metal 1 に落とした上でトランジスタのソースに接続する必要がある。太い電源配線に接続する都合上、プロセスによっては最小サイズの VIA を 2 つ、もしくは 2 倍サイズの VIA 1 つを利用する必要がある。図 9 の様に本オブジェクトが 2 つ隣接する場合

と、単体で存在する場合において生成する VIA の種類を変えることで配線領域を確保する。またセルの両端以外においてコンタクトの生成するグリッドを変更する事で、Metal 1 配線の領域を確保することを可能にする。

2.4 実レイアウトの生成

今回は商用 28-nm FDSOI プロセスを対象に、セルの生成環境を構築した。入力した NAND2 のシンボリックレイアウトを図 10 に、生成した NAND2 セル実レイアウトを図 11 に示す。セルの高さは 9-Grid であり、電源レールは Metal 2 に設定した。プログラムは実レイアウトを構成することのできる SKILL コードを出力し、本 SKILL コードを Virtuoso に読み込む事で実レイアウトの生成を行った。

2.5 Schematic の生成

実際の回路を設計するにあたり、レイアウトが意図通りに接続されていることを確認するために LVS(Layout Versus

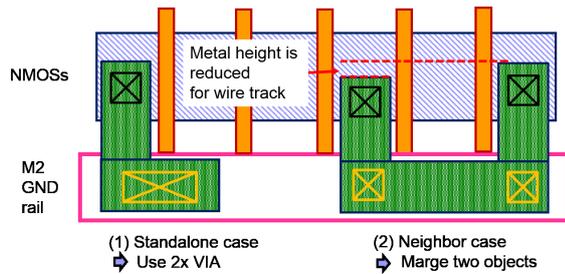


図 9: 電源レールの処理 .

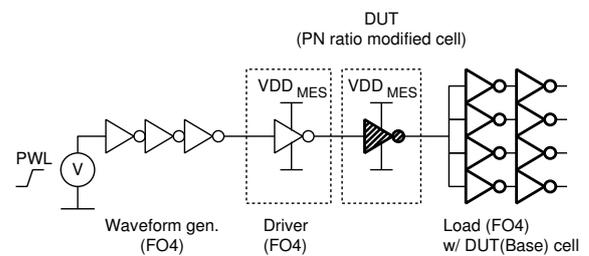


図 12: セルの評価および最適化回路 .

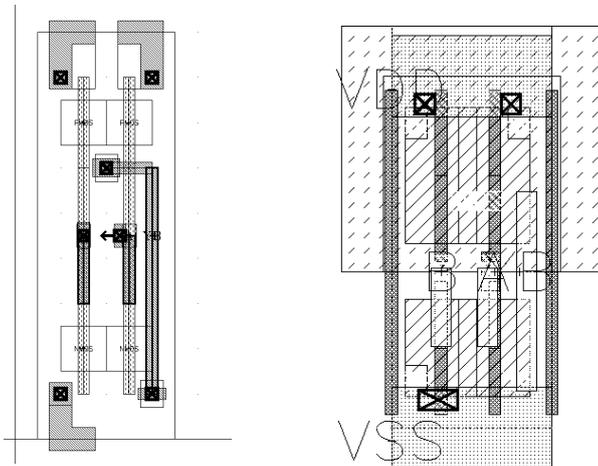


図 10: NAND2 のシンボリックレイアウト
図 11: 28-nm プロセスを対象に生成した NAND2 のレイアウト .

Schematic) を行う . このためには各セルの Schematic を用意する必要がある . セルレベルの LVS を実行するために , テンプレートとなる Schematic を読み込み , 実レイアウトのトランジスタサイズを計算の上マッピングし Schematic として出力する必要がある . プロセス (および PDK) によってトランジスタの名前 , 定義の手法が異なる事を考慮した実装を行った . 出力された CDL を以下に示す . CDL を SpiceIn/CDLin する事で , Virtuoso 上で Schematic として利用可能になる .

3 商用テクノロジーを用いたライブラリの最適化実験

3.1 28-nm プロセスでの実装

今回は商用 28-nm LP FDSOI プロセスを対象に , セルライブラリの構築を行った . セルジェネレータに本プロセスのマスクデザインルールを適用することで , 複数の駆動力を持つインバータ , バッファ , NAND2-4 , NOR2-4 , AOI21 , OAI21 を含む論理セル 32 個と , Fill セル 4 個を生成した . DFF に関しては手設計したセルを利用した . 生成したセルの内訳を表 1 に示す .

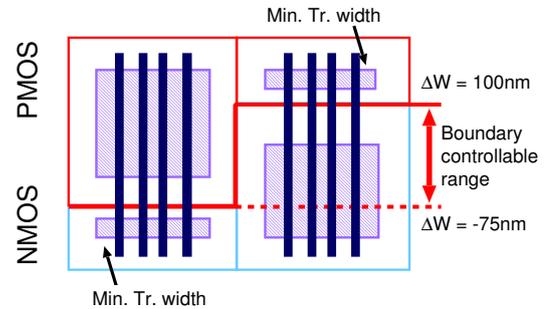


図 13: 最適化における ΔW の定義 .

3.2 ED 積による PN 比の最適化

本セルジェネレータはセルごとに PN 境界を独立に変更することを可能にすることで , 個々のセルごとに PMOS と NMOS のトランジスタサイズを最適化することが可能である . PN 比の最適化がセルの特性に与える影響を評価するために , PN 境界をインバータセルを基準に統一したライブラリと , セルごとに PN 境界を変変することでセルの特性を最適化したライブラリの比較を行う .

セルの性能指標としてエネルギー遅延積 (ED 積) を利用して , 個々のセルの PN 比の最適化を行った . ED 積の評価式は式 1 の通りであり ,

$$ED = E_{\text{rise}} D_{\text{rise}} + E_{\text{fall}} D_{\text{fall}}, \quad (1)$$

ここで D_{rise} および D_{fall} はセルの立ち上がりおよび立ち下がり時の遅延 , E_{rise} および E_{fall} はセルの立ち上がりおよび立ち下がり時の消費エネルギーである . セルの評価回路を図 12 に示す .

図 13 の様に , セル内部の Well 境界を基準点から上下に変更する事で PMOS と NMOS のトランジスタサイズを変更する . Well 境界の移動量を ΔW とし , NMOS の最小ゲート幅を満たす時の移動量 $\Delta W = -75 \text{ nm}$ から PMOS の最小ゲート幅を満たすときの移動量 $\Delta W = 100 \text{ nm}$ まで 25 nm 刻みで変動させた .

PN 比の最適化の結果 , 各組み合わせセルの最適な ΔW の値 , 遅延 , 消費エネルギーの変化を図 14 に示す . 図 14(a) より , セルの論理に応じて最適な PN 境界が異なることがわかる . 特に NMOS のトランジスタスタックが多い NAND セルでは NMOS のゲート幅を大きくするように PN 境界を

表 1: セルライブラリ.

Cell Type	Strength
Inverter	1.0x 1.5x 2.0x 3.0x 4.0x 8.0x 16.0x
Buffer	1.0x 1.5x 2.0x 3.0x 4.0x 8.0x 16.0x
NAND2	1.0x 2.0x 4.0x 8.0x
NAND4	1.0x 2.0x 4.0x
NOR2	1.0x 2.0x 4.0x 8.0x
NOR4	1.0x 2.0x 4.0x
AOI21	1.0x 2.0x
OAI21	1.0x 2.0x
FILL	1.0x 2.0x 4.0x
FILL(Capacitance)	22.0x

変化させた方がよく、逆に PMOS のトランジスタスタックが多い NOR セルでは PMOS のゲート幅を大きくするように PN 境界を変化させた方がよいことがわかる。図 14(b)より、PN 比の改善によってトランジスタスタックを持つセルの遅延特性が良くなることわかる。駆動力にも依存するが NAND4 セルでは 10.0%から 12.3%，NOR4 セルでは 16.9%から 18.8%遅延が改善することがわかった。一方消費エネルギーに関しては、図 14(c) よりほとんど変動しないことがわかった。これは PMOS と NMOS のゲート幅の総和を一定に保ったまま PN 比のみを変えているためである。以上より、PN 境界の変動による PN 比の最適化を行うことで、セルの諸費エネルギーを変えずに遅延性能のみを向上させることができることがわかった。

4 結論

本論文では、セルライブラリの生成システムについて議論した。レイアウトを自動生成する事で電源電圧に応じたセルの最適化が可能になる。また電源電圧に応じてセルごとに PN 境界を変えたレイアウトを生成する事で、セルごとに PN 比を最適化可能なレイアウトを生成可能である。セルごとに自動的に配線トラック数を設定できる構造にすることで PN 比の最適化を可能にした。本プログラムを商用 28-nm プロセス向けに実装した。DRC 違反をなくすために、配線のオフグリッド処理、スペーシング違反の検出等の実装を行った。

PN 比最適化によるスタンダードセルの ED 積の向上について議論した。0.5V を対象にセルの PN 比を最適化したところ、スタック数の多いセルでは ED 積が向上した。NAND4 において 12%，NOR4 において 19%ED 積が向上した。自動配置配線ツールへのマッピングが今後の課題である。

謝辞

本研究は科研費 (B-25280014 および B-26280013) による支援によっておこなわれた。また設計実験は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

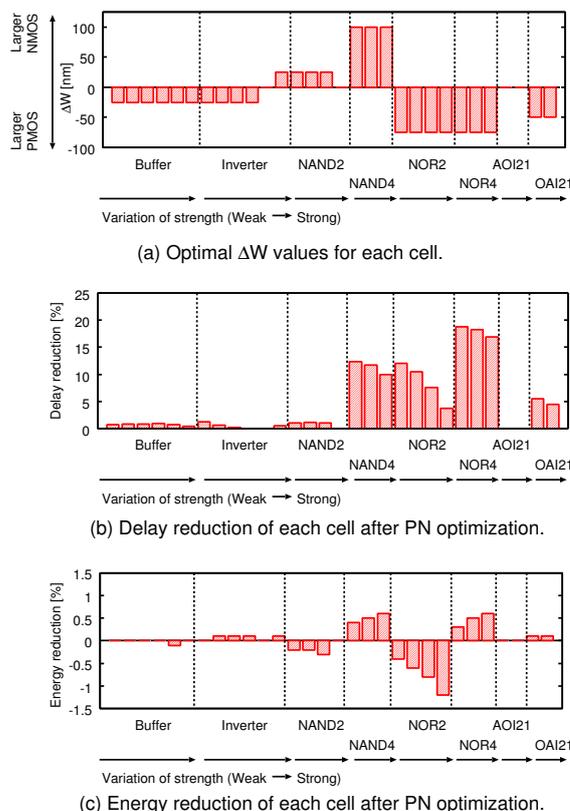


図 14: PN 比最適化による各セルの特性の変化。(a) 各セルの最適な ΔW の値。(b) 遅延の改善率。(c) 消費エネルギーの改善率。

参考文献

- [1] Cadence, *Virtuoso Parameterized Cell Reference*, 2002, July.
- [2] T. Barnes, "SKILL : A CAD System Extension Language," in *Design Automation Conference (DAC)*, 1990, pp. 266–271.
- [3] R. Roy, D. Bhattacharya, and V. Boppana, "Transistor-level optimization of digital designs with flex cells," *IEEE Computer*, no. February, pp. 53–61, 2005.
- [4] J. Burns and J. Feldman, "C5M-a control-logic layout synthesis system for high-performance microprocessors," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 17, no. 1, pp. 14–23, 1998.
- [5] H. Onodera, M. Hashimoto, and T. Hashimoto, "ASIC design methodology with on-demand library generation," in *Symposium on VLSI Circuits*, 2001, pp. 57–60.
- [6] M. Hashimoto, K. Fujimori, and H. Onodera, "Automated Generation of Standard Cell Library in VDSM Technologies 2 Layout generation system : VARDS," in *International Symposium on Quality Electronic Design (ISQED)*, 2004, pp. 0–5.
- [7] D. S. Kung and R. Puri, "Optimal P/N Width Ratio Selection for Standard Cell Libraries," in *International Conference on Computer-Aided Design (ICCAD)*, 1999, pp. 178 – 184.
- [8] S. Nishizawa, T. Ishihara, and H. Onodera, "A Flexible Structure of Standard Cell and Its Optimization Method for Near-Threshold Voltage Operation," in *International Conference on Computer Design (ICCD)*, 2012, pp. 235–240.