

Suspicious Timing Error Prediction を用いた 回路全体の遅延ばらつきに対するロバスト設計

吉田 慎之介[†] 史 又華^{††} 柳澤 政生[†] 戸川 望[†]

[†] 早稲田大学大学院基幹理工学研究科情報通信・情報理工専攻

^{††} 早稲田大学高等研究所

近年、半導体技術の微細化に伴い製造時における遅延ばらつきが増加しており、タイミング設計が複雑化してきている。従来のワーストケース設計では多大なマージンが必要となり効率が悪い。より効率の良いタイミングエラー対策手法の重要性が増している。STEP はパスの途中をチェックポイントとして STEP 回路で監視することで、タイミングエラーを事前に予測できる。複数の STEP 回路を回路に挿入することで、回路全体で発生するタイミングエラーを予測できる。このような背景から、STEP を用いた回路全体のばらつきに対するロバスト設計に着目し、回路面積を考慮した STEP 回路の挿入位置を決定するアルゴリズムを提案した。提案手法では、STEP 回路を挿入する位置を変えることにより、回路全体で発生するタイミングエラーの予測に使用する STEP 回路の個数を削減する。本稿では、提案手法を 4 種類の回路に対して適用し、3 種類のパラメータを多種類に変化させて計算機実験を行なうことで、提案手法の性能の変化を評価する。実験結果より、3 本のクリティカルパスのみに STEP 回路を入れた場合と比較して、動作周波数の最大倍率を最小で 1.31 倍、最大で 2.25 倍に向上させることができた。

An Effective Robust Design for Large Delay Variation Using Suspicious Timing-Error Prediction Scheme

Shinnosuke YOSHIDA[†] Youhua SHI^{††} Masao YANAGISAWA[†] Nozomu TOGAWA[†]

[†] Dept. of Computer Science and Communications Engineering, Waseda University.

^{††} Waseda Institute for Advanced Study, Waseda University.

As process technologies advance, process and delay variation cause a complex timing design and in-situ timing error correction techniques are strongly required. Suspicious timing error prediction (STEP) predicts timing errors by monitoring checkpoints by STEP circuits (STEPs) and how to insert checkpoints is very important. We have proposed a network-flow-based checkpoint insertion algorithm for STEP. Our proposed method moves STEP insertion positions to optimize inserted STEP counts. In this paper, we widely change the parameters in our algorithm and evaluate it by applying it to four benchmark circuits. We show that our proposed algorithm realizes 1.31X–2.25X overclocking compared with just inserting STEPs into several speed-paths.

1 はじめに

近年、半導体技術は年々微細化しており、より低電圧で高周波数な設計が求められている。低電圧・高周波数設計は回路全体の遅延の変動を引き起こし、タイミング設計の複雑化を引き起こす。タイミング設計の複雑化はタイミングエラー発生の危険性を増加させる。タイミングエラーの発生を防ぐためには、考えうる最悪のケースに合わせてワーストケース設計を行う必要がある。しかし、最悪のケースが発生する場合は稀であり、ワーストケース設計はスループット向上の妨げとなる。ワーストケース設計を避けるためにタイミングエラー対策手法 [1–3, 6–10] が存在する。タイミングエラー対策手法はワーストケース設計を回避しタイミングエラーの発生を検出・訂正または予測することで、設計時に必要なマージンを取り除く手法である。

タイミングエラー対策手法の多くは出力レジスタへの入力の信号遷移を直接監視し、タイミングエラーの発生を検出・予測するため、出力レジスタの数がタイミングエラー対策を実現する回路の個数に影響する。また、タイミングエラーを事前に予測する手法はどれも経年劣化のような小さな遅延の変化を対象としており、電圧降下のような大きな遅延の変化には対応出来ない。

Suspicious Timing Error Prediction (STEP) [10] はクリティカルパスを 2 つに分割してチェックポイントを挿入し、チェックポイントの信号遷移をクロック

立ち下りのタイミングで監視することによってタイミングエラーを予測する手法であり、STEP 回路で実現できる。

[10] は少数のクリティカルパスのみを監視することでクロック周期の変化に伴うタイミングエラーを予測できるが、回路全体の遅延ばらつきに伴うタイミングエラーは考慮していない。複数のパスを持つ回路全体の動作を保障するには、STEP 回路を複数個使用する必要がある。回路全体の動作を保障する最も単純な手法は、全てのパスの中央を STEP 回路で監視することであるが、チェックポイントの個数が多くなり効率的でない。

このような背景から、回路面積を考慮した STEP 回路の挿入位置を決定するアルゴリズム [11] を提案した。提案手法では、STEP のチェックポイントの挿入位置に対して制約を与え、その範囲内で最大フロー最小カットの定理 [5] を適用することによって、チェックポイントの個数が最小となる挿入位置を求める。

本稿では、提案手法のパラメータを多種類に変化させて計算機実験を行なうことで、提案手法の性能の変化を評価する。実験結果より、STEP 回路を 3 本のクリティカルパスのみに入れた場合よりも動作周波数の最大倍率が平均で 1.67 倍に、最大で 2.25 倍に向上した。

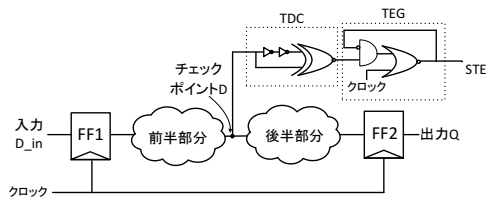


図 1: STEP 回路の構成.

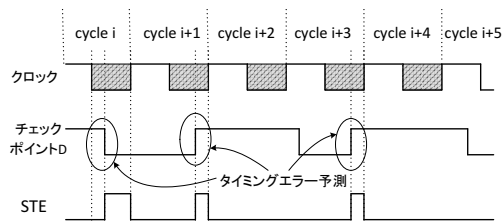


図 2: STEP の動作.

2 Suspicious Timing Error Prediction

本章では STEP 回路の構成および STEP の動作を紹介し、チェックポイントの挿入位置を議論する。

2.1 回路構成および動作

STEP [10] はクリティカルパスの中央の信号遷移を監視し、信号遷移が適切なタイミングで生じているか検証することでタイミングエラーを予測する手法である。STEP はタイミングエラーの発生前にタイミングエラーの予測を行うため、タイミングエラー訂正に再実行の必要が無く、多数のクロックサイクルを必要としない。STEP が監視対象とする回路はクロック立ち上がりのタイミングで同期するものであり、クロックデューティ比は 50% であると仮定する。

STEP を実現する回路の構成を図 1 に示し、TDC と TEG を合わせた部分を STEP 回路とする。図 1 より、回路は前半部分と後半部分の 2 つに分割され、その分割点に STEP 回路を挿入して信号遷移を監視する。この監視位置をチェックポイントと呼ぶ。チェックポイントは複数個となる場合もあり、各チェックポイントには TDC (Transition Detector Circuit) と TEG (Timing Error Generator) が接続される。TDC で信号遷移を検出し、TEG で STE (Suspicious Timing Error) 信号を生成する。TEG で生成された STE 信号はタイミングエラー発生可能性がある場合に立ち上がるものであり、この信号を利用することでタイミングエラーの発生を防ぐ。

STEP の動作を図 2 に示す。図 1 のように 1 つのパスをパス遅延が丁度半分となる地点で 2 分割した場合、チェックポイントの信号遷移はクロックが 0 の時に生じないはずである。したがって、パス遅延の増加やクロック周期の変化により図 2 の斜線部のタイミングでチェックポイントの信号遷移が発生した場合、STE 信号が立ち上がり、タイミングエラーを事前に予測できる。チェックポイントの位置が、半分の地点よりも前半であるとタイミングエラーを検出できない場合 (未検出) が増加し、半分の地点よりも後半であるとタイミングエラーを誤って検出する場合 (誤検出) が増加する。

[10] はクリティカルパスに着目し、その中央付近のみをチェックポイントとして監視することでクロック周期の変化に伴うタイミングエラーを予測できるが、回路全体の遅延ばらつきによるタイミングエラーは考慮していない。

3 問題定義

1 つの STEP 回路は 1 つのパスで発生するタイミングエラーを予測できる。図 3 の回路全体で発生するタイミングエラーを予測するには、チェックポイント $a-e$ のように全てのパスの中央をチェックポイントで

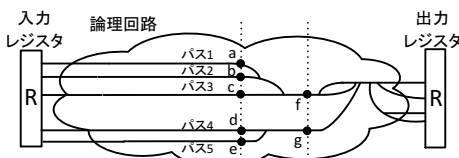


図 3: 回路全体のタイミングエラー対策.

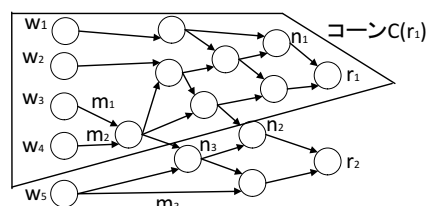


図 4: プリーアンネットワークとコーン.

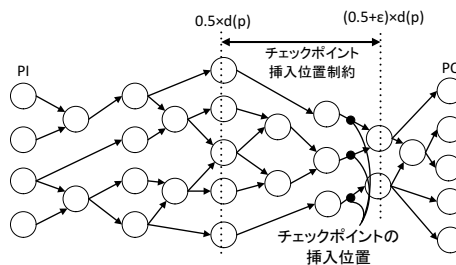


図 5: STEP のチェックポイントの挿入位置決定問題.

監視すれば良く、5 個の STEP 回路が必要となる。

チェックポイントの挿入位置を前後に変えることで、チェックポイントの個数が減少する場合がある。図 3 では、チェックポイント f と g を 2 つの STEP 回路で監視することで回路全体で発生するタイミングエラーを予測できる。

回路全体で発生するタイミングエラーを予測するにあたって、図 4 のようなプリーアンネットワーク $B(N, E)$ を定義する。プリーアンネットワークは論理ゲートを示すノードの集合 N および配線を示すエッジの集合 E からなる Directed Acyclic Graph (DAG) である。入力エッジ、出力エッジを持たないノードの集合をそれぞれ PI , PO とする。あるノード $n_i \in N$ に対して入力を与えるノードの集合を $P(n_i)$ とする。各ノード $n_i \in N$ が持つ遅延の値を $d_{gate}(n_i)$ とする。なお、簡単のために配線遅延は以降考えないものとする。回路全体で発生するタイミングエラーを予測するには、各ノード $r_j \in PO$ が正しい値を出力すれば良い。ここで 1 つのノード $r_1 \in PO$ に注目して、 r_1 に関係する全てのノードおよびエッジを抜き出した r_1 のコーン $C(r_1)$ を考える。図 4 にコーンの例を示す。 r_1 が正しい値を出力するには、 $C(r_1)$ 内の全てのパスを STEP のチェックポイントで監視すれば良い。各ノード $r_j \in PO$ に対するコーン $C(r_j)$ をそれぞれ STEP

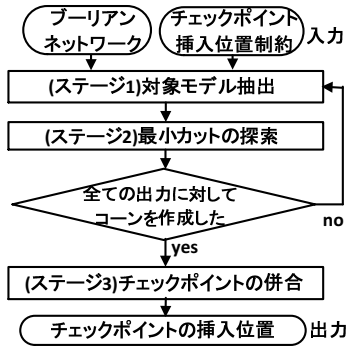


図 6: 提案手法のフローチャート.

回路で監視することで、回路全体で発生するタイミングエラーを予測できる。

全てのパスの中央を STEP のチェックポイントとした場合、チェックポイントの個数は回路に依存して一意に決まる。しかし、チェックポイントの挿入位置を変えることによりチェックポイントの個数が減少する場合がある。チェックポイントの挿入位置がパスの中央よりも前半に変わるとタイミングエラー未検出が発生するため、チェックポイントの挿入位置はパスの中央よりも後半に変えることを許容する。パスの中央よりも後半に変えた場合はタイミングエラー誤検出の量が増加するため、なるべくパスの中央付近をチェックポイントの挿入位置とするのが望ましい。

図 5 のように PI から PO に至る各パス P に対して、そのパスの遅延を $d(P)$ としたとき、チェックポイントの挿入位置を遅延が $0.5 \times d(P)$ から $(0.5 + \epsilon) \times d(P)$ となる位置まで許容する (これを挿入位置制約と呼ぶ)。ここで ϵ は $0 \leq \epsilon \leq 0.5$ とする。許容されたチェックポイントの挿入位置内でチェックポイントの個数をできるだけ減少させる。加えて遅延が増加してもタイミングエラーが発生しないと考えられる遅延が小さいパスを無視する。以上より STEP のチェックポイントの挿入位置決定問題を定義する。

定義 1. STEP のチェックポイントの挿入位置決定問題とは、ブーリアンネットワーク $B(N, E)$ 、チェックポイントの挿入位置制約が与えられたとき、チェックポイントの個数を最小化するように、チェックポイントの挿入位置を決定することである。□

4 提案手法

本章では以前提案した STEP のチェックポイントの挿入位置決定問題を解くアルゴリズム [11] を紹介する。図 6 に提案手法の流れを示す。提案手法は 3 つのステージで構成される。提案手法により回路全体に対するチェックポイントの挿入位置を求める。

4.1 ステージ 1: 対象モデル抽出

入力されたブーリアンネットワークの各 $r_j \in PO$ に対してそれぞれコーン $C(r_j)$ を作成し、各論理ゲートの持つ遅延を用いてコーン $C(r_j)$ のクリティカルパス遅延 $d_{cone}(C(r_j))$ を求める。コーン $C(r_j)$ のクリティカルパス遅延はノード r_j に至るまでのクリティカルパス遅延と等しい。そこで PI からコーン内のあるノード n_i に至るまでのクリティカルパス遅延を $d_{max}(n_i)$ で表す。したがって、コーン $C(r_j)$ のクリティカルパス

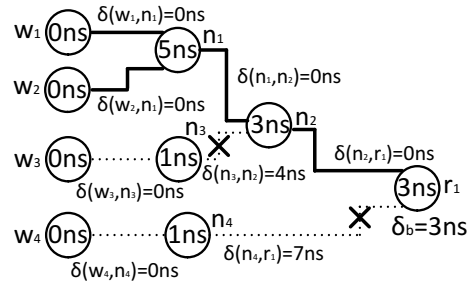


図 7: 無視するパスの選択.

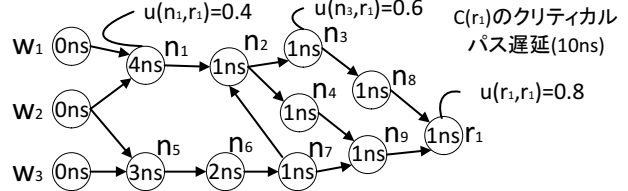


図 8: チェックポイント位置 u の例.

ス遅延 $d_{cone}(C(r_j))$ は $d_{max}(r_j)$ と等しい。回路全体のクリティカルパス遅延を d_{all} とすると、

$$d_{all} = \max_{r_j \in PO} d_{cone}(C(r_j)) \quad (1)$$

で表せる。

クリティカルパス遅延に対して遅延が十分に小さいパスは回路全体の動作に与える影響が少ないため、無視しても問題は生じないことが期待される。ここで $0 < \alpha < 1.0$ とし、クリティカルパス遅延の α 倍以下の遅延を持つパスを無視する。つまり、 $d_{all} \times \alpha > d_{cone}(C(r_j))$ であれば、コーン $C(r_j)$ 内の全てのパスは遅延が十分に小さいため、そのコーンにはチェックポイントを挿入しないことにする。

今、コーン $C(r_j)$ に対し、 $d_{all} \times \alpha \leq d_{cone}(C(r_j))$ とする。すなわち、コーン $C(r_j)$ にチェックポイントを挿入する場合を考える。回路の規模が大きの場合、パスの全探索は現実的でない。そこで、 $C(r_j)$ 内のノード n_i に入力された複数のパスの中で遅延が最大のものとの他のパスを比較する。 PI からノード $n_k \in P(n_i)$ を通ってノード n_i に入力されたパスの最大遅延を $d_{max}(n_k, n_i)$ とすると、ノード n_i に入力された複数のパスの中で遅延が最大のものとの他のパスとの差 $\delta(n_k, n_i)$ は、

$$\delta(n_k, n_i) = d_{max}(n_i) - d_{max}(n_k, n_i) \quad (2)$$

で表すことができる。 δ_b をパス遅延が十分に小さいと判断する閾値とすると、 $\delta_b < \delta(n_k, n_i)$ が満たされる場合、 PI から n_k を通って n_i に至るまでのパスを無視する。

また、 PI からコーン $C(r_j)$ 内のあるノード n_i に至るまでの最小パス遅延を $d_{min}(n_i)$ で表す。チェックポイントの挿入位置を表現するために、各ノード n_i に対して次式のようなチェックポイント位置 $u(n_i, r_j)$ を定義する。

$$u(n_i, r_j) = d_{min}(n_i) / d_{max}(r_j) \quad (3)$$

最小パス遅延を用いることで $u(n_i, r_j)$ は PI から n_i を通って r_j に至る最も遅延が小さいパスに合わせて値が決まるため、 $u(n_i, r_j) = 0.5$ の値を持つノード n_i の位置は r_j のコーン内のどのパスに対しても中央より後

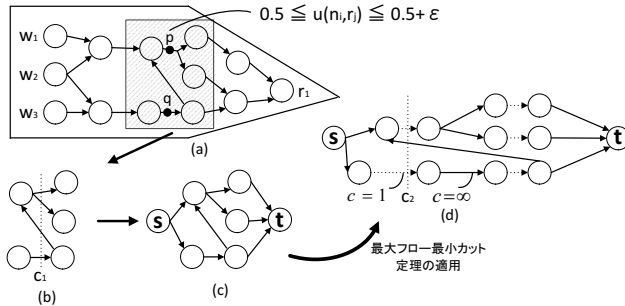


図 9: (a) 遅延が小さいパスを無視したコーン. (b) 抽出グラフ. (c) 拡張グラフ. (d) 容量グラフ.

半の位置となる. タイミングエラーの未検出を防ぐために, チェックポイントは $u(n_i, r_j) = 0.5$ 以上の地点が望ましい. そこで $C(r_j)$ から,

$$0.5 \leq u(n_i, r_j) \leq 0.5 + \epsilon \quad (4)$$

を満たすノードの集合 N^X およびこれらのノードを接続するエッジの集合 E^X で構成される部分を抽出し, 抽出グラフ $G^X(N^X, E^X)$ を構成する. すると, コーン $C(r_j)$ 内の全ての信号遷移を最小個数の STEP 回路で監視するには, 抽出グラフ $G^X(N^X, E^X)$ を二分割するような最小カットを求め, その位置にチェックポイントを挿入すれば良い.*1

4.2 ステージ 2: 最小カットの探索

抽出グラフの最小カットを求めるにあたり, 最大フロー最小カット定理を適用する. 抽出グラフを作成する際に入力エッジを取り除いたノードに対してソースノード s をエッジで接続し, 出力エッジを取り除いたノードに対してシンクノード t をエッジで接続したものを拡張グラフ $G^{EX}(N^{EX}, E^{EX})$ とする. 拡張グラフはノードの集合 N^{EX} とエッジの集合 E^{EX} を持つ. 作成した拡張グラフに対して最小カットを求める. 最小カットを求めるにあたって, 拡張グラフをソースノード s を含むノードの集合 N^s 側とシンクノード t を含むノードの集合 N^t 側に二分割するカット $X(N^s, N^t)$ を考える.

チェックポイントの個数を最小にするカットを求めるにあたって, 最大フロー最小カット定理を適用する. 拡張グラフの各エッジに対してそれぞれ容量コスト c を与え, 容量グラフ $G^c(N^c, E^c)$ を作成する [4]. 容量グラフに対し, 最大フロー最小カット定理より最小カットを探索し, ここにチェックポイントを挿入することで, 拡張グラフを含む抽出グラフ内の信号遷移は全て STEP 回路で監視でき, 抽出グラフを含むコーン内の信号遷移も全て STEP 回路で監視できる. なお逆方向エッジを通る信号は必ず順方向エッジのチェックポイントのいずれかを通るため, 逆方向エッジの部分をチェックポイントとする必要はない.

4.3 ステージ 3: チェックポイントの併合

各コーン $C(r_j)$ に対するチェックポイントを回路全体に対するチェックポイントへと併合する. 図 10 に

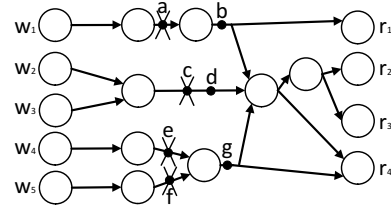


図 10: チェックポイントの併合.

各コーン $C(r_j)$ に対するチェックポイントの併合例を示す. 図 10 では, チェックポイントの併合により必要のないチェックポイントを取り除くことで, チェックポイントの個数が 7 つから 3 つに減少し, 最終的なチェックポイントの挿入位置 b, d, g 地点が得られる.

5 提案手法の実験結果と評価

STEP のチェックポイントの挿入位置決定アルゴリズムを C++ 言語を用いて計算機上に実装し, 得られたチェックポイントに STEP 回路を挿入してゲートレベルシミュレーションを行なった. 計算機環境は, CPU が Intel Core i5 2.67GHz, メモリ容量が 8GB である. 対象アプリケーションとして ISCAS85 ベンチマークの 4 種類の回路を使用し, 論理合成時のセルライブラリとして TSMC90nm の設計ルールを使用した. c3540 回路, c5315 回路, c6288 回路, c7552 回路のクリティカルパス遅延はそれぞれ 3.54ns, 2.62ns, 10.01ns, 3.87ns である. Synopsys 社のシミュレータ vcs を使用し, 乱数生成した 2^{16} 個のデータを入力した. クロック周期を変化させることで最大動作周波数を求め, 次の 4 種類の評価指標で STEP の動作を評価した. (ケース 1:TN) 誤りが発生せず, 検出もしない. (ケース 2:FN) 誤りが発生したが, 検出できない. (ケース 3:FP) 誤りが発生していないが, 検出する. (ケース 4:TP) 誤りが発生し, 検出できる.

FP は STEP が正しく動作していないが, 回路全体は正しく動作しているため, ある程度許容できる. FN は STEP が正しく動作しておらず, 回路全体も正しく動作しないため, 許容できない. 最大動作周波数は FN が発生する直前までのクロック周期から計算で求める. 対象アプリケーションに対して 2^{16} 個のデータを入力した場合の評価指標の数を取得し, 結果を表 1 から表 4 に示す. 提案手法のパラメータとして, α を 0.9 から 0.5 まで減少させ, δ と ϵ はそれぞれ, 100ps から 150ps, 0.05 から 0.3 までの範囲で変化させた.

表 1 から表 4 より, ISCAS85 ベンチマーク 4 種類の回路全てで最大動作周波数が向上した. 動作周波数の最大倍率は, c3540 回路では 1.46 倍, c5315 回路では 1.67 倍, c6288 回路では 2.25 倍, c7552 回路では 1.31 倍であり, 平均で約 1.67 倍に向上した. α の値が減少するほど最大動作周波数は向上することが多いが, チェックポイントの個数も増加する. したがって, チェックポイントの個数を制約として与え, その範囲内にチェックポイントの位置が定まるような α の値を用いる必要がある. δ の値が増加するほど未検出の量は減少することが多いが, チェックポイントの個数や誤検出の量に対する影響力は回路によって異なる. ϵ の値が増加するほどチェックポイントの個数は減少するが, 回路によって ϵ の影響力が異なる. また, どのようにパラメータを与えた場合であっても, クリティカルパス 3 本に STEP 回路を入れた場合より最大動作周

*1 式 (4) を満たす $G^X(N^X, E^X)$ の最小カットを求めると, $0.5 \times d(P)$ から $(0.5 + \epsilon) \times d(P)$ の範囲内に解が収まらない場合があるが, 提案手法では図 7 で表されるように遅延が小さいパスを削除しているため, 多くの場合は挿入位置制約を満足するものと期待できる.

表 1: c3540 回路における最大動作周波数の変化.

Clock period [ns]	$\alpha = 0.9$								$\alpha = 0.7$							
	$\delta = 100\text{ps}$ and $\epsilon = 0.05$ (#CPs = 1)				$\delta = 150\text{ps}$ and $\epsilon = 0.05$ (#CPs = 4)				$\delta = 100\text{ps}$ and $\epsilon = 0.1$ (#CPs = 2)				$\delta = 150\text{ps}$ and $\epsilon = 0.1$ (#CPs = 3)			
	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP
5.8	65536	0	0	0	54968	0	10568	0	65536	0	0	0	61296	0	4240	0
5.4	65451	0	85	0	46278	0	19258	0	65451	0	85	0	54576	0	10960	0
5.0	64877	0	659	0	37507	0	28029	0	64645	0	891	0	44610	0	20926	0
4.6	62531	0	3005	0	27019	0	38517	0	62012	0	3524	0	34904	0	30632	0
4.2	57744	0	7792	0	17743	0	47793	0	56877	0	8659	0	25994	0	39542	0
3.8	53116	0	12420	0	10970	0	54566	0	49836	0	15700	0	16712	0	48824	0
3.4	46547	2	18888	99	4867	0	60596	73	39419	0	25966	151	9553	1	55913	69
3.0	35473	846	26790	2427	2274	1	60164	3097	28062	362	33831	3281	5017	4	57527	2988
2.6	20842	4130	27163	13401	786	13	46602	18135	16269	1952	31259	16056	2532	110	45167	17727
2.2	10383	8789	19657	26707	438	139	29113	35846	6850	4913	23020	30753	1368	601	28313	35254
Clock period [ns]	$\alpha = 0.5$								Three critical paths are monitored (#CPs = 3)							
	$\delta = 100\text{ps}$ and $\epsilon = 0.1$ (#CPs = 5)				$\delta = 150\text{ps}$ and $\epsilon = 0.1$ (#CPs = 5)				$\delta = 150\text{ps}$ and $\epsilon = 0.3$ (#CPs = 4)							
	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP
5.8	65536	0	0	0	61311	0	4225	0	64036	0	1500	0	65536	0	0	0
5.4	65439	0	97	0	54615	0	10921	0	61834	0	3702	0	65536	0	0	0
5.0	64495	0	1041	0	44641	0	20895	0	57801	0	7735	0	65536	0	0	0
4.6	61574	0	3962	0	34899	0	30637	0	52708	0	12828	0	65536	0	0	0
4.2	56614	0	8922	0	25751	0	39785	0	45900	0	19636	0	65160	0	376	0
3.8	48975	0	16561	0	15715	0	49821	0	36948	0	28588	0	62105	0	3431	0
3.4	37107	0	28253	176	8034	0	57433	69	29075	15	36402	44	51658	6	13761	111
3.0	24058	176	37601	3701	3621	0	58926	2989	21652	363	41188	2333	38203	355	23998	2980
2.6	14120	1221	33113	17082	1532	0	46196	17808	13836	1271	34572	15857	26006	3313	21761	14456
2.2	5468	3503	24315	32250	661	84	29118	35673	7261	3067	22962	32246	12577	9825	17459	25675

表 2: c5315 回路における最大動作周波数の変化.

Clock period [ns]	$\alpha = 0.9$								$\alpha = 0.7$							
	$\delta = 100\text{ps}$ and $\epsilon = 0.05$ (#CPs = 1)				$\delta = 150\text{ps}$ and $\epsilon = 0.05$ (#CPs = 1)				$\delta = 100\text{ps}$ and $\epsilon = 0.05$ (#CPs = 3)				$\delta = 150\text{ps}$ and $\epsilon = 0.05$ (#CPs = 2)			
	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP
4.2	65056	0	480	0	51098	0	14438	0	63252	0	2284	0	40582	0	24954	0
3.8	61750	0	3786	0	35295	0	30241	0	54812	0	10724	0	19685	0	45851	0
3.4	50183	0	15353	0	21125	0	44411	0	32319	0	33217	0	6674	0	58862	0
3.0	32761	0	32775	0	12880	0	52656	0	12221	0	53315	0	2432	0	63104	0
2.6	18022	40	47143	331	8496	21	56665	354	3624	2	61512	398	971	0	64150	415
2.2	10410	747	48844	5535	6537	607	52736	5656	1164	25	57930	6417	628	56	58461	6391
1.8	6461	2290	41421	15364	3141	4739	44712	12944	412	96	47414	17614	294	1174	47483	16585
1.4	3734	16571	16955	28276	882	29922	19804	14928	244	1471	20444	43377	151	19960	20540	24885
Clock period [ns]	$\alpha = 0.5$								Three critical paths are monitored (#CPs = 3)							
	$\delta = 100\text{ps}$ and $\epsilon = 0.15$ (#CPs = 10)				$\delta = 150\text{ps}$ and $\epsilon = 0.15$ (#CPs = 14)				$\delta = 150\text{ps}$ and $\epsilon = 0.3$ (#CPs = 13)							
	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP
4.2	63253	0	2283	0	39887	0	25649	0	39802	0	25734	0	65536	0	0	0
3.8	54817	0	10719	0	18647	0	46889	0	18508	0	47028	0	65536	0	0	0
3.4	31800	0	33736	0	5038	0	60498	0	4903	0	60633	0	64396	0	1140	0
3.0	11038	0	54498	0	1031	0	64505	0	957	0	64579	0	61001	0	4535	0
2.6	2728	0	62401	407	107	0	65014	415	96	0	65025	415	47329	138	17786	283
2.2	531	6	58578	6421	6	0	59059	6471	5	0	59058	6473	27666	2085	31628	4157
1.8	50	6	47593	17887	0	0	47873	17663	0	0	47874	17662	12303	3893	35412	13928
1.4	20	19	20603	44894	0	1	19372	46163	0	1	19376	46159	4476	8643	16197	36220

波数が向上した.

6 おわりに

本稿では、提案手法におけるパラメータを多種類に変化させて計算機実験を行ない、提案手法の性能の変化を評価した。また、提案手法で得られたチェックポイントの位置に STEP 回路を挿入することで、4 種類の回路全てに対して最大動作周波数の向上が確認できた。実験結果より、3 本のクリティカルパスのみに STEP 回路を入れた場合と比較して、動作周波数の最大倍率を平均 1.67 倍、最大 2.25 倍に向上させることができた。チェックポイントの個数や誤検出の量、最大動作周波数を制約として与え、その条件下で最適なパラメータを探索する方法が今後の課題である。

謝辞

本研究の一部は、科研費 (課題番号 25280017) ならびに半導体理工学研究センターとの共同研究による。

参考文献

- [1] M. Agarwal, B. C. Paul, M. Zhang, and S. Mitra, "Circuit failure prediction and its application to transistor aging," in *Proc. VLSI Test Symp(VTS)*, pp. 277–286, 2007.
- [2] K.A. Bowman, J.W. Tschanz, N.S.Kim, J.C. Lee, C.B. Wilkerson, S.-L.L. Lu, T.Karnik, and V.K. De, "Energy-efficient and metastability-immune resilient circuits for dynamic variation tolerance," *IEEE Journal of Solid-State circuits*, vol. 44, no. 1, pp. 49–63, 2009.
- [3] M. R. Choudhury and K. Mohanram, "TIMBER: Time

表 3: c6288 回路における最大動作周波数の変化.

Clock period [ns]	$\alpha = 0.9$								$\alpha = 0.7$							
	$\delta = 100\text{ps and } \epsilon = 0.05$ (#CPs = 9)				$\delta = 150\text{ps and } \epsilon = 0.05$ (#CPs = 17)				$\delta = 100\text{ps and } \epsilon = 0.05$ (#CPs = 18)				$\delta = 150\text{ps and } \epsilon = 0.05$ (#CPs = 34)			
	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP
13.0	65534	0	2	0	51053	0	14483	0	65479	0	57	0	10775	0	54761	0
12.0	62302	0	3234	0	16359	0	49177	0	58525	0	7011	0	2763	0	62773	0
11.0	38623	0	26853	0	1126	0	64410	0	31978	0	33558	0	512	0	65024	0
10.0	4980	0	60556	0	146	0	65390	0	3539	0	61997	0	218	0	65318	0
9.0	576	0	64937	23	23	0	65513	0	474	0	65016	46	72	0	65430	34
8.0	132	0	61036	4368	5	0	65252	279	104	0	59296	6136	23	0	60292	5221
7.0	29	0	14463	51044	0	0	47008	18528	24	0	10804	54708	7	0	12044	53485
6.0	8	0	184	65344	0	0	1968	63568	5	0	150	65381	2	0	134	65400
5.0	0	1	4	65531	0	0	32	65504	0	1	3	65532	0	1	3	65532
4.0	0	14	0	65522	0	2	1	65533	0	0	0	65536	0	0	0	65536
Clock period [ns]	$\alpha = 0.5$												Three critical paths are monitored (#CPs = 3)			
	$\delta = 100\text{ps and } \epsilon = 0.05$ (#CPs = 34)				$\delta = 100\text{ps and } \epsilon = 0.3$ (#CPs = 16)				$\delta = 100\text{ps and } \epsilon = 0.15$ (#CPs = 27)				TN	FN	FP	TP
	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP
13.0	65480	0	56	0	8026	0	57510	0	65479	0	57	0	65536	0	0	0
12.0	58659	0	6877	0	1277	0	64259	0	56867	0	8669	0	65301	0	235	0
11.0	32089	0	33447	0	176	0	65360	0	27694	0	37842	0	58623	0	6913	0
10.0	3439	0	62097	0	46	0	65490	0	1239	0	64297	0	35261	0	30275	0
9.0	389	0	65101	46	9	0	65490	37	266	0	65224	46	12043	0	53478	15
8.0	74	0	59307	6155	2	0	60344	5190	54	0	59334	6148	1888	4	60610	3034
7.0	15	0	10756	54765	1	0	13483	52052	11	0	10765	54760	240	34	18642	46620
6.0	3	0	146	65387	0	0	177	65359	2	0	150	65384	31	33	188	65284
5.0	0	0	4	65532	0	0	4	65532	0	0	4	65532	2	18	2	65514
4.0	0	0	0	65536	0	0	0	65536	0	0	0	65536	0	99	0	65437

表 4: c7552 回路における最大動作周波数の変化.

Clock period [ns]	$\alpha = 0.9$								$\alpha = 0.7$							
	$\delta = 100\text{ps and } \epsilon = 0.05$ (#CPs = 1)				$\delta = 150\text{ps and } \epsilon = 0.05$ (#CPs = 1)				$\delta = 100\text{ps and } \epsilon = 0.1$ (#CPs = 6)				$\delta = 150\text{ps and } \epsilon = 0.1$ (#CPs = 4)			
	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP
5.0	65535	0	1	0	65536	0	0	0	65204	0	332	0	64679	0	857	0
4.6	65529	0	7	0	65485	0	51	0	62779	0	2757	0	55422	0	10114	0
4.2	65429	0	44	0	64992	0	544	0	52449	0	13087	0	42405	0	23131	0
3.8	65131	0	405	0	63695	0	1841	0	43280	0	22256	0	32465	0	33071	0
3.4	64359	0	1177	0	62497	0	3039	0	34333	0	31203	0	21528	0	44008	0
3.0	59504	4	6025	3	49782	4	15747	3	22391	0	43133	12	8411	0	57118	7
2.6	46434	4065	11754	3283	40165	3010	18023	4338	8324	21	49353	7838	2652	5	53379	9500
2.2	29586	18749	2842	14359	24413	12572	8014	20537	1966	187	30250	33133	787	54	30844	33851
Clock period [ns]	$\alpha = 0.5$												Three critical paths are monitored (#CPs = 3)			
	$\delta = 100\text{ps and } \epsilon = 0.1$ (#CPs = 8)				$\delta = 150\text{ps and } \epsilon = 0.1$ (#CPs = 7)				$\delta = 100\text{ps and } \epsilon = 0.3$ (#CPs = 7)				TN	FN	FP	TP
	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP	TN	FN	FP	TP
5.0	65042	0	494	0	64512	0	1024	0	64538	0	998	0	65536	0	0	0
4.6	55114	0	10422	0	49650	0	15886	0	52928	0	12608	0	65499	0	37	0
4.2	41943	0	23593	0	37244	0	28292	0	41646	0	23890	0	65256	0	280	0
3.8	35430	0	30106	0	30023	0	35513	0	34951	0	30585	0	61733	0	3803	0
3.4	27936	0	37600	0	18088	0	47448	0	25530	0	40006	0	56311	0	9225	0
3.0	10837	0	54687	12	4152	0	61374	10	10025	0	55499	12	46575	2	18952	7
2.6	2243	0	54762	8531	723	1	54624	10188	2745	2	53912	8877	36489	1513	21680	5854
2.2	309	23	31865	33339	107	1	31415	34013	582	59	31491	33404	20916	6554	11430	26636

borrowing and error relaying for online timing error resilience,” in *Proc. Design, Automation, and Test in Europe (DATE)*, pp. 1554–1559, 2010.

- [4] J. Cong and Y. Ding, “Flowmap: an optimal technology mapping algorithm for delay optimization in lookup-table based FPGA designs,” *IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems*, vol. 13, no. 1, Jan. 1994.
- [5] P. Elias, A. Feinstein, and C. E. Shannon, “A note on the maximum flow through a network,” *IRE Transactions on Information Theory*, vol. IT-2, pp. 117–119, 1956.
- [6] D. Ernst, N. Kim, S. Das, S. Pant, R. Rao, T. Pham, C. Ziesler, D. Blaauw, T. Austin, K. Flautner, and T. Mudge, “Razor: a low-power pipeline based on circuit-level timing speculation,” in *Proc. Int. Symp. Microarchitecture (MICRO-36)*, pp. 7–18, Dec. 2003.
- [7] K. Hirose, Y. Manzawa, M. Goshima, and S. Sakai, “Delay-compensation flip-flop with in-situ error mon-

itoring for low-power and timing-error-tolerant circuit design,” *Japanese Journal of Applied Physics*, vol. 47, pp. 2779–2787, 2008.

- [8] J. Park and J. A. Abraham, “A fast, accurate and simple critical path monitor for improving energy-delay product in DVS systems,” in *Proc. Int. Symp. on Low Power Electronics and Design (ISLPED)* pp. 391–396, 2011.
- [9] T. Sato and Y. Kunitake, “A simple flip-flop circuit for typical-case designs for DFM,” in *Proc. Int. Symp. Quality Electronic Design (ISQED)*, pp. 539–544, 2007.
- [10] Y. Shi, H. Igarashi, N. Togawa, and M. Yanagisawa, “Suspicious timing error prediction with in-cycle clock gating,” in *Proc. Int. Symp. Quality Electronic Design (ISQED)*, pp. 335–340, 2013.
- [11] 吉田 慎之介, 史 又華, 柳澤 政生, 戸川 望, “回路面積を考慮した Suspicious Timing Error Prediction 回路の挿入位置決定手法,” 第 27 回 回路とシステムワークショップ, Aug. 2014.