

アクセスの局所性に着目したSTT-MRAM キャッシュの 周辺回路の電源制御手法

有間 英志^{1,a)} 野口 紘希² 中田 尚¹ 三輪 忍¹ 武田 進² 藤田 忍² 中村 宏¹

概要：プロセッサの消費するリーク電力は、半導体の微細化が進むにつれて増大してきた。特にキャッシュのリーク電力は、回路面積が大きいために、プロセッサの消費電力の大部分を占めている。この問題に対処するため、STT-MRAM といった不揮発性メモリをキャッシュに適用する試みが近年なされている。しかし、STT-MRAM で構成されたキャッシュでは、メモリセルのリーク電力は無視できる程小さいが、周辺回路のリーク電力が大きくなるという問題があった。そのため、性能低下を抑えつつこれを削減する様な技術が必要となる。そこで本研究では、STT-MRAM キャッシュの周辺回路に対して、細粒度に電源制御を行う技術を提案する。具体的には、サブアレイ単位の電源制御を行い、各サブアレイに対して一定時間アクセスがなければ、そのサブアレイに対する電源供給を遮断する。また、電力削減効果をさらに増大させるため、各サブアレイに対するアクセスの時空間的な局所性を向上させる技術も提案する。評価の結果、最新の STT-MRAM を適用したラスト・レベル・キャッシュにおいて 80%程度のリーク電力の削減が可能であることが分かった。

1. はじめに

近年のコンピュータシステムにおいては省電力設計が重要となっている。例えば、データセンターでは消費電力はランニングコストに直結し、携帯端末ではバッテリーの持続時間に影響する。そのため、電力制約下において性能を向上させる技術や、性能制約下において電力を削減する様な技術が必要となる。

近年のプロセッサではリーク電力を抑えることが重要である。これは半導体の微細化が進むにつれて、トランジスタに流れるリーク電流が増大してきたためである。特にラスト・レベル・キャッシュ (以下、LLC) の回路面積は大きいので、そのリーク電力も大きくなっている。文献 [4] によると、LLC のリーク電力はプロセッサの消費電力の 30%程度にのぼる。

この問題に対処するため、STT-MRAM キャッシュといった不揮発性メモリを利用したキャッシュが提案されてきた。STT-MRAM のメモリセルのリーク電力は、データ保持のための電力を必要としないため、無視できる程小さい。そのため、STT-MRAM キャッシュは、SRAM キャッ

シュよりもエネルギー効率が優れている [7]。

しかし、STT-MRAM ではメモリセルのリーク電力は無視できる程小さいが、周辺回路のリーク電力は無視できない。これまで、STT-MRAM キャッシュでは書き込みエネルギーが問題とされてきた。しかし、最新の MTJ 素子を利用した場合、書き込みエネルギーは大幅に抑えられることが分かっている [3]。しかしながら、その様な MTJ 素子を用いた場合でも、書き込み電流をドライブするため、周辺回路ではハイパフォーマンストランジスタが必要となり、リーク電力は大きくなる。

そこで本研究では、STT-MRAM キャッシュにおける周辺回路の細粒度な電源制御を提案する。具体的には、周辺回路のパワードメインをサブアレイごとに分割し、各々のサブアレイについて一定時間アクセスがなければ電源供給を遮断する。電力削減効果をさらに増大させるため、サブアレイごとの時空間的な局所性を考慮したアクセス制御手法についても提案する。

本論文の構成は以下の様になる。まず、次章では本研究の背景と目的について述べる。3章では提案手法であるアクセス制御手法について述べる。4章では評価環境と評価結果について述べる。5章では本研究のまとめを述べる。

2. 背景と目的

本章では、まず 2.1 節にて STT-MRAM で構成された

¹ 東京大学大学院
〒113-8656 東京都文京区本郷 7-3-1 東京大学工学部 1 号館 5 階
508 号室

² (株) 東芝 研究開発センター LSI 基盤技術ラボラトリー
〒212-8582 川崎市幸区小向東芝町 1

a) arima@hal.ipc.i.u-tokyo.ac.jp

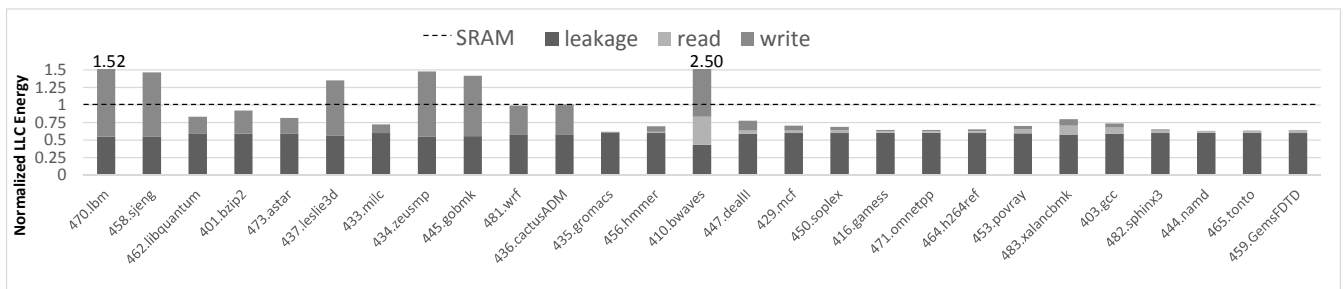


図 1 STT-MRAM 構成の LLC におけるエネルギー消費

LLC において、リーク電力がどの程度問題となっているのかを述べる。次いで、2.2 節にて STT-MRAM キャッシュのリーク電力を削減するのに適した電源遮断粒度について述べる。最後、2.3 節にて本研究が扱う問題の定義について述べる。

2.1 STT-MRAM 構成の LLC におけるリーク電力

図 1 では STT-MRAM キャッシュにおけるエネルギー消費の内訳を示す。ただし、マルチコアプロセッサの LLC として利用されることを想定している。Y 軸は LLC のエネルギーを示しており、LLC を SRAM で構成した場合のそれで正規化されている。X 軸はベンチマークプログラムを表す。アクセスレイテンシ、アクセスエネルギー、リーク電力は最新の MTJ 素子を利用した STT-MRAM キャッシュのものである [6]。評価環境の詳細は 4 章にて示されている。

図に示されている様に、多くの場合において、最新の STT-MRAM キャッシュでは周辺回路のリーク電力が支配的となる。特に gromacs の場合では LLC の総エネルギー消費の 90% をリークエネルギーが占める。平均では、LLC の総エネルギー消費の 48% をリークエネルギーが占める。書き込みエネルギーもいくつかのアプリケーションでは大きくなっている。しかしながら、EWT (Early Write Termination) といった書き込みエネルギーを効果的に削減できる手法がこれまでに多く提案されている [8]。そこで本研究では、今日の STT-MRAM キャッシュにおいて問題となっている、周辺回路のリーク電力削減手法を提案する。

2.2 周辺回路のリーク電力削減のための電源遮断粒度

本研究では、STT-MRAM キャッシュにおける周辺回路の電力を削減するため、これに対して電源遮断を行う。本節では、その様な電源遮断に最適な時空間的な粒度について述べる。

エネルギー削減の観点からは、時間的にも空間的にも細粒度の電源遮断が望ましい。これは電源制御の粒度が細ければ細かい程、エネルギーを削減できる機会が増えるためである。一方で、回路実装の容易さや、面積オーバーヘッドの観点からは、粗粒度の電源遮断が望ましい。これは、

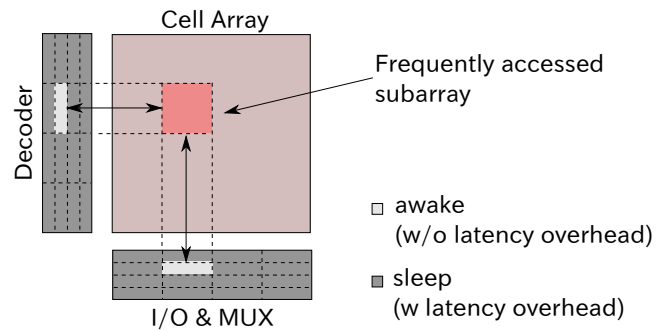


図 2 電源制御の方針

電源遮断の空間粒度が細くなれば、パワースイッチといった電源制御に必要な回路も増えるためである。そのため、実現できる電力削減効果と回路実装の容易さ等の間にはトレードオフ関係が存在する。

実用上では、サブアレイ単位の電源遮断が適している。これは、面積オーバーヘッドが十分小さく、また後述の評価結果の様に十分なエネルギー削減機会が存在するためである。また、実装上もキャッシュライン単位の電源遮断等と比較しても容易である。そのため、本研究ではサブアレイ単位の電源遮断を行う。

2.3 問題定義

前述の様に、本研究では周辺回路のパワードメインがサブアレイごとに分かれていることを想定し、各々のサブアレイを他のサブアレイとは独立に電源制御できる場合を想定する。電源遮断を適用したスリープ状態においては当該サブアレイのリーク電力はほとんど 0 となる。しかしながら、電源遮断を行った場合には、当該周辺回路に対して充電が必要となるため、スリープ中のサブアレイへのアクセスには数 ns 余分に時間がかかる。そのため、図 2 に示す様に、頻繁にアクセスされるサブアレイはアクティブ状態にしておき、殆どアクセスされないサブアレイはスリープ状態にするという制御が必要となる。

本研究では、STT-MRAM キャッシュの周辺回路に上記制御を適用するため、タイムアウトによる電源遮断を行う。具体的には、各サブアレイについて事前に決められた時間よりも長くアクセスがなかった場合、当該周辺回路の電源遮断を行うというものである。これはしばらくアクセスさ

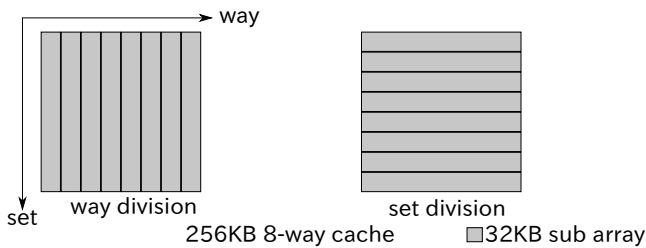


図 3 サブアレイマッピング

れていなければ、今後も長くアクセスされないという、メモリアクセスの性質に拠る。ただし、タイムアウト時間はチューニングできるパラメータであるため、最適な値を導出する必要がある。さらなる省電力化のため、サブアレイ単位のアクセスの局所性を向上させることによって、周辺回路の電源遮断機会を増大させる様な手法も提案する。

3. 提案手法

アクセスの時空間的な局所性を向上させることで、さらなるリーク電力の削減が期待できる。これは、アクセスが時空間的に集中することで、全体としてアクティブな時間が減少するためである。そこで、本研究ではアクセスの時空間的な局所性を向上させる2つの手法を提案する。以下では、3.1節にてアクセスの空間的な局所性に着目したサブアレイのマッピング手法について述べ、3.2にて書き込みバッファを用いたアクセスの時間局所性の向上手法について述べる。

3.1 アクセスの局所性に着目したサブアレイマッピング

一般的に、図3の左図に示す様に、キャッシュのメモリアレイは、各サブアレイが各キャッシュウェイと一致する様に分割される。以下では、この分割方式を way-division と呼ぶ。本マッピングではサブアレイレベルの並列性が利用できる。すなわち、セットアソシアティブキャッシュにおいて、タグアレイとデータアレイを並列してアクセスすることができるため、高速なアクセスができ、また面積も小さくて済む。

しかしながら、LLC においてはレイテンシがクリティカルでないため、タグとデータをシーケンシャルにアクセスしても性能への影響は小さい。そのため LLC では、way-division 方式を採用する必要はない。

そこで本研究では、図3の右図に示す様にキャッシュをセット方向に分割し、各々をサブアレイとする set-division 方式を採用する。本マッピングにおいては、各サブアレイは連続したセットのグループからなり、同一セット上の全てのウェイは同一サブアレイへマッピングされる。

シーケンシャルアクセスを考えた場合、set-division 方式の方がサブアレイレベルのアクセスの空間局所性は向上する。セットアソシアティブキャッシュにおいては、アドレ

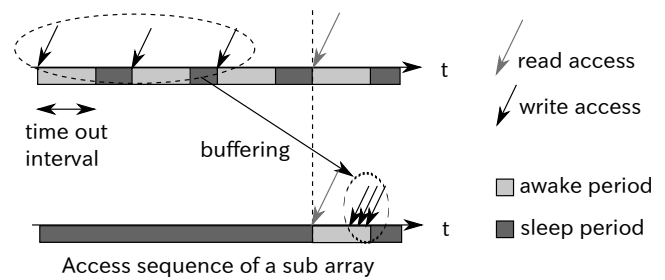


図 4 書き込みバッファの概要

スが連続したラインは、連続したセット上に格納されていく。しかしながら、いずれの way に格納されるかは victim となるラインの位置によって決まる。そのため、いずれの way にも格納され得る。従って、これらデータに対してシーケンシャルにアクセスしていった場合、set-division 方式については同一のサブアレイにヒットし続ける。一方で、way-division 方式においては全てのサブアレイについてアクセスが起こり得る。従って、set-division 方式はサブアレイレベルのアクセスの空間的局所性を向上できる方式であり、各サブアレイの周辺回路の電源遮断機会を向上できるものである。

3.2 書き込みバッファによる時間局所性の向上

一般的に、キャッシュの読み込みレイテンシはシステムのパフォーマンスに大きく影響を与える。一方で、書き込みレイテンシはそうではない。そのため、本研究では図4に示す様な、書き込みアクセスをバッファによって遅らせることを考え、それによって、サブアレイ単位の時間局所性の向上を目指す。

本手法においては、各サブアレイに対して数エントリのバッファを用意する。各バッファは上位キャッシュからライトバックされたデータや、キャッシュミスによって下位のメモリ階層から持ち込まれたデータが格納される。バッファのフラッシュは、バッファからデータがあふれた場合か、もしくは読み込みアクセスが当該サブアレイに対して行われた場合に行う。ただし、読み込みアクセス時のフラッシュについては、アクセスの妨げにならない様にタイムアウトの直前に行うものとする。バッファ上のデータと同一のデータに対するアクセスも起こりうる。そのため、バッファ上のデータと同一のものがデータアレイ上にある場合は、データアレイ上のものをインバリデートしておくものとし、キャッシュミスが起きた場合には、バッファにアクセスができるようにしておくものとする。

図6に本手法の実装方式のブロックダイアグラムを示す。バッファはSRAMのアレイとして実装されている。図のキャッシュに対してアクセスがあると、まずタグアレイのみがアクセスされる。もしミスであれば次にバッファアレイに対してアクセスが行われる。もしヒットであり、さらにそれが書き込みアクセスであれば、当該データをイ

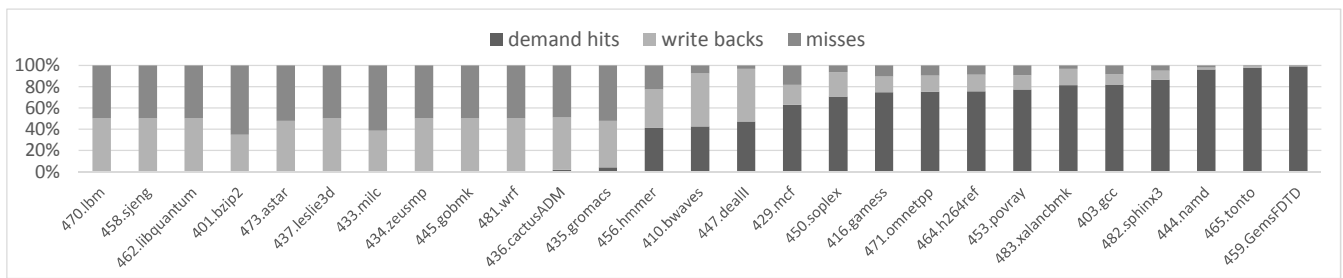


図 5 L2 アクセスの内訳

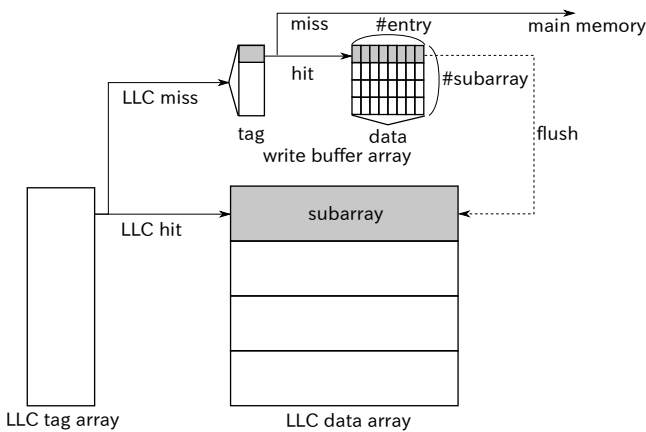


図 6 バッファの実装方式

ンバリデートし、対応する書き込みバッファ上にデータを
書き込む。

本手法に関する予備評価のため、LLC における読み込み/書き込みアクセスの割合をシミュレーションによって取得した。シミュレーション環境は表 1 のものと同様である。図 5 にその結果を示す。縦軸はアクセスの割合を示しており、内訳はそれぞれ、デマンドヒット、ライトバック、LLC ミスとなる。横軸は各ベンチマークプログラムを示す。デマンドヒットは読み込みアクセスと見なすことができ、ライトバックと LLC ミスは書き込みアクセスと見なすことができる。図 5 に示す様に、書き込みアクセスが支配的となる状況は多い。その様な場合には本手法は有効となる。

4. 評価

本章では、4.1 節にてシミュレーション環境を述べ、4.2 節にて評価結果について述べる。

4.1 評価環境

本手法の有効性を確認するため、プロセッサシミュレータ Gem5 を用いて評価を行った [1]。表 1 に評価環境の詳細を示す。文献 [6] では、STT-MRAM の集積度は SRAM の 2 倍程度とされているため、本評価では同一の面積制約下として、STT-MRAM キャッシュの容量を SRAM キャッシュのその 2 倍と仮定した。

STT-MRAM の読み込み/書き込みエネルギーはそれぞれ 0.368[nJ/line]、1.137[nJ/line] としている。これらは、32nm のハイパフォーマンス CMOS プロセステクノロジーを仮定しており、これらは最新の STT-MRAM のものである [6]。リーク電力は 78.6[mW] 程度としており、キャッシュコントローラと H-tree バスのエネルギーを含んでいる。さらにサブアレイごとのリーク電力、電源遮断オーバーヘッドエネルギー、復帰レイテンシをそれぞれ、2.46[mW]、0.469[nJ]、4[ns] と仮定した。これらは 32KB のメモリアレイの RC ネットリストから推定した。また、タグアレイは SRAM によって構成されているものとする。ただし、タグアレイのリーク電力は周辺回路のリーク電力と比較して小さいため、本評価では含んでいない。

さらに、LLC を SRAM で構成した場合のアクセスエネルギー、リーク電力をそれぞれ 0.114[nJ/line]、0.129[mW] とした。これらは 32nm の低電力 CMOS プロセステクノロジーを仮定している。また、これらのパラメータは CACTI を用いて取得した [5]。

表 2 に書き込みバッファアレイのパラメータを示す。これらのパラメータも同様に CACTI を用いて取得した [5]。リーク電力は 32 個のサブアレイ用バッファ全てを含んだものである。表 2 に示す様に、バッファアレイのタグ及び

表 1 シミュレーションパラメータ

Component	Parameters
CPU	2cores, alpha, in-order 4-way fetch/decode/issue
L1 D/I cache (SRAM)	32KB, 1-cycle latency 4-way set assoc., 64B line
L2 cache (SRAM)	512KB, 7-cycle latency 8-way set assoc., 64B line
L2 cache (STT-MRAM)	1MB, 8-cycle latency(read), 10-cycle latency(write), 8-way set assoc., 64B line, 32KB subarray
Main memory	100-cycle latency

表 2 バッファアレイのパラメータ

#buffer	latency [ns]		dynamic [nJ/line]		leakage [mW]
	(tag)	(data)	(tag)	(data)	
2	0.273	0.391	8.35e-05	3.31e-03	0.511
4	0.277	0.572	1.57e-04	4.87e-03	0.975
8	0.290	1.14	2.94e-04	7.99e-03	1.95
16	0.309	1.72	5.54e-04	0.102	7.78

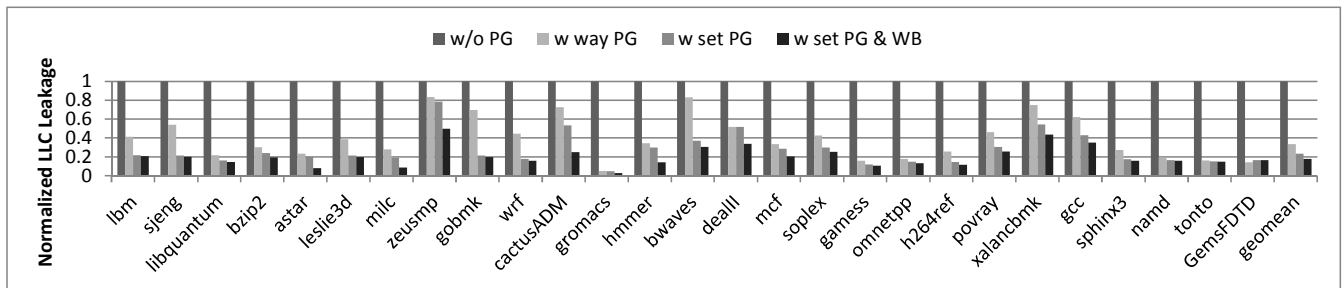


図 7 各方式でのリークエネルギー比較

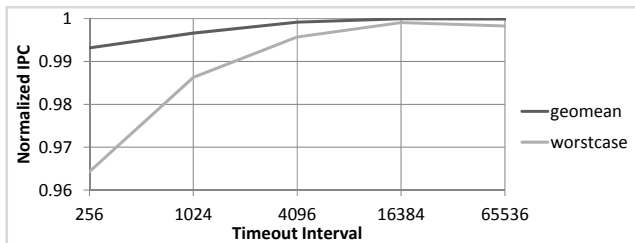


図 8 タイムアウト時間と性能の関係

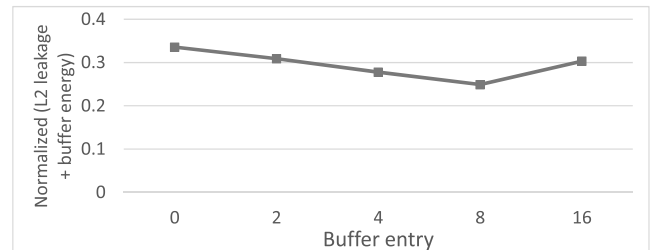


図 9 バッファエントリ数と LLC のエネルギー消費の関係

データアクセスレイテンシは非常に小さいため、以降の評価ではこれを考慮しないものとする。

また、評価に用いるベンチマークプログラムとして、SPEC CPU2006 を利用した [2]。シミュレーションでは、分析をしやすいように、各々のコアで同一のベンチマークプログラムを実行した。

4.2 評価結果

図 8 にタイムアウト時間と性能の関係を示す。ただし、これらの曲線は全ベンチマークプログラムの幾何平均と最悪値を示している。横軸はタイムアウト時間を表しており、縦軸は相対 IPC を示しており、電源遮断を行わない場合の IPC で正規化されている。本研究では性能低下率の許容値を 1.5% と仮定し、以降ではタイムアウト時間を 1K サイクルとする。

図 9 に LLC のリークエネルギーとバッファのエントリ数の関係を示す。横軸はサブアレイごとのバッファのエントリ数を示している。縦軸は相対エネルギーを表しており、LLC のリークエネルギーとバッファアレイのエネルギーの総和を、電源遮断を行わない場合の LLC のリークエネルギーで正規化したものとなっている。また、これらの値は全ベンチマークプログラムの幾何平均値である。図から最適エントリ数を 8 とし、以下ではバッファを用いる場合のエントリ数を 8 とする。ただし、以上の評価は way-division の場合で行った。

次に、図 7 に各方式で LLC のリークエネルギーを比較したものを示す。横軸は各ベンチマークプログラムごとに各方式を並べて示している。各方式については、“w/o PG” は電源遮断を行わない場合を示し、“w way PG” は way-division 方式を適用し電源遮断を行う場合を示し、“w

set PG” は set-division 方式を適用し電源遮断を行う場合を示し、“w set PG & w WB” は “w set PG” にさらに書き込みバッファを適用する場合を示している。縦軸は LLC のリークエネルギーを示しており、“w/o PG” のそれで正規化されている。

周辺回路の電源遮断を単に行うだけでも LLC のリークエネルギーの 67% 削減できることが分かる。さらに局所性を考慮したアクセス制御を行うことで、さらに 10 数% のエネルギー削減が可能となる。gobmk の場合、“w set PG” 方式では “w way PG” 方式と比較して 40% リークエネルギーを多く削減できている。これは、このアプリケーションでは、ページ単位のアクセスの局所性が高いことが理由の一つと考えられる。cactusADM の場合ではバッファを用意することで 30% 程度リークエネルギーを削減できることが分かる。これは、LLC に対する書き込みアクセスの頻度が高いことが理由として考えられる。

図 10 に LLC の総エネルギー消費を各方式ごとに比較したものを示す。横軸は各ベンチマークプログラムごとに各方式を並べて示している。各方式の意味は前述のものと同様である。エネルギーの内訳は、LLC のリークエネルギー、LLC のダイナミックエネルギー、バッファアレイのリーク/ダイナミックエネルギーとなっている。SRAM 構成の LLC の消費エネルギーで正規化されている。平均では、サブアレイ単位の電源遮断を行うことで 60% のエネルギー削減が可能であり、さらに局所性を考慮したアクセス制御を行うことで、さらに 10% のエネルギー削減が可能となる。いくつかのベンチマークでは、書き込みエネルギーが大きいため、エネルギー削減効果が小さくなっている。しかし、書き込みエネルギーはバッファの構成と制御ポリ

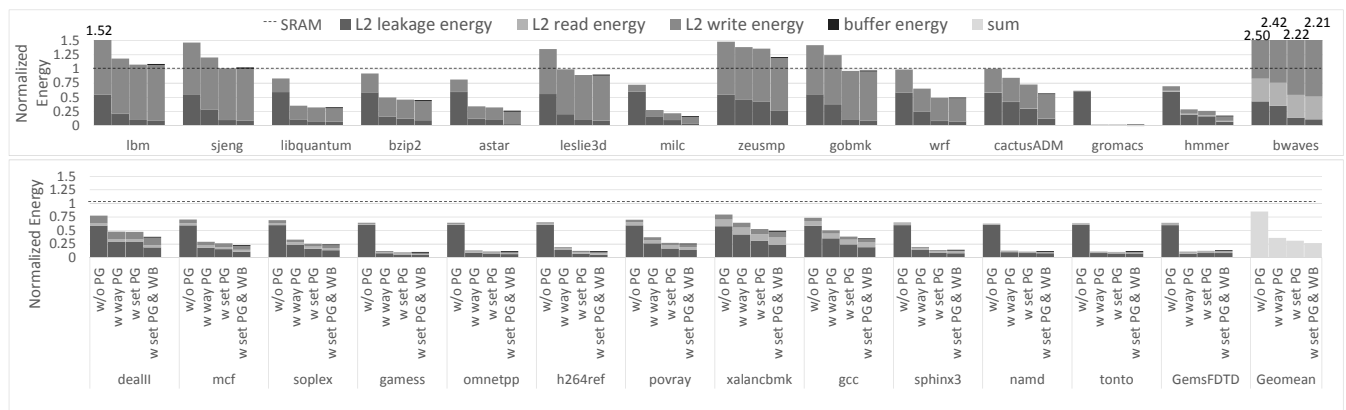


図 10 LLC エネルギーの比較

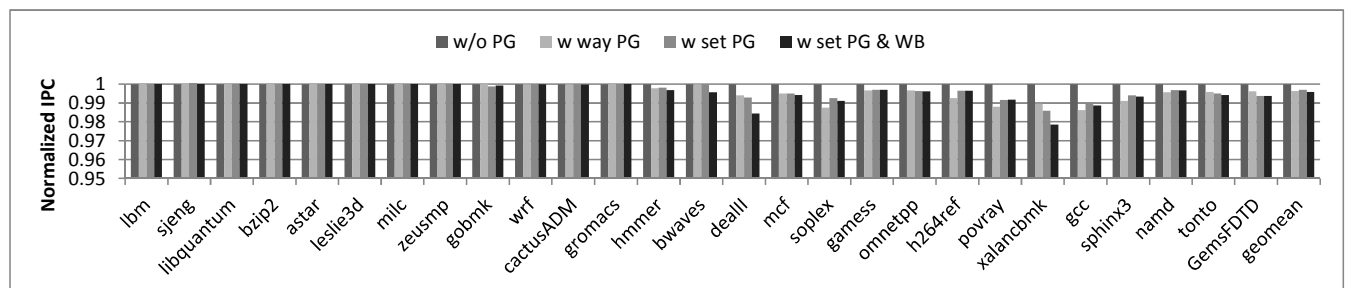


図 11 各方式による性能低下

シーを工夫することで削減できると考えられ、これを今後行っていく。

最後、図 11 に各方式での性能低下を示す。横軸はベンチマークプログラムを示している。縦軸は相対 IPC を示しており、“w/o PG” の場合の IPC で正規化されている。各方式の意味は前述のものと同様である。図の様にほとんどのベンチマークにおいて提案手法による性能低下は無視できる程小さいことが分かる。

5. まとめ

STT-MRAM の周辺回路のリーク電力を削減するため、サブレイ単位の電源制御を提案した。この粒度での電源制御では面積オーバーヘッドが無視できる。さらに、リーク電力削減効果を増大させるため、空間的局所性を向上させるサブレイのマッピング方式と、書き込みバッファを用いた時間的局所性を向上させる手法を提案した。これらの方式の有効性を確認するため、プロセッサシミュレータを用いた評価を実施した。評価の結果、LLC のリークエネルギーの内、67%のエネルギーをサブレイ単位の電源遮断によって削減可能であることが分かった。さらに、サブレイ単位のアクセスの局所性を向上させることで、15%程度のエネルギーをさらに削減できることが分かった。

謝辞

本研究の一部は、NEDO「ノーマリーオフコンピューティング基盤技術開発」事業による。

参考文献

- [1] Binkert, N., Beckmann, B., Black, G., Reinhardt, S. K., Saidi, A., Basu, A., Hestness, J., Hower, D. R., Krishna, T., Sardashti, S., Sen, R., Sewell, K., Shoaib, M., Vaish, N., Hill, M. D. and Wood, D. A.: *The Gem5 Simulator*, *SIGARCH Computer Architecture News*, Vol. 39, No. 2, pp. 1–7 (2011).
- [2] Henning, J. L.: *SPEC CPU2006 Benchmark Descriptions*, *SIGARCH Computer Architecture News*, Vol. 34, No. 4, pp. 1–17 (2006).
- [3] Kitagawa, E., Fujita, S., Nomura, K., Noguchi, H., Abe, K., Ikegami, K., Daibou, T., Kato, Y., Kamata, C., Kashiwada, S., Shimomura, N., Ito, J. and Yoda, H.: *Impact of Ultra Low Power and Fast Write Operation of Advance Perpendicular MTJ on Power Reduction for High-Performance Mobile CPU*, *IEDM*, pp. 677–680 (2012).
- [4] Li, S., Chen, K., Ahn, J.-H., Brockman, J. and Jouppi, N.: *CACTI-P: Architecture-Level Modeling for SRAM-based Structures with Advanced Leakage Reduction Techniques*, *ICCAD*, pp. 694–701 (2011).
- [5] Muralimanohar, N. and Balasubramonian, R.: *CACTI 6.0: A Tool to Understand Large Caches*.
- [6] Noguchi, H., Kushida, K., Ikegami, K., Abe, K., Kitagawa, E., Kashiwada, S., Kamata, C., Kawasumi, A., Hara, H. and Fujita, S.: *A 250-MHz 256b-I/O 1-Mb STT-MRAM with Advanced Perpendicular MTJ Based Dual Cell for Nonvolatile Magnetic Caches to Reduce Active Power of Processors*, *VLSIC*, pp. 108–109 (2013).
- [7] Wu, X., Li, J., Zhang, L., Speight, E., Rajamony, R. and Xie, Y.: *Hybrid Cache Architecture with Disparate Memory Technologies*, *ISCA*, pp. 34–45 (2009).
- [8] Zhou, P., Zhao, B., Yang, J. and Zhang, Y.: *Energy Reduction for STT-RAM Using Early Write Termination*, *ICCAD*, pp. 264–268 (2009).