

単一磁束量子回路を用いた4ビット ゲートレベルパイプライン・プロセッサの設計と評価

石田 浩貴^{1,a)} 田中 雅光² 小野 貴継¹ 井上 弘士¹

概要：本稿では、超伝導単一磁束量子 (SFQ: Single-Flux-Quantum) 回路を用いた高性能プロセッサの実現に向け、4ビットゲートレベルパイプライン・プロセッサの設計および評価を行う。具体的には、論理ゲートレベルの深いパイプライン構造を採用するプロセッサのマイクロアーキテクチャ策定、および、レイアウト設計を行う。そして、ポストレイアウト・シミュレーションによる動作確認を行い、動作周波数、消費電力、および、面積を評価する。また、64ビットへの拡張を想定し、性能ならびに冷却オーバーヘッドを考慮した消費電力を見積もり、その有効性を議論する。

1. はじめに

現在、CMOS プロセッサは消費電力問題を回避するため、動作周波数を抑制せざるをえない状況にある。事実、2005年以降の商用プロセッサの動作周波数は数ギガヘルツで頭打ちとなっており、動作周波数改善による性能向上は困難となった。その後、複数のコアを一つのチップ内部に集積するマルチコアの導入によって性能向上が維持された。しかしながら2025年から2030年頃には、技術的または経済的理由により半導体の微細化が終焉を迎えるという予想があり、今後は集積度の改善に頼る性能向上を見込めなくなるため、新奇デバイスに対する期待が高まっている。

消費電力問題を解決し、高い動作周波数を狙えるデバイスとして、ジョセフソン接合を用いた超伝導単一磁束量子 (SFQ: Single Flux Quantum) 回路がある [10]。SFQ 回路は、超伝導ループ内に量子化される磁束を情報担体とし、その磁束消失時に発生する微弱の電圧パルス进行操作することで論理演算を行う。そのため、論理ゲートあたりの消費電力が、電荷の充放電が必要な CMOS 回路に比べ 1/1,000 以下という低消費電力性を有する。また、ジョセフソン接合による数ピコ秒オーダーでのスイッチングや、超伝導伝送路による光速と同程度でのビット情報伝播といった高速性を併せ持つ。SFQ 回路は超伝導状態で動作するため、回路を 4 ケルビン程度まで冷却する必要があるが、冷凍機の消費電力を加味しても CMOS 回路に対して優位性を保つこ

とができるよう、近年ではよりエネルギー効率の高い回路方式が次々と提案されている [8], [9], [11], [17], [18]。このような特徴から、米国では国策として超伝導プロセッサ開発が推進されるなど、今後のコンピュータ発展に有用なデバイスとして注目されている [6]。

SFQ 回路を用いたプロセッサの研究は米国の設計/試作をはじめとし、これまでに日本でも動作実証が行われている [13], [14], [15], [16], [19]。これらの実証に成功したプロセッサは集積度の問題からビットシリアル処理を導入している。そのため、動作周波数は 15~100 GHz であったが、プログラムの実行速度という観点では現在の CMOS プロセッサと同程度のポテンシャルを示すに留まっていた。近年ではデバイス作製プロセスや集積回路技術が発達したことにより、ビットパラレル処理による大規模かつ複雑な処理が実現可能となっており、今後は設計容易化を優先したアーキテクチャによる動作実証フェーズから、SFQ 回路の特性を考慮した新アーキテクチャ検討のフェーズに移行する必要がある。

そこで我々は、CMOS 技術を凌駕する高性能/低消費電力な計算機システムの実現を目指し、SFQ 回路を用いたコンピューティング技術に関する研究開発を進めている。これまでに、SFQ 回路のデバイス特性や設計制約を勘案した SFQ 向けプロセッサ・アーキテクチャを検討し、ゲートレベルパイプライン処理によって理論上 1.5 W 程度の消費電力で 200 GHz 強の動作周波数を達成する可能性があることが明らかになっている [23]。しかしながら、実設計に基づく提案アーキテクチャの実現可能性、および、有効性は明らかになっていない。そこで本稿では、実設計に基づく性能、消費電力、および、面積評価を行う。具体的には、4

¹ 九州大学
Kyusyu University, Fukuoka-shi, 819-0395, Japan

² 名古屋大学
Nagoya University, Nagoya-shi, 464-8603, Japan

^{a)} koki.ishida@cpc.ait.kyushu-u.ac.jp

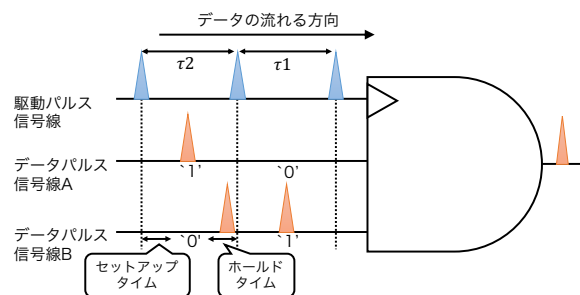


図 1 SFQ AND ゲートの動作例

ビット SFQ プロセッサのマイクロアーキテクチャ設計／レイアウト設計を行い、シミュレーションにより動作確認を行う。その結果、最大 30 GHz での正常動作を確認し、その際の消費電力は 6.57 mW、回路面積は 12.8 mm² であった。また、設計結果に基づき 64 ビット SFQ プロセッサの性能、および、消費電力を見積もった結果、SFQ 回路に必要な実在冷凍機の消費電力を考慮した場合でも、SFQ マイクロプロセッサと似た設計指針を採用する CMOS プロセッサ・モデルと比較し、最大約 51 倍の電力効率を達成する可能性があることが分かった。

2. 単一磁束量子回路

2.1 パルス論理

SFQ 回路は、2 つの超伝導体間に薄い障壁層を挟み弱結合させたデバイスであるジョセフソン接合 (JJ: Josephson Junction) を基本素子とし、超伝導ループ内に量子化された磁束を用いて演算する回路の総称である。SFQ 回路は、ジョセフソン接合がスイッチする際に発生する微弱なパルス電圧 (SFQ パルスと呼ぶ) の有無で '0', '1' を表すパルス論理である [10]。パルス論理では、パルスの到着により論理値 '1' を表現する場合、論理値 '0' の状態とパルス未到着の状態を区別できない。そのため、SFQ 回路で構成される論理ゲート特有のラッチ機能と、駆動パルス信号と呼ばれる SFQ パルスによってゲート毎に同期をとることで '0', '1' を区別する。具体的には、駆動パルス信号が論理ゲートに到着する時刻までにデータパルス信号が入力されていたら '1'、入力されていない場合は '0' と判別する。図 1 は、データパルス信号が右方向に進み、AND ゲートに入力されるまでの様子を表している。駆動パルス信号の周期 τ_1 では入力 B のみデータパルス信号が存在するため、周期 τ_1 における AND ゲートの入力 A は '0'、入力 B は '1' と判別される。実際には、入力 B のデータパルスが論理ゲート内部に保持され、駆動パルス信号が入力された後に論理演算が行われる。

SFQ 回路で構成される論理ゲートはラッチ機能を有しているため、ゲート毎にセットアップタイムならびにホールドタイムと呼ばれる入力を正しく判別するための制約時間がある。セットアップタイムとは、論理ゲートにデータ

パルス信号が入力されてから、駆動パルス信号が入力されるまで空ける必要のある時間である。これに対しホールドタイムとは、駆動パルス信号が入力されてから、次のデータパルス信号入力まで空ける必要のある時間である。例えば、図 1 の周期 τ_2 における入力 B のデータパルス信号は上記の制約を満たしていないため、入力がない、すなわち '0' と認識される。

駆動パルス信号は SFQ 回路の全論理ゲートを駆動するため、その周期は SFQ 回路の動作速度を評価する際の重要な指標となる。ある論理ゲート間の駆動パルス信号の周期は以下の式 (1) を用いて表される。

$$CCT = \max(HoldTime_{N-Gate}, GateDelay_{P-Gate} + WD) + SetupTime_{N-Gate} + M \quad (1)$$

ここで $HoldTime_{N-Gate}$ は次段論理ゲートのホールドタイム、 $GateDelay_{P-Gate}$ は前段ゲートの遅延、 $SetupTime_{N-Gate}$ は次段論理ゲートのセットアップタイム、 M は製造ばらつきやジッタ対策のためのマージン、 WD は配線遅延を表している。回路を構成する論理ゲート間の CCT の最大値が、SFQ 回路全体の駆動パルス信号の周期となる。セットアップタイムならびにホールドタイムは論理ゲートの種類ごとに特定の値を持っているため、SFQ 回路の高速化には論理ゲート間の配線遅延 WD を抑える必要があり、SFQ 回路設計においてゲートレベルでの詳細なタイミング調整が鍵となる。

2.2 設計手法

第 2.1 節で示した通り、SFQ 回路の設計においては、微弱な電圧パルスの到着時間の詳細なタイミング設計が鍵となっている。大規模な SFQ 回路の設計として、SFQ スタンダードセル・ライブラリ [20] を用いたセルベース設計法 [21] が開発されている。これは、論理ゲートや配線などの基本回路をあらかじめ“セル”として設計し、それらを用いて回路を設計する階層設計手法である。実際の設計では、Cadence 社の Virtuoso 環境を用いて手動で配置／配線する。タイミング設計では、タイミングパラメータのテーブルに基づいた静的タイミング解析が可能になっている。現在は手設計に頼っているが、設計自動化の研究も行われている。

設計した回路は、Cadence 社の Verilog-XL とよばれるシミュレータを用いて動作確認される。セルはそれぞれの動作および遅延情報をハードウェア記述言語 (HDL: Hardware Description Language) である Verilog を用いてゲートレベルで記述されており、作成された回路図から抽出されるネットリストを基に、遅延情報を含むゲートレベルでのシミュレーションを行うことができる。シミュレーション実行前に、テストパターンを Verilog で記述し、所望の動作が得られているか確認することができる。

2.3 単一磁束量子回路技術の現状

2.3.1 SFQ プロセッサの現状

これまでに様々な SFQ プロセッサの試作研究が行われてきた [13], [14], [15], [16], [19]. 実際に試作された SFQ プロセッサである CORE1 β では, 25GHz と高速な回路動作の実証に成功している [14], [19]. これらのプロセッサ試作では, タイミング設計の容易化と回路規模の縮小を優先したアーキテクチャを採用している. 具体的には, データ処理方式としてビットシリアル処理を採用している. ビットシリアル処理とは, データを 1 ビット単位で処理する方式である. そのため, ビット幅に応じて処理回数が増加することから実行時間が長くなるという問題がある. また, CORE1 β は 7 段のパイプラインステージで構成されている. 各パイプラインステージは複数の論理ゲートからなるため, 論理ゲート一つ一つは 25 GHz で動作しているものの, パイプラインステージに供給されるグローバルクロック信号の周波数は 1.5 GHz に留まっている. そのため, 現状では SFQ 回路の特性を最大限に活かした内部構成とは言い難い.

これまでの研究より, ゲートレベルパイプライン構造を採用することで, ジョセフソン接合の微細化や設計技術が進歩した場合には 200 GHz を超える動作周波数を実現できる可能性があることが分かっている [23]. これは, 論理ゲートが一つのパイプラインステージを担うことで, 周期が 1 論理ゲートの遅延程度である高速な駆動パルス信号によってパイプラインステージを制御できるためである. したがって, 今後は設計容易化を優先したアーキテクチャによる動作実証フェーズから, SFQ 回路の特性を考慮した新アーキテクチャ検討のフェーズに移行する必要がある.

2.3.2 低消費電力化技術

超伝導回路の冷却には, 極低温下で回路が消費する電力の 1,000 倍程度の電力が必要であり, SFQ 回路の有する低消費電力性の強みが薄れてしまう. この問題から SFQ 回路の低消費電力化への関心が高まり, 近年では様々な低消費電力 SFQ 回路技術が提案/実証されている [8], [9], [11], [17], [18].

SFQ 回路の消費電力は, 回路のジョセフソン接合がスイッチする際に消費する動的消費電力と, ジョセフソン接合にバイアス電流を供給するために必要な静的消費電力の和で近似できる. 静的消費電力は全体の 9 割以上を占めており, 低消費電力化技術は基本的にこの静的消費電力を下げるアプローチを採っている. なかでも ERSFQ (Energy-efficient Rapid Single Flux Quantum) とよばれる回路方式では, バイアス抵抗をジョセフソン接合で代用することで静的消費電力は理論上ゼロとなる [8], [9]. バイアス抵抗の代わりに追加するジョセフソン接合がスイッチする際にエネルギーを消費するため, 通常の SFQ 回路に比べ動的消費電力が 2 倍程度になるという報告 [11] がある

が, それを踏まえても消費電力を大幅に削減することができる. このように, 冷凍機のコストを加味しても CMOS 回路に対して優位性を保つべく, さまざまな低消費電力 SFQ 回路技術の研究開発が進められている.

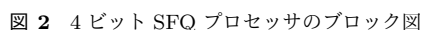
3. プロセッサの設計

3.1 設計目的と方針

高性能 SFQ プロセッサの実現には, デバイス/回路特性と各種設計制約を勘案したマイクロアーキテクチャを導入しなければならない. そこで我々は, これまでに検討した SFQ プロセッサ向けアーキテクチャ [23], ならびに, SFQ 回路と設計技術に関する現状を考慮し, マイクロアーキテクチャ決定に向け以下の方針を採ることとした.

- **ゲートレベルパイプライン構造**: ゲートレベルパイプライン構造とは, 一つの論理ゲートが一段のパイプラインステージを担う最も粒度の細かいパイプライン構造である. SFQ 回路では, 各論理ゲートがラッチ機能を有することから, CMOS 回路のように, パイプライン・レジスタ追加のコストはない. また, SFQ 回路で構成される DFF (Delay Flip-Flop) の動的消費電力は, 100 GHz で動作した場合でも 0.01 μ W 程度であり, CMOS 回路のような厳しい電力制約がないため, 徹底的な高周波動作の追求が可能である. さらに, 従来の SFQ プロセッサで必要であった駆動パルス信号とグローバルクロック信号を一本化 (つまり, 駆動パルス信号でパイプライン全体の動作を制御する) でき, 設計容易化の観点からも利点がある.
- **細粒度 SIMT (Single Instruction Multiple Thread) 方式**: 一般的に, 深いパイプライン構造を持つプロセッサでは, パイプラインストールが発生した場合性能が著しく低下する. 既存の高性能プロセッサではストール隠蔽技術としてアウトオブオーダー実行方式を採用している. しかしながら, フィードバックループを有する複雑なランダムロジックに関して, SFQ 回路でターゲットとしている数十 GHz 以上の動作周波数では, 電磁波の信号伝搬時間が無視できない. また, 量子を情報担体とするためファンアウトが得られにくい. そのため, 複雑な論理を要する命令ウィンド, リネーミング機構, 高度な分岐予測機構, リオーダーバッファ, パイプラインステージ間を跨いだフィードバックループを形成するフォワーディング機構などを実装することが難しいと予想される. そこで, 徹底したハードウェアの簡素化を実現しつつ, 極めて深いパイプラインでのストール隠蔽を可能にすべく, パイプライン段数と同程度のスレッドを起動しクロックサイクル毎に切り替えて実行を進める細粒度マルチスレッディング方式を導入する.

細粒度マルチスレッディングの実現には, スレッドご



- **FIFO (First In First Out) メモリを基本とするメモリ階層**: 細粒度マルチスレッディングを実現するためには、巨大なレジスタファイルを構成し、クロックサイクル毎に適切なレジスタセットを後段パイプラインステージへと出力しなければならない. SFQ 回路を用いたメモリの実装に関しては、これまでに幾つかの提案が行われてきたが、最も実用的なのはシフトレジスタを基本とする FIFO メモリである. これは、SFQ は回路内部にフィードバックループを持たない単方向データ流の処理を得意とすることに起因する. たとえば、 $2.0\mu\text{m}$ Nb プロセスにおいて 20ps で動作可能なシフトレジスタの設計事例があり [5], SFQ マイクロプロセッサ CORE 1 β のレジスタファイルや、CORE

命令	動作	オペコード	命令フォーマット
ADD	整数加算	100000	二項演算命令
SUB	整数減算	101000	二項演算命令
ADDS0	条件付き整数加算	100100	二項演算命令
SUBS0	条件付き整数減算	101100	二項演算命令
ADDI	整数即値加算	110000	二項演算命令
SUBI	整数即値減算	111000	二項演算命令
LW	整数ロード	111100	データ転送命令
LI	整数即値ロード	010000	データ転送命令
SW	整数ストア	010100	データ転送命令
SK6S0	条件付きスキップ	000010	制御命令
HLT	終了	000001	制御命令
NOP	ノン・オペレーション	000000	制御命令

プロセッサのブロック図を図 2 に示す。命令長は 10 ビット、データビット幅は 4 ビットである。全体のパイプライン段数は 24 段であるが、試作に用いるプロセスにて実装可能な回路規模へ抑制すべく、スレッド数は半分の 12 とした。この場合、連続する二命令間に依存関係がないよう、命令実行をスケジューリングをする必要がある。命令セットは、表 1 に示す独自の RISC ベースのものをを用いた。

4

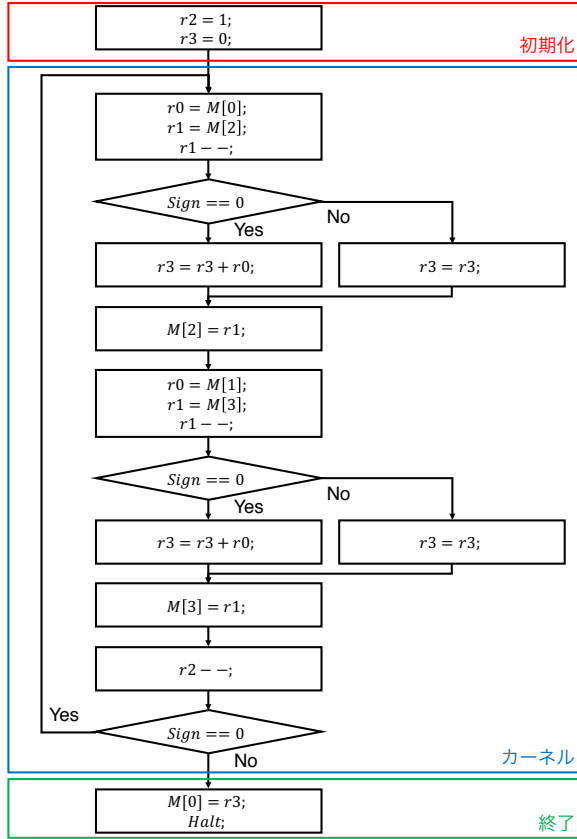


図 3 テストプログラムの動作フロー

ウト・シミュレーションにより、各命令とテストプログラムの正しい実行を確認することで実施した。テストプログラムとして、 2×2 の行列ベクトル積を加減算の繰り返しによって求めるプログラムを採用した。動作フローを図3、また、アセンブリ記述を表2に示す。

4. 評価

4.1 評価方法

本節では、設計結果に基づき SFQ プロセッサの性能、消費電力、ならびに、面積を評価する。性能評価では、評価指標として1秒あたりの平均演算実行数 (OPS: Operation Per Second) を用いる。OPS は動作周波数 f と1クロックサイクルあたりの演算実行数 ω を用いて以下の式 (2) で表される。

$$OPS = f \times \omega \quad (2)$$

動作周波数 f は、テストプログラム実行時の駆動パルスの周期 CCT を用いて以下の式 (3) で算出する。

$$f = 1/CCT \quad (3)$$

消費電力は、ジョセフソン接合数に基づいて算出する。SFQ プロセッサの全体消費電力 P_{all} は動的消費電力 $P_{dynamic}$ と静的消費電力 P_{static} を用いて式 (4) で表される。

$$P_{all} = P_{dynamic} + P_{static} \quad (4)$$

また、 $P_{dynamic}$ 、 P_{static} はそれぞれ式 (5)、式 (6) で与えられる。

$$P_{dynamic} = \alpha \Phi_0 I_c f \times N_{JJ} \quad (5)$$

$$P_{static} = V_{bias} \times I_{bias} \quad (6)$$

ここで、 α はスイッチング確率、 Φ_0 は磁束量子、 I_c は臨界電流値、 f は動作周波数、 V_{bias} はバイアス電圧、 I_{bias} は回路全体に供給するバイアス電流の合計、 N_{JJ} はジョセフソン接合数である。 I_c 、 V の値は過去の設計事例 [22] を参考にし、表3に示す値を用いる。また、 I_{bias} 、 N_{JJ} は設計結果より求める。また、回路面積は、設計した SFQ プロセッサのレイアウトより求める。

4.2 4ビットプロセッサの評価

まず、4ビットプロセッサの性能評価を行う。プロセッサの動作検証の結果、駆動パルスの周期が 33 ps 以上の場合において正常動作を確認した。それ以下の周期では、論理ゲートのタイミング制約 (セットアップタイムとホールドタイム) を満たすことができず誤動作を起こすことから、本評価では、正常動作を確認した最小の駆動パルスの周期である 33 ps を CCT とした。動作周波数は 30 GHz であり、1クロックサイクルあたりの演算実行数は1であるため性能は 30 OPS と算出された。

次に消費電力を評価する。回路設計の結果より、 I_{bias} は 2,566.841 mA、 N_{JJ} は 23,713 JJ であることが分かった。静的消費電力 P_{static} は式 (6) より 6.42 mW と求められた。また、動的消費電力 $P_{dynamic}$ は式 (5) を用いて、回路を構成するジョセフソン接合の半分がスイッチする場合を想定したスイッチング確率 $\alpha = 0.5$ の時は 0.0744 mW、ワーストケースである $\alpha = 1$ の場合は 0.149 mW となった。したがって、回路全体の消費電力 P_{all} は、スイッチング確率 $\alpha = 0.5$ の時は 6.49 mW、ワーストケースである $\alpha = 1$ の場合は 6.57 mW となった。

面積に関しては、設計した結果より 12.8 mm² であることが分かった。配線部分は全体の 64% の 8.16 mm²、論理ゲート部分は全体の 36% の 4.59 mm² であった。また、図4はプロセッサのレイアウトを示しており、縦幅は 4.08 mm、横幅は 5.31 mm であった。

4.3 64ビット版への拡張

4.3.1 パイプライン段数の見積もり

まず、設計した4ビット SFQ プロセッサに基づき、データビット幅が64ビットの SFQ プロセッサのパイプライン段数を見積もる。設計した4ビットプロセッサにおいて、データのビット数増加によって論理ゲート段数 (ゲートレベルパイプライン構造をとるため、すなわち、パイプライン

表 2 テストプログラムのアセンブリ記述

0:	LI	r2	0x1	#count に 1 をセット
1:	LI	r3	0x0	#acc に 0 をセット
2:	NOP			
3:	LW	r1	M[2]	#乗数をロード
4:	LW	r0	M[0]	#被乗数をロード
5:	SUBI	r1	0x1	#乗数をデクリメント&符合フラグの値をセット
6:	ADDS0	r3	r0	#符合フラグの値が 0 ならば加算
7:	SW	r1	M[2]	#乗数をメモリに格納
8:	LW	r1	M[3]	#乗数をロード
9:	LW	r0	M[1]	#被乗数をロード
10:	SUBI	r1	0x1	#乗数をデクリメント&符合フラグの値をセット
11:	ADDS00	r3	r0	#符合フラグの値が 0 ならば加算
12:	ST	r1	M[3]	#乗数をメモリに格納
13:	SUBI	r2	0x1	#count をデクリメント&符合フラグの値をセット
14:	NOP			
15:	NOP			
16:	NOP			
17:	NOP			
18:	NOP			
19:	SK6S0			#符合フラグの値が 0 ならば終了領域と初期化領域をスキップ
20:	NOP			#スキップ遅延スロット
21:	SW	r3	M[0]	#演算結果をメモリに格納
22:	NOP			
23:	HLT			#終了

表 3 消費電力算出に用いるパラメータ

パラメータ	値
Φ_0	2.07 (mV · ps)
I_c	0.1 (mA)
V_{bias}	2.5 (mV)

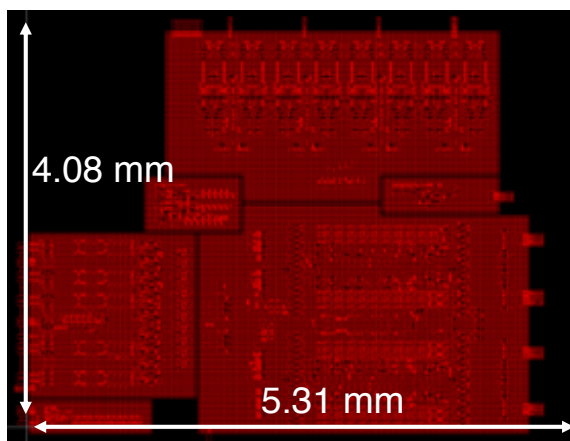


図 4 4 ビットプロセッサのレイアウト

段数)が増加するモジュールは算術論理演算ユニットである ALU のみである。したがって、64 ビット ALU の論理ゲート段数が明らかになれば、64 ビットプロセッサのパイプライン段数は求められる。設計した 4 ビットプロセッサは、データビット幅が 4 ビットと少なかったため桁上げ伝搬加算器を採用していた。しかしながら、桁上げ伝搬

加算器では、データのビット幅 n に対して論理ゲート段数は $O(n)$ で増加するため、64 ビット版では大幅にゲート段数が増加することが考えられる。そこで、過去に設計された SFQ 回路で構成される 8 ビット ALU で用いられた並列プリフィクス加算器の Brent-Kong Adder [1] の構造を参考にした。並列プリフィクス加算器とは、桁上げ信号(キャリー)を順次計算せず並列化して行い、それらをまとめて加算を行う演算方式を用いる加算器である。これまでに、SFQ 回路を用いて代表的な並列プリフィクス加算器である Kogge-Stone Adder や Sklansky Adder に基づく ALU も設計/試作されているが、配線密度やファンアウトなどの SFQ 回路の設計制約を考慮した場合、比較的配線が単純でファンアウトの少ない Brent-Kong Adder が優れている。また、この Brent-Kong Adder では、論理ゲート段数は他と比較し少し増加するものの、ゲート間の配線が単純であるため、より高い動作周波数は数を狙いやすいという特徴があり、採用するアーキテクチャ設計指針と合致する。したがって、Brent-Kong Adder に基づき 64 ビット SFQ プロセッサの ALU の論理ゲート段数を見積もることとする。 n ビット Brent-Kong Adder の論理ゲート段数は $2\log_2 n + 3$ 段であり、64 ビットの場合は 15 段となる。

設計した 4 ビットプロセッサに搭載されている ALU は 6 段で構成されているため、64 ビットに拡張する際に $15 - 6 = 9$ 段増加することが分かる。パイプライン段数増

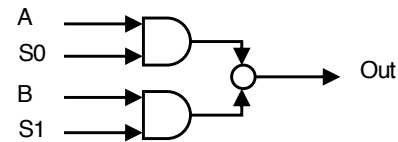
表 4 各ゲートのジョセフソン接合数

論理ゲート名	ジョセフソン接合数
DFE	6
AND	15
NOT	11
OR	12
XOR	11
Wired OR	7

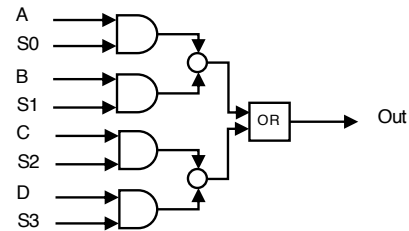
加に伴い、細粒度マルチスレッディングのスレッド、および、レジスタファイルを追加する。設計した4ビットプロセッサは、図2に示すように、循環型レジスタファイルのエントリ数と演算パスの論理ゲート段数を揃えており、同じスレッドのレジスタセットと命令実行結果のタイミングが合うように設計してある。よって、ALUが9段増加する場合、循環型レジスタファイルのエントリも9個（9スレッド分）増やす必要がある。以上より、本設計仕様に基づくSFQプロセッサのデータ語長を64ビットに拡張する場合、パイプライン段数は $9 \times 2 = 18$ 段増加した、42段と見積もられる。

4.3.2 回路規模の見積もり

まず、データビット幅の増加による回路の大規模化の影響について考える。データビット幅増加の影響を受ける回路は、データメモリ、循環型レジスタファイル、ALU、データ選択に関わる制御用マルチプレクサ（ソースオペランド選択回路、演算結果選択回路、ライトバックデータ選択回路）がある。SFQ回路では論理ゲートだけでなく配線にもジョセフソン接合が含まれており、回路規模の見積もりには、論理ゲート部分と配線部分の両方のジョセフソン接合数を算出する必要がある。論理ゲート部分については大規模化の影響を受ける回路の論理ゲート数のモデリングにより求める。例としてデータ選択に関わる制御用マルチプレクサの論理ゲート数のモデリングを示すが、全ての回路ごとの論理ゲート数モデルについては紙面の都合上省略する。マルチプレクサは、選択信号のデコード回路と実際にデータを選択する選択回路の二つに分けられ、デコード回路の規模は選択対象数に、選択回路は選択対象のビット幅に依存する。64ビット拡張では、データ語長以外に関する仕様については変更しないため、選択回路のみが見積もり対象になる。本設計に用いられる1ビットデータ選択用2入力マルチプレクサ、4入力マルチプレクサの選択回路の構造をそれぞれ図5(a), (b)に示す。図5のA, Bがデータ信号入力、S0~S3が選択信号入力を示している。ビット幅が n ビットの場合、図5の回路がそれぞれ n 個必要となり、2入力マルチプレクサの選択回路ではANDゲートは $2n$ 個、Wired ORは n 個、4入力マルチプレクサの選択回路ではANDゲートは $4n$ 個、Wired ORは $2n$ 個、ORゲートは n 個必要であることがわかる。このように各回路の各論理ゲート数、および、各ゲートあたりのジョセ



(a) 2入力マルチプレクサの選択回路



(b) 4入力マルチプレクサの選択回路

図 5 マルチプレクサの選択回路

フソン接合数を示した表4をもとに、64ビットプロセッサの論理ゲートに含まれるジョセフソン接合数を算出する。64ビットプロセッサのジョセフソン接合数は式(7)で表される。

$$JJ_{64MP} = JJ_{4MP} + JJ_{64EXT} \quad (7)$$

ただし、 JJ_{64MP} は64ビットプロセッサのジョセフソン接合数、 JJ_{4MP} は設計した4ビットプロセッサのジョセフソン接合数、 JJ_{64EXT} は64ビットに拡張する際に増加するジョセフソン接合数を表す。 JJ_{64EXT} は式(8)で求められる。

$$JJ_{64EXT} = JJ_{64EXT_logic} \times \gamma \quad (8)$$

ただし、 JJ_{64EXT_logic} は64ビットに拡張する際に増加する、配線を除く論理ゲートのジョセフソン接合数であり、 γ は論理ゲート部分のジョセフソン接合数に対する、回路全体のジョセフソン接合数の割合である。この γ は設計した4ビットプロセッサの設計結果を参考とする。 JJ_{64EXT_logic} は回路規模が増大するモジュールの増加するジョセフソン接合数の総和であり、式(9)で表される。

$$JJ_{64EXT_logic} = JJ_{64Reg} + JJ_{64Dmem} + JJ_{64MUX} + JJ_{64Sign} + JJ_{64Ctrl} + (JJ_{64ALU} - JJ_{4ALU}) \quad (9)$$

ただし、 JJ_{64Reg} は循環型レジスタファイル、 JJ_{64Dmem} はデータメモリ、 JJ_{64MUX} はマルチプレクサ、 JJ_{64Sign} は符号フラグレジスタ、 JJ_{64Ctrl} はコントローラの拡張時に増加する論理ゲート部分のジョセフソン接合数を表す。また、 JJ_{64ALU} はBrent-Kong Adderを想定した64ビットALU、 JJ_{4ALU} は設計した4ビットSFQプロセッサのALUの論理ゲート部分のジョセフソン接合数であり、拡張する際にALUを入れ替えるため $JJ_{64ALU} - JJ_{4ALU}$ が拡張時のALUにおける増加するジョセフソン接合数を表す。

表4より、拡張の際に回路規模が増大するモジュールの論理ゲートのジョセフソン接合数を算出し、表5に示す。式(9)

表 5 64 ビット拡張の際の各モジュールの論理ゲートによるジョセフソン接合数

モジュール名	JJ_{64Reg}	JJ_{64Dmem}	JJ_{64ALU}	JJ_{64MUX}	JJ_{64Sign}	JJ_{64Ctrl}	JJ_{4ALU}
ジョセフソン接合数	48,864	44,064	23,494	8,880	54	216	405

より, JJ_{64EXT_logic} は 125,167 JJ と算出された. また, 設計した 4 ビットプロセッサより $\gamma = 2.07699045 \simeq 2.08$ を求めた. 式 (8) より, JJ_{64EXT} は 258,870.664 $\simeq$ 260,000 JJ と算出された. しかたして, JJ_{64MP} は式 (7), および, 第 4.2 節より 23,713 + 260,000 = 283,713 JJ となった.

4.3.3 パイプライン段数による増加

第 4.3.1 節より, 64 ビットに拡張する際にパイプライン段数は ALU 以降のステージにおいて, ALU 部分で 9 段, 循環型レジスタファイルで 9 段の合計 18 段増加することが分かっている. パイプライン段数が増加することでスレッド数も 9 増加しており, パイプライン段数の影響を受ける回路は, 一部の制御信号の段数合わせのためにコントローラ, スレッド数分のアーキテクチャステート保持のためにオンチップのデータメモリ, 符合フラグレジスタ, および, 循環型レジスタファイル, ALU と段数を合わせるために条件演算に用いる被演算数パスがある. 本設計では, 利用できるオンチップメモリに制限があり, オンチップのデータメモリもレジスタファイル同様循環バッファ構造を採ることとした. そのため, 1 エントリがとあるスレッド専用のデータメモリに該当し, スレッド数増加に伴って回路規模が増加する. しかしながら, より現実的な設計を鑑みた場合は, オンチップのデータメモリはランダムアクセス可能とすべきである. コントローラについては, ALU 以降のステージに送る制御信号線のみ段数合わせを行う. データメモリ, 符合フラグレジスタ, および, 循環型レジスタファイルは増加スレッド数分のエントリを追加する. 被演算数パスは ALU の論理ゲート段数と同じ数の DFF (Delay Flip-Flop) が段数合わせに必要となる.

4.4 64 ビットプロセッサの評価

まず, 64 ビットプロセッサの性能評価を行う. ビット幅増大における周波数への影響は, ジッタと配線の両方の影響が考えられる. ジッタの影響は少ないという報告 [2] があるため, 本評価では動作周波数はデータビット幅の増加に関係なく, 4 ビットプロセッサと同じ周波数を達成できると仮定するが, 配線の増加における周波数の影響の検証は今後の課題とする. 第 4.2 節より, 駆動パルス信号の周期は 33 ps である. 駆動パルス信号の周期は論理ゲート間の配線遅延, 論理ゲートの遅延, および, 論理ゲートのタイミング制約 (セットアップタイム/ホールドタイム) に依存し, それらはジョセフソン接合が $1/\alpha$ にスケールすると理論的には全て $1/\alpha$ となる [22]. 今回設計に用いたセルライブラリの Nb1.0 μ m プロセス, および, SFQ 回路において成り立つ上記のスケーリング則が限界に達すると言わ

表 6 冷凍機の冷却効率

冷凍機の種類	冷却能力	冷却効率 (COP)
GM 冷凍機	1 W	0.0005
クロード冷凍機	100 W	0.0017

れている Nb0.3 μ m プロセス [7] を想定した場合の 2 通りで評価を行う. Nb0.3 μ m プロセスの駆動パルス信号周期は上記スケーリング則が成り立つと仮定し 10 ps とした.

式 (3) より, 64 ビットプロセッサの動作周波数は 1.0 μ m Nb プロセス, 0.3 μ m Nb プロセスにおいてそれぞれ 30 GHz, 100 GHz と求められた.

次に, 64 ビットプロセッサの消費電力評価を行う. 第 4.3.2 節より, 64 ビットプロセッサのジョセフソン接合数は 283,713 JJ と見積もられている. 本節では, SFQ 回路の低消費電力化技術である ERSFQ を想定し消費電力を見積もる. ERSFQ では理論上, 静的消費電力をゼロとなるが, 動的消費電力が約 2 倍になる [11]. 拡張した 64 ビット SFQ プロセッサが回路構造を変更なく ERSFQ 回路で構成できたと仮定すると, 全体の消費電力は動的消費電力の 2 倍と等しくなるため, 式 (5) よりスイッチング確率 $\alpha = 0.5$ の時は 1.78 mW, ワorstケースである $\alpha = 1$ の場合は 3.56 mW と見積もられる.

また, SFQ 回路を超伝導状態にするために必要な冷凍機の消費電力を考慮した総消費電力の評価を行う. SFQ 回路の冷却に用いられる冷凍機の消費電力は, 冷媒による (ヘリウムガスの非理想気体分の) 損失や外部の熱, および, 機械による損失の割合が大きく, 理想的な場合からかけ離れているためモデル化が困難である. 一般的には, 同時に多くの回路を冷却すると, 冷却に用いる消費電力に対して損失の割合が小さくなるため冷却効率がよくなる傾向にある. 冷凍機の冷却効率を表す指標の一つに成績係数 (COP: Coefficient Of Performance) があり, COP は冷凍能力 (W) を冷凍機の入力仕事 (W) で割ることで求められる [12]. そこで本評価では, 既存の 2 種類の冷凍機 (小型冷凍機として GM 冷凍機, 大型冷凍機としてクロード冷凍機) の冷却効率 [12] を参考とし, 表 6 値および式 (10) を用いて冷却コスト $P_{cryocooler}$ を算出することとした.

$$P_{cryocooler} = P_{CPU} \times 1/COP \quad (10)$$

ただし, P_{CPU} は冷却対象の消費電力を示す. また, COP の逆数は冷却対象の発する 1 W の熱量を冷やすのに必要となる冷凍機の消費電力を示している.

4.5 CMOS プロセッサとの比較

本節では, 第 4.4 節の結果をもとに CMOS プロセッサと

表 7 比較対象の CMOS プロセッサ・モデル

動作周波数	5 GHz
パイプライン段数	26 段
同時演算実行数 (64 ビット整数)	2
消費電力	11 W

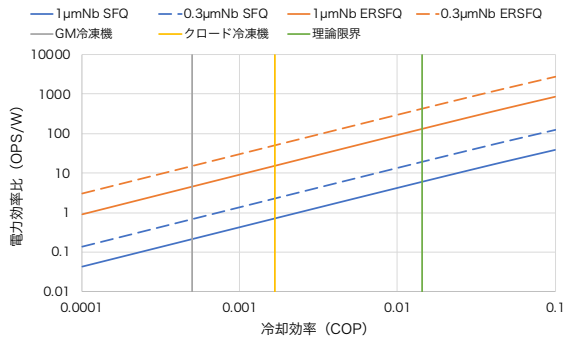


図 6 冷却効率を変化させた場合の OPS/W における電力効率比較

比較を行う。SFQ プロセッサは設計に用いた通常の SFQ 回路での実装、および、ERSFQ 回路での実装を想定した二つに、設計に用いた $1.0\mu\text{m}$ Nb プロセス、ジョセフソン接合がスケール限界を迎えると言われている $0.3\mu\text{m}$ Nb プロセスの適用を想定した合計四つの構成について比較を行う。それぞれの構成を $1.0\mu\text{m}$ Nb SFQ, $0.3\mu\text{m}$ Nb SFQ, $1.0\mu\text{m}$ Nb ERSFQ, $0.3\mu\text{m}$ Nb ERSFQ とする。

近年のプロセッサは、消費電力削減を重視するため動作周波数を低く設定する傾向にある。これに対し、本研究の SFQ プロセッサは極めて単純な構成を採用し、動作周波数を最大に高めるアプローチを採用している。そこで SFQ プロセッサと同じ設計指針を基本にしていると考えられる商用プロセッサとして Cell Broadband Engine Synergistic Processor Element 90 nm (以下、Cell B.E.) [3], [4] に着目し、シングル・コアのマイクロアーキテクチャを参考とし、比較対象モデルを設定した。設定したモデルを表 7 に示す。ただし、本評価の結果は、本研究で定めた性能モデルに基づき、仮想的に設定した評価対象モデルと比較したものであり、商用の Cell B.E. との厳密な比較ではないことに注意されたい。

評価指標として、消費電力あたりの平均演算実行数 (OPS Per Watt: OPS/W) を用い、冷却オーバーヘッドを加味した上で CMOS プロセッサ・モデルと比較する。OPS/W は OPS, COP, および、冷却対象のプロセッサの消費電力である P_{CPU} を用いて以下の式 (11) で表される。

$$OPS/W = OPS / (P_{CPU} + P_{cryocooler}) \quad (11)$$

なお、本評価では理論ピーク性能を評価すべく、パイプラインストールは発生しない場合を想定している。

冷却効率を変化させた場合の電力効率の比較結果を図 6 に示す。縦軸は SFQ プロセッサの電力効率を CMOS プロ

セッサ・モデルの値で正規化しており、横軸は冷凍機の効率を表している。表 6 に示した二つの実在冷凍機、および、熱力学に基づく理論限界値の三種類の冷凍効率を目安として表記している。今回設計に使用した $1.0\mu\text{m}$ Nb SFQ の場合、GM 冷凍機の冷凍効率を想定した場合は約 0.2 倍、クロード冷凍機では約 0.7 倍、理論限界において約 5.9 倍であり、微細化前の通常の SFQ 回路では冷凍コストを加味した場合 CMOS プロセッサ・モデルと同程度かそれ以下の電力効率になっていることが分かる。 $0.3\mu\text{m}$ Nb ERSFQ では、それぞれ約 15 倍、51 倍、433 倍であり、微細化や低消費電力化によって高い電力効率を達成する可能性があることが分かる。今後冷凍機の高効率化が進むことで、より高い電力効率を達成する可能性がある。また、本評価ではパイプラインストールが発生しない場合を想定しているため、高い電力効率達成には高速な SFQ 向けメモリステムが必要不可欠であると考察する。

5. おわりに

本研究では、提案された SFQ プロセッサ向けアーキテクチャの実設計に基づく実現可能性、および、有効性を評価することを目的とし、4 ビット SFQ プロセッサの設計を行った。そして、シミュレーションにおいて最大 30 GHz での正常動作を確認し、提案されたアーキテクチャの実設計に基づく実現可能性が明らかになった。また、設計結果に基づき 64 ビット SFQ プロセッサの性能、および、消費電力を見積もった結果、SFQ 回路に必要な実在冷凍機の消費電力を考慮した場合でも、SFQ マイクロプロセッサと似た設計指針を採用する CMOS プロセッサ・モデルと比較し、最大約 51 倍以上の電力効率を達成可能であると考察した。これは、SFQ 回路の基本素子の微細化、低消費電力 SFQ ロジックの適用、ならびに、パイプラインストールを全て隠蔽できた場合を想定している。したがって、高性能 SFQ プロセッサの実現には、デバイスの性能向上に加え、SFQ 向けメモリステムが必要不可欠であるといえる。

アプリケーションを用いた実性能評価、および、それに基づく CMOS プロセッサとの定量的な比較は今後の課題である。また、本稿で設計したプロセッサのチップ評価や、プロセッサにデータを供給するメモリ・システムを検討し、システム全体のアーキテクチャの考案を実施する予定である。

謝辞 本研究を進めるにあたり、活発な議論とご協力を頂いた九州大学井上研究室の皆様にご心より感謝の意を表します。なお、本研究は、一部文部科学省科学研究費補助金 JP16H02796 の助成による。

参考文献

- [1] Brent, R. P. and Kung, H. T.: A Regular Layout for Parallel Adders, *IEEE Transactions on Computers*,

- Vol. C-31, No. 3, pp. 260–264 (1982).
- [2] Bunyk, P. and Litskevitch, P.: Case study in RSFQ design: fast pipelined parallel adder, *IEEE Transactions on Applied Superconductivity*, Vol. 9, No. 2, pp. 3714–3720 (1999).
 - [3] Chen, T., Raghavan, R., Dale, J. N. and Iwata, E.: Cell Broadband Engine Architecture and Its First Implementation: A Performance View, *IBM J. Res. Dev.*, Vol. 51, No. 5, pp. 559–572 (2007).
 - [4] Flachs, B., Asano, S., Dhong, S. H., Hofstee, H. P., Gervais, G., Kim, R., Le, T., Liu, P., Leenstra, J., Liberty, J., Michael, B., Oh, H.-J., Mueller, S. M., Takahashi, O., Hatakeyama, A., Watanabe, Y., Yano, N., Brokenshire, D. A., Peyravian, M., To, V. and Iwata, E.: The microarchitecture of the synergistic processor for a cell processor, *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 1, pp. 63–70 (2006).
 - [5] Fujiwara, K., Yamashiro, Y., Yoshikawa, N., Fujimaki, A., Terai, H. and Yoroze, S.: Design and high-speed test of (4×8) -bit single-flux-quantum shift register files, *Superconductor Science and Technology*, Vol. 16, No. 12, p. 1456 (2003).
 - [6] The Intelligence Advanced Research Projects Activity (IARPA) : Cryogenic Computing Complexity (C3), <https://www.iarpa.gov/index.php/research-programs/c3>.
 - [7] Kadin, A. M., Mancini, C. A., Feldman, M. J. and Brock, D. K.: Can RSFQ logic circuits be scaled to deep submicron junctions?, *Applied Superconductivity, IEEE Transactions on*, Vol. 11, No. 1, pp. 1050–1055 (2001).
 - [8] Kirichenko, D. E., Sarwana, S. and Kirichenko, A. F.: Zero Static Power Dissipation Biasing of RSFQ Circuits, *IEEE Transactions on Applied Superconductivity*, Vol. 21, No. 3, pp. 776–779 (2011).
 - [9] Kirichenko, D. E., Sarwana, S. and Kirichenko, A. F.: Zero Static Power Dissipation Biasing of RSFQ Circuits, *IEEE Transactions on Applied Superconductivity*, Vol. 21, No. 3, pp. 776–779 (2011).
 - [10] Likharev, K. K. and Semenov, V. K.: RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems, *IEEE Transactions on Applied Superconductivity*, Vol. 1, No. 1, pp. 3–28 (1991).
 - [11] Mukhanov, O. A.: Energy-Efficient Single Flux Quantum Technology, *IEEE Transactions on Applied Superconductivity*, Vol. 21, No. 3, pp. 760–769 (2011).
 - [12] Ogihara, H.: *Survey of Cryogenic Engineering (Japanese)*, Tokyo Denki University (1999).
 - [13] Sato, R., Hatanaka, Y., Ando, Y., Tanaka, M., Fujimaki, A., Takagi, K. and Takagi, N.: High-Speed Operation of Random-Access-Memory-Embedded Microprocessor With Minimal Instruction Set Architecture Based on Rapid Single-Flux-Quantum Logic, *IEEE Transactions on Applied Superconductivity*, Vol. 27, No. 4, pp. 1–5 (2017).
 - [14] Tanaka, M., Kawamoto, T., Yamanashi, Y., Kamiya, Y., Akimoto, A., Fujiwara, K., Fujimaki, A., Yoshikawa, N., Terai, H. and Yoroze, S.: Design of a pipelined 8-bit-serial single-flux-quantum microprocessor with multiple ALUs, *Superconductor Science and Technology*, Vol. 19, No. 5, p. S344 (2006).
 - [15] Tanaka, M., Takata, K., Satoh, R., Fujimaki, A., Kawaguchi, T., Ando, Y., Takagi, K., Takagi, N. and Yoshikawa, N.: Design of RSFQ Microprocessors Integrated with RAMs Based on Bit-Serial Processing, *7th Superconducting SFQ VLSI Workshop* (2014).
 - [16] Tanaka, M., Yamanashi, Y., Irie, N., Park, H., Iwasaki, S., Takagi, K., Taketomi, K., Fujimaki, A., Yoshikawa, N., Terai, H. et al.: Design and implementation of a pipelined 8 bit-serial single-flux-quantum microprocessor with cache memories, *Superconductor Science and Technology*, Vol. 20, No. 11, p. S305 (2007).
 - [17] Volkmann, M. H., Sahu, A., Fourie, C. J. and Mukhanov, O. A.: Implementation of energy efficient single flux quantum digital circuits with sub-aJ/bit operation, *Superconductor Science and Technology*, Vol. 26, No. 1, p. 015002 (2013).
 - [18] Yamanashi, Y., Nishigai, T. and Yoshikawa, N.: Study of LR-Loading Technique for Low-Power Single Flux Quantum Circuits, *IEEE Transactions on Applied Superconductivity*, Vol. 17, No. 2, pp. 150–153 (2007).
 - [19] Yamanashi, Y., Tanaka, M., Akimoto, A., Park, H., Kamiya, Y., Irie, N., Yoshikawa, N., Fujimaki, A., Terai, H. and Hashimoto, Y.: Design and Implementation of a Pipelined Bit-Serial SFQ Microprocessor, CORE 1 β , *Applied Superconductivity, IEEE Transactions on*, Vol. 17, No. 2, pp. 474–477 (2007).
 - [20] Yamanashi, Y., Kainuma, T., Yoshikawa, N., Kataeva, I., Akaike, H., Fujimaki, A., Tanaka, M., Takagi, N., Nagasawa, S. and Hidaka, M.: 100 GHz demonstrations based on the single-flux-quantum cell library for the 10 kA/cm² Nb multi-layer process, *IEICE Transactions on Electronics*, Vol. E93-C, No. 4, pp. 440–444 (2010).
 - [21] Yoroze, S., Kameda, Y., Terai, H., Fujimaki, A., Yamada, T. and Tahara, S.: A single flux quantum standard logic cell library, *Physica C: Superconductivity*, Vol. 378-381, pp. 1471 – 1474 (2002).
 - [22] 田中雅光：単一磁束量子回路に基づく超高速マイクロプロセッサに関する研究，博士論文，名古屋大学 (2006)。
 - [23] 石田浩貴，田中雅光，小野貴継，井上弘士：単一磁束量子回路向けマイクロプロセッサのアーキテクチャ探索，情報処理学会論文誌，Vol. 58, No. 3, pp. 629–643 (2017)。