

マンチェスタ大学の高速桁上げ回路の追試と二、三の考察*

高橋 茂** 西野 博二**

1. 緒言

1 語の桁数を n とするとき、並列式演算装置は直列式演算装置に較べて最低 n 倍の回路素子を使用しているにもかかわらず、その演算速度は n 倍よりずっと小さいのが普通である。その原因は桁上げに時間を要するからで、この時間を短縮し、演算速度を飛躍的に高めようとする努力が、いろいろの形でなされてきた。

それには

(i) NBS¹⁾ の $1\mu s$ 加算器のようにぼう大な数の論理素子を使用するもの、

(ii) 電気通信研究所の M-1²⁾ のように桁上げの完了を検出するもの、

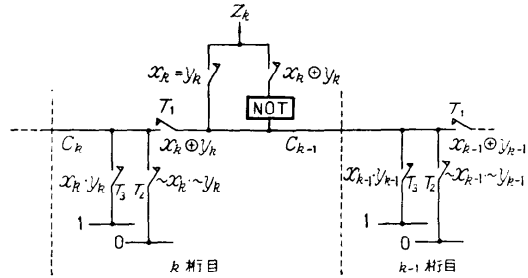
(iii) MIT の W.W. に始まり、東京大学の PC-1³⁾ に用いられ、イリノイ大学の新しい計算機⁴⁾ にも採用される予定の、桁上げを一時記憶しておくもの、などがあるが、(i) は不経済であるうえに、充分高速とはいえず、(ii) は平均として桁上信号が $\log_2 n$ 桁伝播する時間だけ待つ必要があり、(iii) は (i) ほどではないが、かなり金がかかるうえに、記憶装置に移す前の桁上げの清算に時間がかかる。

筆者の一人高橋は 1959 年 5 月マンチェスタ大学計算機研究所を訪れた際、同大学で設計中の超高速計算機 Muse に使用される予定の高速桁上げ回路***を知ることができた。筆者等は最近これを追試してみ、これが桁上げ回路として実に理想的なものであるばかりでなく、その原理は革命的ともい得るほど優れたもので、多方面に应用があることを見出した。以下その概要を報告する次第である。

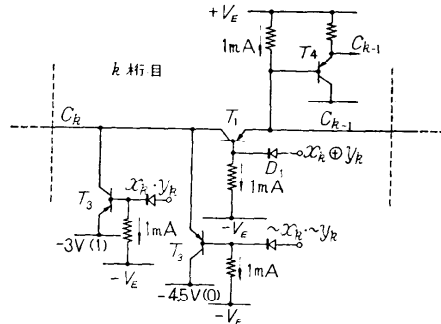
なお最近、電気通信研究所の畔柳氏⁵⁾ によって考案された回路は、これに近いものであるが、この回路に較べると、なお二、三の欠点をもっている。

2. 高速桁上げ回路とその原理

マンチェスタ大学訪問の際に与えられた図面を第 1 図と第 2 図に示す。加え合わせる 2 数を x, y とし、そ



第 1 図 マンチェスタ大学の高速桁上げ回路(原理図)



第 2 図 マンチェスタ大学の高速桁上げ回路(実際の回路)

の k 桁目を x_k, y_k で表わせば、桁上げ信号が $k-1$ 桁目から $k+1$ 桁目に伝わるのは、

$$x_k \oplus y_k = x_k \cdot \sim y_k \vee \sim x_k \cdot y_k = 1$$

の場合だけである。 $x_k \cdot y_k = 1$ の場合には $k-1$ 桁目の如何にかかわらず、 k 桁目から桁上げが出るし、 $\sim x_k \cdot \sim y_k = 1$ ならば、 $k-1$ 桁目がどうであろうとも、 $k+1$ 桁目に桁上げされることはない。

第 1 図はこの関係を示したもので、もし $x_{k-1} \oplus y_{k-1}, x_k \oplus y_k$ などの信号によって開閉される接点が、継電器の接点のように理想的なもの、すなわち抵抗が充分小さく、信号を遅れなく伝え得るものであれば、桁上げ信号は光の速さで、しかも減衰なく伝わるのがわ

* Tracing experiments and some considerations on the high speed carry propagation circuit of the University of Manchester, by Shigeru Takahashi and Hiroji Nishino

** 工業技術院電気試験所電子部

*** 1959年6月ケンブリッジ大学で開催された British Computer Conference で発表されたはずであるが、未だ印刷物にはなっていないと思われる。

かる。実際継電器式の計算機ではこれによく似た回路が使用されていて、桁上げに特に時間を要するということはない。しかし継電器では接点は理想的であっても、これを信号によって開閉するのに時間がかかりすぎる。すなわち、スイッチとしての速度があまりに遅い。

マンチェスタ大学では充分飽和させたトランジスタが接点としてほぼ理想的であり、スイッチ速度もかなり早いことを見出し、第2図の回路を提案した。図において $x_k \oplus y_k$, $x_k \cdot y_k$, $\sim x_k \cdot \sim y_k$ などの信号の電圧レベルは1のときに -5.5V 、0のときに -2.5V であり、桁上げ信号 C_k , C_{k-1} などの電圧レベルは1のときに -3V 、0のときに -4.5V になるように設計されている。また $+V_E$, $-V_E$ などの電源電圧はこれらの電圧に較べて充分高い。

いま $x_k \oplus y_k = 1$ とすると、ダイオード D_1 はカット・オフで、トランジスタ T_1 には、そのエミッタの電位が -4.5V であろうと -3.0V であろうと、すなわち C_{k-1} が0であろうと1であろうと、 1mA のエミッタ電流が流れ込み、充分飽和状態にある。そこで C_{k-1} なる信号はこのトランジスタのエミッタからコレクタに減衰なく、しかも光の速さで伝えられ、次段への桁上げ信号 C_k となる。

$x_k \oplus y_k = 0$ のときには、 $x_k \cdot y_k \vee \sim x_k \cdot \sim y_k = 1$ であり、 $x_k \cdot y_k = 1$ であればトランジスタ T_3 が、 $\sim x_k \cdot \sim y_k = 1$ であればトランジスタ T_2 が、それぞれ飽和状態となり、 C_k はそれぞれ -3V あるいは -4.5V になる。これらの信号は、そのいずれの二つをとっても論理積が0であり、また

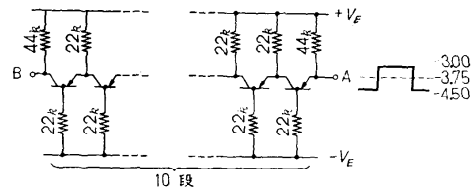
$$x_k \oplus y_k \vee x_k y_k \vee \sim x_k \cdot \sim y_k = 1$$

であるから、電源同志が短絡したり、 C_k の電位が不定になったりすることはない。

なお、第2図の T_4 は桁上げ信号をとり出すエミッタ・フォロワである。

3. 追 試

前節で紹介した回路を、接点とスイッチの二つの特性について追試した。トランジスタにはマイクロ・アロイ形（富士通信機 FT-100, f_{ca} 80 Mc 付近のもの）を使用した。まず、接点としての特性を測定するために、第2図の T_1 を10段直列に接続した第3図の回路を構成した。最初定電流を供給している電源の電圧を、図の A, B 両点を自由にしたときに、その電位が -3.75V （桁上げ信号が1のときと0のときの丁度



第3図 接点としての特性の測定

中間)になるように調整しようとしたが、A点とB点との間に約 9mV の電位差があることがわかった。

これはエミッタとコレクタの非対称性によるものと思われる。そこでA点を強制的に -3.75V にしたときに、AB間の電位差が丁度消失するように電源電圧を調整することとした。この状態でA点を自由にするとその電位は -2.3V となる。すなわち、A点を -3.75V に強制したときには、各段のトランジスタのコレクタからエミッタに流れる電流が僅かにできて、前述の電極の非対称性によると思われる電位差を打消してくれる。実際にこの回路を使用するときも、電源電圧あるいは抵抗値をこのようにして調整することが必要であろう。

この状態でまず信号を直流で与えたときの電圧降下を測定したところ、 -3.0V のときも、 -4.5V のときも、共にその絶対値は 10mV （極性は共に -3.75V に近づく方向）であった。次いでA点に幅 $3\mu\text{s}$ のパルスを与え、B点に至るまでの減衰と遅れを測定しようとしたが、第4図に結果を示すように、減衰も遅



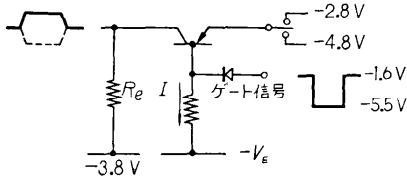
第4図 入力パルスと出力パルスの比較
振幅 0.75V 、掃引 $0.02\mu\text{s/cm}$

れもシンクロスコープでは全く観測できない（二つの波形を重ねてみるとピッタリ1本になってしまう）程度であった。

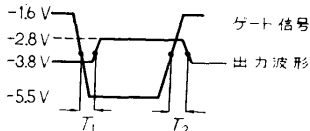
しかし、実際の回路では第2図の T_2 , T_3 が各段に並列に接続されている。桁上げ信号が最下位から最上位まで伝播する最悪の場合を考えると、これらのトラ

ンジスタは全て容量性の負荷となるが、これは1本当り $2\sim 3\ \mu\text{F}$ にすぎない⁶⁾。第3図のB点とアースの間に容量 $1,000\ \text{pF}$ のコンデンサを故意に接続しても、出力パルスは $60\ \text{m}\mu\text{s}$ 程度遅れるにすぎないから、その影響は大したものではない。

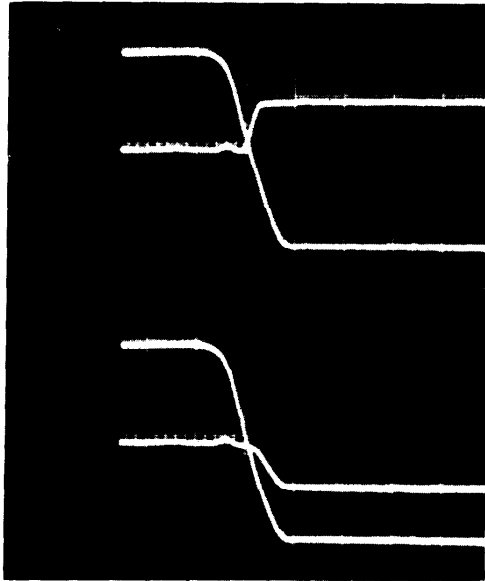
スイッチとしての特性は、第5図のようにして調べた。すなわちゲート信号をベースに与えてから、あらかじめ適当に定めてあるエミッタの電圧がコレクタに現われるまでの時間を、第6図のように定義して測定した。結果を第1表に示す。第7図はゲート信号とコ



第5図 スイッチ特性の測定



第6図 第1表の T_1 , T_2 の定義



第7図 スイッチ特性の一例

第5図において $I=1\ \text{mA}$, $R_e=200\ \Omega$ の場合、掃引 $0.1\ \mu\text{s}/\text{cm}$

第1表 スイッチ特性の一例
トランジスタ FT 100 ($f_{ca}=80\ \text{Mc}$)

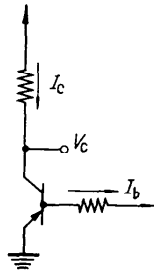
E_1 [V]	R_c [Ω]	I [mA]	T_1 [$\text{m}\mu\text{s}$]	T_2 [$\text{m}\mu\text{s}$]
-2.8 (正パルス)	100	0.5	20	50
		1.0	15	80
	1,000	0.5	15	80
		1.0	10	100
-4.8 (負パルス)	100	0.5	150	18
		1.5	80	25
	1,000	0.5	25	15
		1.0	20	50

レクタに得られる波形の一例である。

4. 考 察

前節に示した接点としての良好な特性は、合金形トランジスタの飽和時のコレクタ抵抗が極めて低いことによると思われる。第8図に示す接続でベース電流を

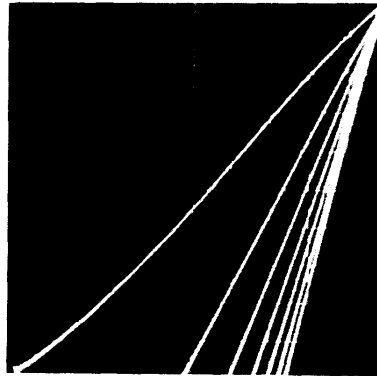
パラメータとして測定したコレクタの電圧電流特性の一例を第9図に示す。



第8図

コレクタの飽和特性の測定

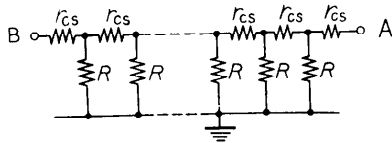
ベース電流 $1\ \text{mA}$ のときのコレクタの飽和抵抗をこの図から求めると、約 $3\ \Omega$ となる。このような飽和状態では、エミッタ、ベース、コレクタの区別なく、エミッタ電極からコレクタ電極に至る半導体中に正孔が充満しているために、活性状態でのように正孔の移動をまつことなく、信号は二つの電極間を光の速度で伝わるものと考えられる。



第9図 コレクタ飽和特性の一例 (FT-100)

I_b : $0.2\ \text{mA}$ (右端) $\sim 1.4\ \text{mA}$,
横軸: $0.01\ \text{V}/\text{cm}$, 縦軸: $1\ \text{V}/\text{cm}$

桁上げ信号が最下位から最上位まで伝播する場合の等価回路は、飽和状態でのコレクタ抵抗を r_{cs} , 電流



第10図 第3図の回路の等価回路

源が不完全であるため各段に入る等価負荷抵抗を R として、第10図のようになる。最下位での桁上げ信号の電圧を V として、電圧降下 ΔV を概算すると、

$$\begin{aligned} \Delta V &\approx r_{Cs} V / R \{ (n-1) + (n-2) + \dots + 1 \} \\ &= n(n-1) r_{Cs} V / 2R \end{aligned}$$

となる。 $n=10$, $R=11 \text{ k}\Omega$, $V=0.75 \text{ V}$ という第3図の場合について、 $r_{Cs}=3 \Omega$ としてみると ΔV は 9.2 mV となり、実験とよく一致する。 $n=45$ (電気試験所で設計中の ETL Mk-6 の累算器のビット数) とすれば $\Delta V=0.20 \text{ V}$ となる。

このように r_{Cs} の値の小さいことが重要であるから、成長形やメーサ形のように r_{Cs} の値の大きいものは、この用途には不適當である。

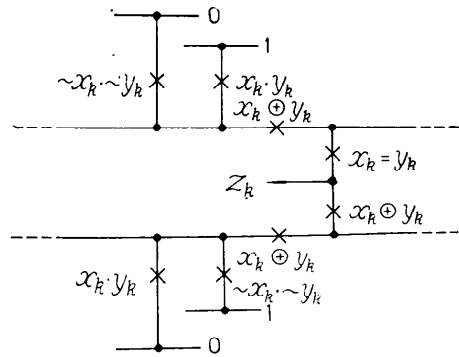
スイッチ特性を第1表で見ると、信号が正のときと負のときとで、はっきり逆の傾向が見られる。すなわち正のときは on になるのは速いが、off になるのが遅く、負のときにはこの逆である。これもエミッタとコレクタの非対称性によるものと考えられ、エミッタとコレクタとを入れ換えることによって、二つの傾向は完全に入れ換わることがわかった。

このようなスイッチ時間はトランジスタの f_{ca} や、正孔蓄積時間によって大きく変化するが、この実験に使用した程度のトランジスタで、第2図の加算回路を組立てれば、 $100 \text{ m}\mu\text{s}$ 以内に桁上げが完了することは第1表から明らかである。

5. 他の応用

合金形トランジスタを飽和状態にすることが、継電器のコイルを励磁するのに相当し、そのエミッタ・コレクタ間を継電器の接点のように使用し得ることがわかったので、従来継電器式計算機で開発されている回路を、そのまま電子計算機に持込むことができる。

例えば加算回路にしても、第1図のように桁上げ信号をとり出してから反転しては、そこで時間がかかるので、ETL Mk-2⁷⁾で行われているように、桁上げ信号の外に、その否定をも伝播させて、一挙に和を求める回路を作ることができる。第11図がそれで、ダイオードの論理回路を使用して $x_k \oplus y_k$ など合成す

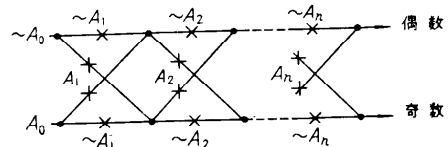


第11図 高速加算回路

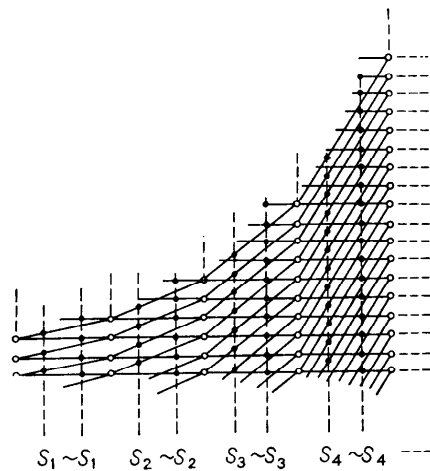
\times はトランジスタによるゲート、 Z_k は和

ることによって接点数を減らしてはいるが、本質的には Mk-2 のものと同じである。

従来並列式電子計算機で問題視されているいくつかの点が、同様の方法で解決される。ここではパリティ検査と桁移動について述べる。並列式の計算機でパリティ検査を高速にするには、検査ビットを増すか、検



第12図 パリティ検査回路



第13図 高速桁移動回路

斜めおよび横線がトランジスタ $S_1, S_2, \dots, \sim S_1, \sim S_2, \dots$ はそのベースに与えるゲート信号

査回路の素子の数をぼう大にするかのいずれかであった。いずれにしても不経済であるから、パリティ検査をしている並列式計算機というのは稀れである。しかし、ここに紹介した方法によって、経済的で高速な第12図の回路が得られる。この回路も継電器回路では公知のものである²⁾。

桁移動も並列式計算機では時間のかかる操作の一つであるが、これも同様に高速化できる。シフトの桁数を2進数で表わしたものの各ビットを最下位から S_1, S_2, \dots, S_m で、左シフト、右シフトを L, R で示すと、 $2^m - 1$ 桁まで一挙に何桁でもシフトできる回路は第13図のようになる。

6. 結 言

マンチェスタ大学の高速度桁上げ回路を追試して、極めて優れたものであることを示し、その基本素子は接点抵抗 3Ω 程度、スイッチ時間数十 μs 程度(マイクロ・アロイ・トランジスタの場合)の電子的な継電器であることを考察した。またこれを用いることによって従来継電器式計算機で開発されている種々の回路を、殆んどそのまま電子化できることを指摘し、例としてマンチェスタ大学のものよりさらに高速なる加算器、パリティ検査回路、桁移動回路を示した。

トランジスタのこのような使用法は、今後のデジタル技術の進展に極めて大きな影響を与えるものと予想される。トランジスタとしては、筆者等の知る範囲ではマイクロ・アロイ形がいまのところ最適であるが、欲をいえば、耐圧は $5 V$ 程度でよいが、対称形で、接合部がさらに薄く、飽和時の抵抗が 1Ω 以下の特別なトランジスタが開発されることが望ましい。

擧筆するに当り、討論に参加された回路課淵一博君並びに実験に尽力された実習生辻信義君(安川電機)に御礼申上げる。

参 考 文 献

- 1) A. Weinberger and J.L. Smith, IRE Trans. EC-5, No. 2, 65 (1956).
- 2) 室賀三郎, 高島堅助: 信学誌, **41**, 1132 (昭33).
- 3) 高橋秀俊, 後藤英一 他: 電気通信学会電子計算機研究専門委員会資料 (昭33年9月).
- 4) Digital Computer Lab., University of Illinois, Report 80 (1957).
- 5) 畔柳功芳: 信学誌, **42**, 1051 (昭34).
- 6) 田淵誠一: 信学誌, **43**, 440 (昭35).
- 7) M. Goto, Y. Komamiya et al.: Res. Rep. ETL No. 556(1956).
- 8) Y. Komamiya: ibid No. 580 (1959).

プログラムによる Digital Differential Analyzer*

高 田 勝**

まえがき

力学、自動制御その他あらゆる分野にあらわれる常微分方程式の初期値問題を、アナログ計算機で解くときは、計算の流れが直視的で物理現象の Simulation も容易であって工学向きである。しかし精度、乗除算特殊関数計算の容易さの点ではデジタル型計算機械に及ばない。

一方、デジタル型ではそのプログラムに普通は機

械語の知識を要し、かつ計算の順序を考えて組まねばならない。もしアナログ計算機の特徴をできるだけ残して、精度のよい計算をデジタル型で行うことができれば非常に便利である。ここではアナログ計算機の微分解析機としての機能を、デジタル型のものでプログラムによって simulate しようとするものである。

このような Digital Differential Analyzer (D.D.A.) の試みは海外ではすでに一、二試みられているが¹⁾、その内部構造は明らかにされていない。また国内でも外国製の計算機械により、最近いくつかの D.D.A. がプログラムされ実用に供されはじめた²⁾。これらはほとんどみな解釈ルーチン方式で、計算の行われる順序に D.D.A. で使う Pseudo code (擬命令) を入

* Programmed Digital Differential Analyzer, by Masaru Takada

日本機械学会第37期定期総会講演会(昭和35年4月)および数理科学総合研究「微分方程式の数値計算」に関するシンポジウム(昭和35年4月)で発表、それらの予稿参照。

** 東大工学部応用物理