

トランジスタ計算機 電試マーク5*

矢板 徹** 相磯 秀夫** 高橋 茂**

1. まえがき

電試マーク5は、昭和32年秋に完成して以来日本のトランジスタ計算機工業のパイロットの役割を果たしてきた電試マーク4¹⁾の成果にもとづき、所内の科学技術上の計算需要を充すために製作された実用機である。電気試験所で設計を行ない、日立製作所が製作に当り、昭和35年5月に完成したものである。

マーク5は電気試験所のトランジスタ計算機としてはじめて浮動小数点方式を採用した10進式の計算機で、記憶装置(磁気ドラム)は4,000語の容量をもち、約150種類の命令を実行できるなど、種々の特長をもっている。

基本回路、記憶装置と入出力装置の周辺の回路はマーク4のそれらを多少改良した程度であり、これらについてはすでに報告²⁾があるので述べない。本文の主眼はマーク5の方式設計、論理設計に関するものである。

2. マーク5の性能の概要

第1図にその外観を、第1表にマーク5の性能の概要を示す。



第1図 マーク5の外観

* Transistor Computer ETL Mk-5, by Tohru Yaita, Hideo Aiso and Shigeru Takahashi (Electro technical Laboratory, Tokyo)

** 電気試験所

第1表 電試マーク5の概要

(1) 方式一般	プログラム記憶方式 同期式(刻時パルス 230 kc) 浮動および固定小数点方式兼用 内部10進法、並列ビット直列ディジット方式 1 ¹ / ₂ アドレス方式、指標レジスタ3個		
(2) 語の構成	直列12桁、1桁は並列4ビット、1-2-4-8コード		
命令語	操作部	3 桁	
	指標部	1 "	
数値語	停止点部	1 "	
	アドレス部	4 "	
	浮動小数点方式	符号数	1 "
		仮数	9 "
指数		2 "	
固定小数点方式	符号数	1 "	
	数値	11 "	
文字語	1字	2 "	
	1語	5 字	
(3) 記憶装置	中速磁気ドラム		
主記憶装置	容量	4,000語(24万ビット)	
	平均呼出し時間	5.2 msec	
	情報密度	3.1ビット/mm	
即時呼出し式記憶装置	遅延線方式(磁気ドラムの1部を使用)	容量50語のもの4組、計200語	
	平均呼出し時間	1.3 msec	
(4) 演算時間(記憶装置の呼出し時間を除く)	固 定	浮 動	
加 減 算	0.47 msec	0.62 msec	
乗算(平均)	6.6 "	5.7 "	
除算(平均)	7.8 "	5.9 "	
判 断	0.16 msec		
(5) 命令の種類	計 149種類		
飛越し	11		
固定小数点4則演算	44		
浮動小数点4則演算	34		
転送	18		
入出力	13		
指標レジスタ関係	15		
その他	14		
(6) 入出力装置			
光電式テープ・リーダー	2台		
機械式テープ・リーダー	1 "		
鍵盤兼プリンタ	1 "		
高速テープ・パンチ	2 "		
万能入出力装置(オフライン)	1 "		
(7) 主要部品			
トランジスタ	約1,700本		
ゲルマニウム・ダイオード	約2万本		

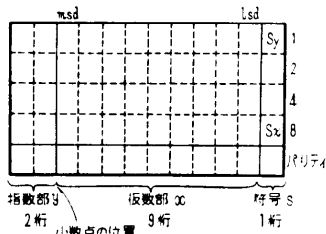
3. 語の構成

マーク5の1語は10進法12桁よりなる。1桁は1-2-4-8コードの4ビットで表わされ、記憶装置内では各桁ごとにパリティ・ビットを付ける。マーク5で取り扱う語の種類は命令語、固定小数点値語、浮動小数点値語および文字語の4種類である。

3.1 命令語の構成 命令語は操作部3桁、アドレス部4桁、指標部1桁、停止点部1桁および余白3桁よりなる。第2図に命令語の構成を示す。左端の余白は数値語の符号に相当する桁であって、同図は操作卓の指示ランプ上に現われた場合の語の形を示す。記憶装置内では符号の桁はlsdの桁の前にある。

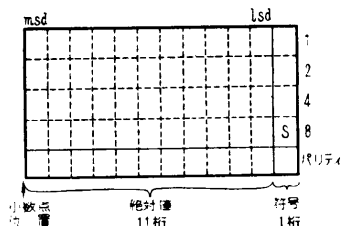


3.2 数値語の構成 数値語の構成は浮動小数点方式の場合と固定小数点方式の場合とで異なるが、演算装置で演算中の場合を除きいずれの場合にも符号と絶対値で表わす。符号は1桁を専有し、記憶装置内では数値のlsdの下の桁にある。演算中は負数は10の補数で表わされる。

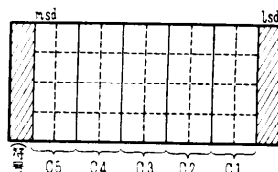


浮動小数点方式の数値語は、符号s(1桁)、仮数部x(9桁)および指数部y(2桁)よりなる。仮数部の符号 s_x は記憶装置内では8のビットで表わされる。仮数は規準形では $1 > x \geq 0.1$ および $x=0$ である。指数部yは2桁の整数で、符号 s_y と絶対値y'で表わし、指数の範囲は2桁の整数 $99 \geq y \geq -99$ である。 s_y は記憶装置内では仮数部の符号と同じくlsdの下の桁にあり、1のビットで表わされる。0の規準形は 0×10^{-99} である。第3図に記憶装置内における浮動

小数点の数値語の構成を示す。



固定小数点方式の数値語は符号s(1桁)と絶対値x(11桁)よりなる。符号は記憶装置内では数値のlsdの下の桁の8のビットで表わされる。xは $1 > x \geq 0$ で、小数点はmsdの左側にある。記憶装置内における固定小数点の数値語の構成を第4図に示す。



3.3 文字語の構成 マーク5で取り扱う文字は数字、アルファベットの大文字、テープ・コントロール・コード、演算記号その他である。文字のコードはコード会の標準コード*1)に従い、計算機内では2桁の10進数として扱おう。したがって文字は1語に5字までしか入れることができない。第5図に入力装置より累算器に読込んだ場合の文字語の構成を示す。

4. 演算装置

4.1 演算装置の構成とその特長 マーク5は科学技術用計算機として高度の演算機能を持ち、四則演算は固定でも浮動でもすべて可能であり、また高級な複合演算も種々行ないうるにもかかわらず、演算回路はできるだけ簡単に設計されている。演算装置は四つのレジスタと一つの演算回路からなる。これらは

- (1) 上部累算器 (upper accumulator Acc 1)
- (2) 下部累算器 (lower accumulator Acc 2)
- (3) 乗数, 商レジスタ (multiplier quotient register MQR)
- (4) 被乗数, 除数レジスタ (multiplicand divisor register MDR)

(5) 四則演算回路 (arithmetic circuit ARC) である。第6図に演算装置の構成を示す。Acc, MQR は符号レジスタ, 指数部レジスタ, 同符号レジスタおよび仮数と指数のあふれのレジスタがそれぞれ別にある。MDR には仮数の符号のレジスタだけ別にある。ARC は 2 入力の 10 進加算器を中心として, それに入出力の補数器, 入出力のゲート回路および遅延回路を加えたものである。これらは直列に接続されて 12 桁 (1 語) の長さをもつ。演算装置の主な特長は次のとおりである。

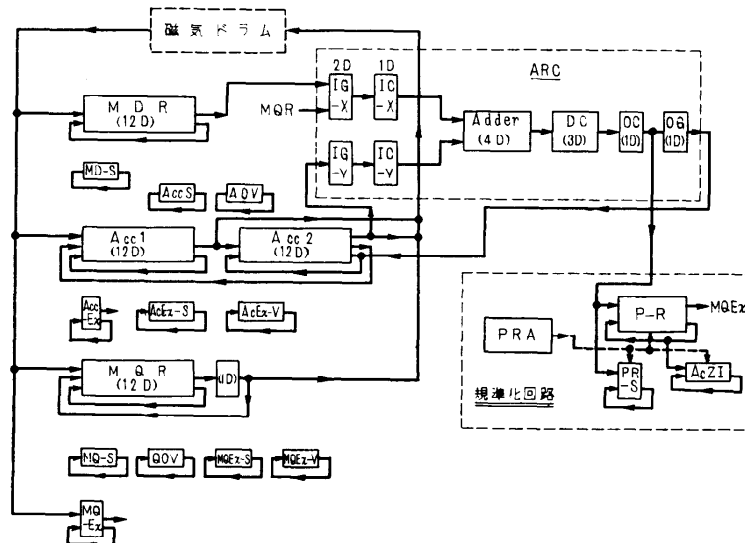
演算, 指標レジスタまたは逐次制御カウンタによるアドレスの変更なども同一の演算回路でできるので, 別

の加算器は不要である。

(4) Acc と ARC で演算中は負数は 10 の補数で表わされるが, 演算終了後は Acc の内容は絶対値と符号の形に直される。MQR, MDR の数は常に絶対値と符号の形である。

(5) Acc と MQR は仮数のレジスタのほか符号と指数のレジスタは別になっており, またそれぞれ仮数と指数のあふれのレジスタもっている。

(6) したがって乗除算, シフトは簡単である。浮動小数点の演算では Acc のシフトがしばしば行なわれるので, Acc 内ではシフトは高速にできるようになっている。



第6図 演算装置の構成

(1) 演算に必要なレジスタは最小限にとどめてある。たとえば浮動小数点の加減算をする場合, ドラムから呼出した内容は, 仮数の加減算をする前に指数の比較, 仮数のシフトをするために一時記憶される必要があるが, このため特に記憶レジスタのようなものは設けず, MQR をこれに当てている。また指数の比較結果は MQR の指数部レジスタに記憶し, そのために特に専用のレジスタは設けない。

(2) 倍長精度の演算に便利のように四則演算のさいには Acc 1 と Acc 2 は必ず直列に接続され, Acc に関する限り演算はつねに倍長精度で行なっている。

(3) 演算回路は累算器とは独立になっている。このため浮動小数点方式の演算のさいの指数部に関する

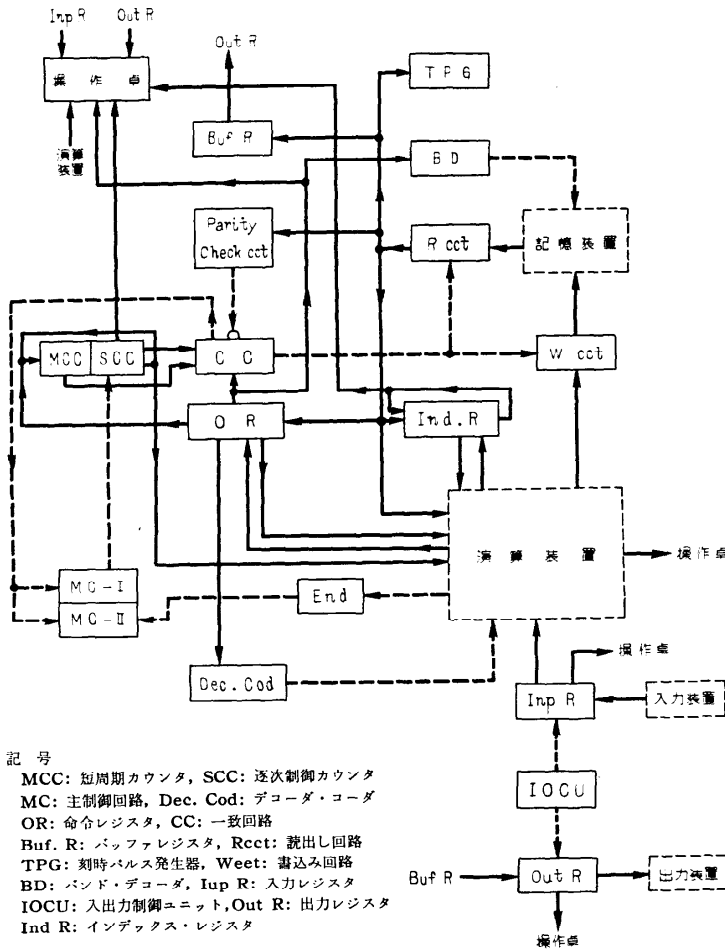
4.2 四則演算における数値

の基本的な流れ 四則演算はすべて演算回路 ARC を通して行なわれる。主な四則演算は Acc と記憶装置あるいは Acc 以外のレジスタとの間に行なわれるので, 四則演算における Acc 内容の流れを説明する(第6図参照)。

Acc は演算中を除き Acc 1 と Acc 2 で別個にそれぞれ 1 語のループを形成して数値を保持している。演算を行なう場合には Acc 1 と Acc 2 は直列に接続されて 24 桁のレジスタとして倍長精度の数値を保持する。この数は Acc 2 の右端から出て ARC の左端の入力ゲート

(IGY) に入り, 入力補数器 Y (ICY) で符号の制御を受けて, もし負数であれば補数の形に変換されて加算器に入り, 同じく入力補数器 X (ICX) で符号の制御を受けた他の operand と加え合される。この和 (または差) は遅延回路 (DC), 出力補数器 (OC), 出力ゲート (OG) を経て Acc 2 の頭 (左端) から Acc 2 に入り, その右端から Acc 1 の頭に入り, Acc 1 と Acc 2 を直列に循環する。さらに演算に必要なならば (たとえば乗除算の場合) Acc の右端から Acc 1 を経ないで直接 ARC にふたたび入る。演算が終了れば数値が Acc 内で正しい位置に入ったときに Acc 1 と Acc 2 を切り離す。

乗除算は加減算の繰返しで行なう。この繰返しは演



第7図 制御装置ブロック図

算速度を上げるために2語の時間を単位として行なわれる。すなわち数値は Acc 2→ARC→Acc 2 の途を回り、演算中にシフトを要する場合のみ ARC→Acc 2→Acc 1→Acc 2→ARC の途(4語長)を回る。除算の場合には剰余の符号の判定を要し、これは2語長では間に合わないが、数値を Acc 2 から ARC と Acc 1 の両方に回して必要な方だけ生かすことにして、演算時間を短縮している。すなわち、符号変化のない間は ARC と Acc 2 の間で数値を回して Acc 1 に入った方は Acc 2 の入口のゲートで抑える。符号変化を生じた場合には Acc 2→ARC の途を回った数を、

次に Acc 2 に入るところで抑え、数値を Acc 2→Acc 1→Acc 2→ARC の途に戻し、数値が Acc 1 と Acc 2 に入り切ったところでシフトする。

4.3 浮動小数点方式における数値の規準化 浮動小数点の加減算の結果は Acc に得られるが、その形には一般には規準形ではない。すなわち仮数の msd の幾桁かに0があったり、逆に1桁あふれる場合がある。除算の場合には商は MQR に得られ、剰余が Acc 2 に残る。

規準化するためには、あふれない場合には仮数部の小数点以下に msd から続いて何桁0があるかを知ればよい。この0の数 p は Acc の仮数の各桁を lsd より順次調べて、0があれば p のカウンタ(Pレジスタ P-R)にカウントし、1~9があればP-Rの内容をクリアすることを仮数部18桁についてすればよい。あふれのある場合にはそれを検出してあふれのレジスタ PR-S をオンにすればよい。

PR-S がオフの場合には、

p を MQE_p に送って p 桁 Acc を左シフトするとともに、 $y_A - p \rightarrow AccE_x$ を行なう。Acc があふれて PR-S がオンの場合には、あふれは必ず1桁であるから、 $y_A + 1$ をするとともに、Acc の仮数部を1桁進ませる。浮動小数点方式の場合 Acc の仮数部のあふれで計算機を停止するのは誤りである。Acc を1桁進ませるためには23桁遅らせるのが普通のシフトのしかたであるが、この場合には特に Acc を1桁ショートして進ませる方法をとって、シフトの所要時間を短縮してある。 $p=18$ は $a=0$ を意味するから、このときには $a=0$ を表示するアンプ AcZI をオンにして、 $y_A = -99$ とする。

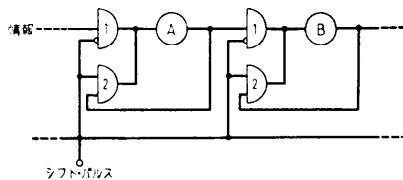
除算の商は規準形で MQR に得られるが、剰余は前述のように規準形ではなく、Acc 2 に残っている。剰余を使用する場合には、あらかじめ規準化という命令によって規準化する必要がある。このためにはその前に商を記憶装置に転送しておく必要がある。

5. 制御装置

5.1 制御装置の概要 マーク 5 は 1 アドレスの計算機であるから、飛越し命令を除き命令はその入っている記憶装置のアドレスの順に実行される。1 アドレスの計算機の動作⁵⁾は基本的には記憶装置より命令をとってくる段階(ステージ I)と、命令を解読して実行する段階(ステージ II)よりなり、それらは主制御回路 MC (main control) に支配される。第 7 図に制御装置の構成図を示す。実線は情報の流れを、点線は制御信号の経路を示す。図には簡単のために主線のみを示してある。

ステージ II における各種命令の実行段階の制御は命令の種類によって異なる部分が多く、詳細を述べる余裕はないので、基本的な二、三の例について述べる。

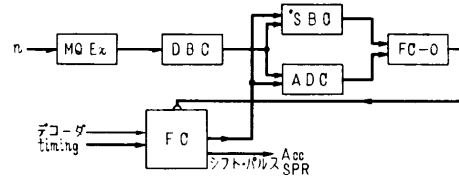
5.2 シフトの制御 シフトは命令としてのシフト以外にも浮動小数点方式の演算などに用いられるので重要である。浮動小数点方式の加減算では、仮数の演算の前の両 operand、または演算結果の小数点位置を合せるために Acc の左または右シフトを行ない、演算結果の規準化にも一般にシフトを必要とする。



第 8 図 累算器のシフト回路

レジスタの長さを 1 桁長くしてシフトする方法では遅すぎるので、Acc のシフトは各アンプ内で直接情報を遅らせる足踏み方式を採用している。第 8 図にその回路を示す。MQR も乗除算、入力にシフトを要するが、1 桁ずつのシフトで時間的に間に合うので普通的方式を用いている。

n 桁 Acc をシフトする場合の制御の概要を第 9 図について説明する。 n は MQR の指数部レジスタ MQR_{E_x} にセットされ、10 進 2 進変換回路 DBC (decimal-binary converter) で 2 進数に変換されている。



第 9 図 シフト制御回路

SBC, ADC は 24 を mode とする 2 進カウンタで、SBC は sub-one, ADC は add-one のカウンタである。FC より適当な timing で DBC の内容が SBC (左シフトの場合) または ADC (右シフトの場合) に移されると同時に FC はシフト・パルスを Acc, SPR に送り、Acc, SPR をシフトする。SBC または ADC にセットされた n は各クロックごとに sub-one または add-one を受け、 n または $24-n$ 回目に 0 になる。この 0 を FC-0 で検出して FC よりシフト・パルスがでるのをインヒビットする。

5.3 入出力装置の制御 入力装置は命令または操作卓上の入力装置選択スイッチによって選択される。入力情報は入力の timing を司る Pick-Up と入力カウンタの制御のもとに入力レジスタ Inp R を経て Acc に読込まれる。ただし命令語の操作部と指標部だけは MQR に読込まれて、後に Acc 1 に移される。情報が入力レジスタに入るさいにはパリティ検査を受け、パリティが合わなければ計算機は停止する。

出力はバッファ・レジスタ Buf R から出力レジスタ Out R を介して行なわれる。出力装置の選択は入力装置と同じく命令でも操作卓でもできる。出力命令は他の命令と concurrent に実行できる。すなわち出力命令が解読されると直ちに End に終了パルスが送られ、計算機本体は次の命令の実行に移る。出力装置は IOCU の制御のもとに本体とは独立に出力動作を行なう。この間本体から出力命令が再び出されると、前の命令が終了するまで計算機は待機し、終れば次の命令を実行する。

6. 記憶装置

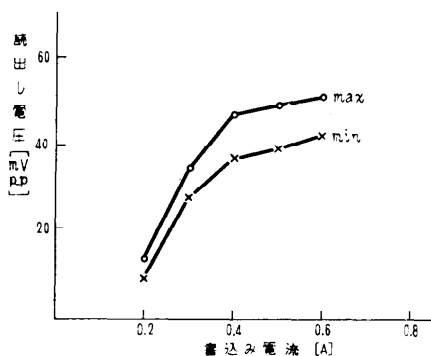
マーク 5 の記憶装置は中速磁気ドラムで、容量は主記憶装置が 4,000 語 (24万ビット)、遅延線方式の即時呼出し記憶装置が容量 50 語のもの 4 組、計 200 語 (12,000ビット) である。

主記憶装置は 1 周 200 語のバンド 20 個よりなり、1 バンドは 1, 2, 4, 8 およびパリティの並列 5 トラック

よりなる。トラック1周の容量は2,400ビットである。書込み、読出しは同じヘッドで行なわれ、書込みはRZ法による。

遅延線方式の即時呼出し記憶装置は書込みヘッド、ドラム表面、読出しヘッドおよび外部の増幅整形回路でループをなす遅延線方式の記憶装置である。書込み読出しヘッド間の距離はドラム1周の1/4であるから、記憶容量も呼出し時間も主記憶装置の1/4である。

はじめのドラムは直径22cmの横形で、三相100c/sの誘導電動機により駆動され、回転数は5,750rpm、情報密度は3.5ビット/mmであったが、偏心有り、読出し信号のS/N、分解能なども不充分であったので、縦形で直径25cmのものに変更した。これにより機械的および電気的性能は向上したが、ドラムの全アドレスを安心して使うにはいたっていない。

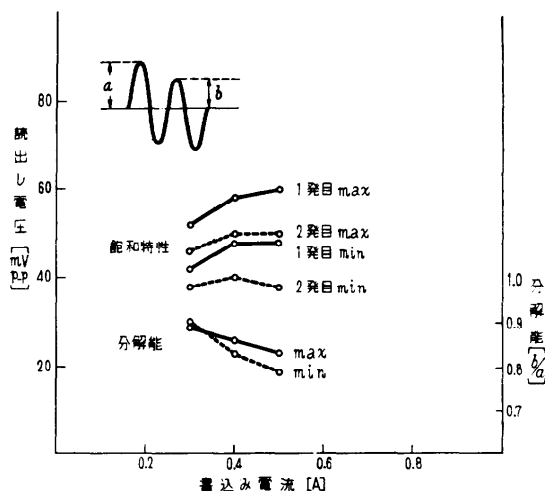


第10図 磁気ドラムの飽和特性

改良形のドラムは情報密度は3.1ビット/mm、ヘッドのインピーダンスは $28 \pm 2 \Omega$ （ヘッド両側、250kcで測定）である。第10図に飽和特性の一例を示す。第11図は連続2発のパルス（パルス幅1.5 μ s、パルス間隔4.2 μ s）を書込んだ場合の飽和特性および分解能特性の一例である。0.4A、1.5 μ sのパルスを1周に2,400発書込んだ場合の読出し信号は最大50mV p-p、最小30mV p-pで、ノイズは最大5mV p-p、したがって読出し電圧のばらつきは約25%、S/Nは最小約15dbである。ドラムが回転し始めてから、ほぼ一定の温度に達するまでには約2時間を要する。

7. 命令とその実行方式

マーク5の命令は約150種類あり、これは8種類に大別でき、命令語(第2図参照)の操作部Fの100位の桁 F_3 で分類する。 $F_3=0$ は飛越し、 $F_3=1$ と2は固



第11図 磁気ドラムの飽和特性と分解能特性

定および浮動の四則演算、 $F_3=3$ と4は同じく転送、 $F_3=5$ はソフト、論理演算等、 $F_3=6$ は入出力、 $F_3=8$ はInd R関係の命令である。以下主な命令について説明する。

7.1 飛越し命令 マーク5には18の飛越し命令がある。JS: 014 IKA, switch jump は操作卓上のjump switch (5個あり)のうちKで指定されたものがオンであれば実効番地に飛越し、オフであれば何もしないで次に移る、あふれに関する命令はAcc, MQRの仮数部と指数部に関してそれぞれ一つずつある。

7.2 固定小数点方式四則演算 Acc, MQR, MDR およびドラムの実効番地Eの内容をそれぞれ a, q, d, e とすると、 $a \pm e, a \pm |e|, a \pm e \times 10^{-11}, a \pm |e| \times 10^{-11}, a \pm d$ および $a+q$ ができる。Accでは常に倍長で演算が行なわれる。AM: 108 IA add to memory は $a+e \rightarrow \text{Acc}$ とし、かつ和のうち上半 a_1 をEに転送する、累算に適した命令である。AN: 130 IV raise は $a+N \times 10^{-11} \rightarrow \text{Acc}$ で、 $9,999 \geq N \geq 0$ である。F=131 (clear raise) は $N \rightarrow \text{Acc}$ である。特に $N=0$ としてIでmodifyするとIで指定したInd R, SCC またはそれらの和をAccに転送できる。

乗算は、あらかじめMDRに被乗数を転送した上で、 $a \pm d \times e$ および $\pm d \times e$ ができる。eはMQRに入り、1回部分積を加えるごとにsub-oneされ、 $q=0$ に達すると乗算は終了する。

除算命令には $(a \pm e) \div d, \pm e \div d, a \div d$ があり、おのおの11桁の丸めない商とそれに対する正しい剰

余を求める命令と、12桁の商を求めて丸めて11桁にする命令とがある。除算は $a \pm e$ 等の動作を除けば本質的には $|a| + |d|$ で、non-restoring method で行ない、11桁でも12桁でも正しい商を得ることができる。

7.3 浮動小数点方式四則演算 浮動小数点の2数を加減する場合には指数の差があるので、その差だけ Acc をシフトして小数点の位置を揃えてから加減算をする。演算結果は一般に規準形ではないから規準化する。加減算の命令の種類は Acc 2 への加減算、raise lower がなく、その代りに Acc の指数部の raise, lower の命令がある。乗除算の命令は固定小数点の命令と同じである。

FA: 200 IA floating add を例にとりて加減算の動作を説明する。Acc と MQR に入った e の指数の差 $y_A - y_Q = \delta$ は ARC を通して計算され、MQE_x に送られる。 δ の大きさ、符号により次に行なわれる仮数部の演算には種々の場合が生ずる。

$\delta > 17$ の場合には $|a| \gg |q| (= |e|)$ で、 $|q|$ は $|a|$ の lsd より小さいから、仮数部の演算は不要である。

$17 \geq \delta \geq 0$ の場合には a を δ 桁遅らせてから $a+q$ を ARC を通して行ない、Acc に入れてから $24-\delta$ 桁遅らせ、次に $|a|$ を 4.3 に述べた方法で規準化する。 q の下の方の桁で a の 18 桁の範囲より外に出る部分は加える前に切捨てる。

$0 > \delta \geq -17$ の場合には、 a をはじめに $24-|\delta|$ 桁遅らせるとともに、和の 18 桁の範囲より下にはみだす a の桁を切捨てる。 q は 24 桁遅らせ、 $a+q$ を行ない、次に規準化する。

$-17 > \delta$ の場合には $|q| \gg |a|$ であるから、 $q \rightarrow \text{Acc}$ を行なうだけでよい。

加減算の結果 Acc にあふれを生ずることがある。これは y_A または y_Q が 99 で仮数の演算結果にあふれを生じた場合に、規準化の結果 $y_A = 100$ となるためであり、計算機は停止して操作卓上の AccE_x というあふれのランプがつく。

乗算の命令は $\pm d \times e$ と $a \pm d \times e$ の 4 種類があり、前の二つは積の指数 $y_P = y_D + y_E$ を求めて、仮数部の乗算は固定小数点方式と同じに行ない、結果を規準化すればよい。 $a \pm d \times e$ の場合には $\delta = y_A - y_P$ の値によりいろいろな場合がでてくるので複雑である。後者の場合を FAM: 220 IA floating mult add について説明する。

$y_E + y_D = y_P$ は ARC によって求めて MQE_x に

入れ、直ちに $\delta = y_A - y_P$ を同じ ARC で計算し、ふたたび MQE_x に入れる。

(1) $y_P \geq 100$ はあふれであるから停止する。

(2) $y_P \leq -100$ は乗算不要で、直ちに終了パルスを出す。

(3) $|y_P| < 100$ の場合、 $\delta > 17$ は (2) に同じ。 $17 \geq \delta \geq 0$ は、乗算を ($\delta \geq 9$ なら部分的に) 行ない、Acc に加える。 $0 > \delta \geq -17$ は、乗算を 9 桁行ない、Acc に加える。 $-17 > \delta$ は、Acc をクリアして乗算を 9 桁行なう。

除算は加減乗算と異なり、両 operand の指数部の差により Acc をシフトする必要がなく、ただ商の指数を求めればよいので、指数部の演算は簡単である。仮数部の除算の具体的方法は固定小数点の場合とほぼ同じである。ただし Acc の仮数部 x_A が MDR の仮数部 x_D より大きくても除算を実行し、商の指数に 1 を加える点が異なる。

商の指数を $y_Q = y_A - y_D$ とすると、 $y_Q \geq 100$ ならば商はあふれであるから、除算を行なわないで停止する。 $y_Q \leq -100$ ならば商は 0 に等しいから、MQR に 0×10^{-99} をセットする。 $x_D = 0$ ならば商は ∞ であるから、この場合にも計算機は停止する。

剰余は Acc 2 に得られ、規準形ではない。これを規準化するにはそのための命令 NL: 554 normalization を用いる。

7.4 転送 普通の転送命令の説明は省略し、特殊な命令だけを述べる。TMB: 322 IA load Buf はドラムの内容をパリティビット付きのまま Buf R に呼出す命令で、ドラムの内容を監視できる。

TMQA: 326 IKA load quick access と、TQA M: 328 IKA store quick access は主記憶装置と即時呼出し記憶装置 QA の間の情報の block transfer の命令である。K で QA を指定し、E で block transfer すべき最初の番地を指定する。block transfer は 50 語単位である。

浮動小数点方式の転送で特徴のある命令は倍長精度の四則演算を考慮して設けた FTL: 420 IA fl store Acc 2 である。Acc 2 の仮数 a_2 に Acc の指数をつけて store したのでは指数が 9 だけ大きすぎるので、 $y_A - 9$ を計算し、これを指数として記憶する。 $y_A - 9 \leq -100$ になると、記憶のさい 100 位が失われて誤りを生ずるので、記憶した後に計算機は停止して操作卓上のランプがつく。FTL で転送された数は規準形

ではないが、倍長精度の演算には差支えない。

7.5 シフト、論理演算その他 シフトは Acc 1 と 2 を直列にして行ない、固定小数点方式数値の正規の範囲外に出た部分は消える。符号、指数部は不変である。

論理演算は *d* と *e* の符号を除く 11 桁の 1, 2, 4 のビットについて行なわれ、AND, OR, NOT, extract add 等がある。結果は Acc 1 に入り、Acc 2 は不変である。

Acc にある浮動小数点の数と固定小数点の数の相互変換を行なうのが、FLX: 550 FL to FX と FXL: 552 FX to FL である。前者ではあふれを生じた場合には計算機は停止して操作卓上のランプ FLX がつく。

7.6 入出力 RN: 630 (I) *N* number read in は入力装置から数字を *N* 桁 Acc 1 の下 *N* 桁に読む。RL: 632 (I) *N* character read in は文字を *N* 桁 Acc 1 に読む。文字は計算機内では 2 桁の 10 進数として表わされる。RFN: 634 floating read in は浮動小数点の数を 1 語読む。数値はテープ上では

$$\pm \underbrace{ab \cdots hi}_{\substack{\text{仮数} \\ \text{(9桁以内)}}} \pm \underbrace{jk}_{\substack{\text{指数} \\ \text{(2桁)}}} \quad \theta$$

テープ・コントロール・コード

の形に打つ。RWD: 636 word read in は命令語を 1 語読むための命令である。テープに打つ命令語の形は F, I (K), A, ○ である。F (3 桁), I (1 桁) は必ず打ち、K は指定するときに打つ。A は有効数字だけ (K を打ったときは必ず 4 桁) 打つ。○ (テープ・コントロール・コード) は命令語の終りには必ず打つ。

符号 +, - を RN, RWD で読むと、自動的に Acc の符号レジスタに入る。Acc の仮数部は変わらず、符号の読みは読み桁数としては数えない。RFN で符号を読むと最初の符号は Acc の仮数の符号レジスタに、次の符号は指数部の符号レジスタに入る。RL では符号も文字として Acc に読まれる。

余白、スペース、改行復帰および抹消のコードはどの入力命令で読んでも無効として読飛ばされ、Acc には入らず、読み桁数としても数えられない。

WN: 650 (I) *N* number output は Buf R の内容を msd から *N* 桁あらかじめ選ばれた出力装置に出す。WL: 652 (I) *N* character output は Buf R の内容を msd から 2 桁ずつ文字と解釈して出す。

WFN: 654 (I) *N* floating output は Buf R にある浮動小数点の数を 1 語出す。その形は次のような 14

桁である。

$$\pm \underbrace{ab \cdots hi}_{\substack{\text{仮数} \\ \text{(9桁)}}} \quad \underbrace{\circ}_{\substack{\text{スペース} \\ \text{(1桁)}}} \quad \pm \underbrace{jk}_{\substack{\text{指数} \\ \text{(2桁)}}$$

WM: 656 (I) *N* special character output は *N* で指定された文字を 1 字出す。*N* としては文字を表わす 10 進数をとる。この外特に Buf R の仮数と指数の符号を *N*=100 と 200 で出すことができる。

7.7 指標レジスタ Ind R に関する命令を Ind R で変更はしないが、SCC による変更はできる。

JSB: 810 I'A SCC to index jump は SCC の内容を Ind R に転送して A に飛越す命令で、サブルーチンへの link に便利である。

Ind R の raise jump, lower jump は non-zero または unequal という条件を判別してから行なり。raise, lower は判別前に ±1 を行なり。(Ind R) ± *N* を行なり命令もある。記憶装置との間の加減算、転送もできる。

8. むすび

本文はトランジスタ式デジタル計算機電試マーク 5 の概要、語の構成、演算装置、制御装置、記憶装置および主な命令とその実行方式について述べた。

終りに本研究の機会を与えられ、絶えず御指導、御べんたつをいただいた和田電子部長をはじめ、設計に協力された当所電子部の淵氏および慶応大学の北川、都築両氏、調整に協力された当所電子部の松崎、近藤両氏、電力部の深尾、酒巻、山崎および佐藤の諸氏に厚く感謝する。またマーク 5 の製作、調整に当られた日立製作所戸塚工場の高田部長をはじめコンピュータ部の各位にも深く感謝する。

参考文献

- 1) 西野, 高橋, 松崎, 相磯, 近藤, 米田: 信学誌, 11, 42. p. 1038 (昭34—11)
- 2) 西野, 相磯, 高橋: 通信学会計算機委資料 (昭32—4)
- 3) 松崎, 高橋: 通信学会トランジスタ回路委資料 (昭33—7)
- 4) 和田, 高橋: 情報処理, 1, 2, p. 107 (昭35—9)

(昭和 36 年 7 月 1 日受付)