

非同期式設計による FPGA 向け低消費電力化手法

岡部 忠[†]

ソフトウェアによる逐次処理において演算負荷の軽減や処理の高速化の為に、ハードウェア化によるアクセラレーションが頻繁に用いられる。組込みシステムでは、ハードウェアアクセラレーションとしてデジタル回路を同期式設計向けデバイスである FPGA 上に実装することが多いが、同期式デジタル回路の FPGA 実装に際して電力消費が大きな課題となっている。本稿では、非同期式設計を用いて設計したデジタル回路を FPGA に実装し、大幅な消費電力の削減と処理の高速化が確認できた開発事例について報告する。

Low Power Design Technique using Asynchronous Circuit Design Method for FPGAs

Tadashi Okabe

Information Technology Group, Tokyo Metropolitan Industrial Technology Research Institute

At Present, FPGA is implemented for main device on many embedded systems and used on purpose to perform hardware accelerations. However the consumption power is not low enough comparing with that of other low power digital devices. It is more necessary to develop power saving techniques on digital circuit design for FPGAs. Meanwhile, asynchronous clock-less circuit design techniques can solve a power consumption problem. So recently many researchers and engineers show a favorable interest in this design scheme. In this article, we report asynchronous IP implementation on a FPGA, its performance evaluation and results of an asynchronous block comparing with a synchronous one.

1. はじめに

ソフトウェアによる逐次処理において演算負荷の軽減や処理の高速化の為に、ハードウェア化によるアクセラレーションが頻繁に用いられる。組込みシステムでは、ハードウェアアクセラレーションとしてデジタル回路を同期式設計向けデバイスである FPGA (Field Programmable Gate Array) 上に実装することが多いが、同期式デジタル回路の FPGA 実装に際して、リファレンスクロックに起因した電力消費が大きな課題となっている。近年では、クロックに起因した消費電力の増加を解消するためにデジタル回路の非同期式設計が注目されており[1,2]、同期式設計向けデバイスである FPGA に対し非同期式設計を適用した場合の低消費電力化が報告されている[3]。そこで、本稿では、非同期式設計を用いて設計したデジタル回路を FPGA に実装し、大幅な消費電力の削減と処理の高速化が確認できた

開発事例について報告する。

本稿の構成は、次の通りである。まず、2章において非同期式設計について説明し、3章において本研究で用いた回路について述べる。4章では、非同期式設計されたデジタル回路の評価結果と考察を述べ、5章において本研究のまとめを述べる。

2. 非同期式設計

非同期式設計は複数の設計手法が提案されているが、本研究では4相束データ方式という非同期式設計手法を用いた。4相束データ方式のハンドシェイクプロトコルを図. 1に、ブロック図を図. 2に示す。束データ方式では、図. 1のようにREQとACKというハンドシェイク信号の相互関係により有効データの取り込みをFFに通知し、データ転送を行う。図. 2(b)のブロック図の制御回路部分を単一のクロック信号で置換すると同期式設計と同じ回路構造となり、同期式設計されたIPコアを非同期式に変換する際に変換が容易になる。図. 2(b)の三角形の回路が遅延素子である。この遅延素

[†] (地独)東京都立産業技術研究センター 情報技術 Gr.
E-mail : okabe.tadashi@iri-tokyo.jp

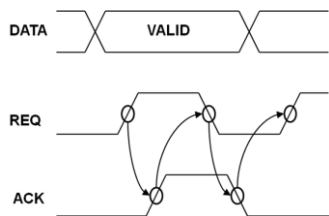


図. 1 4相束データ方式のハンドシェイクプロトコル

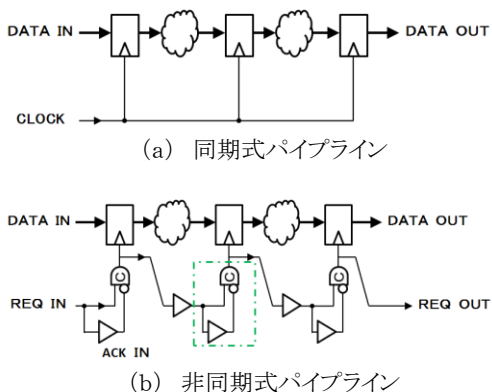


図. 2 4相束データ方式のハンドシェイクプロトコル

子は、FF 間にある組み合わせ回路のセル遅延と配線の伝搬遅延を考慮し、次段の FF がタイミング違反なしにデータを受け取れるだけの遅延量を付加するために使用している。また、図. 2 (b) で C が記された回路素子は「マラーの C 素子」と呼ばれ、非同期式設計において重要な役割を担う制御向け回路である。本稿で提案するパイプラインは一般的な4相束データ方式のパイプラインとは破線内のハンドシェイク回路部分が異なっている。

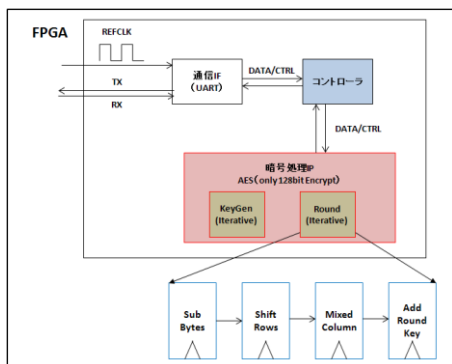


図. 3 暗号処理システムのブロック図

3. 試作回路

図. 3のブロック図にあるシステムを試作した。本研究では暗号化 IP としてブロック暗号の AES (Advanced Encryption Standard) を用いた[4]。これを用いることでシステムの8割以上を非同期式設計回路で占有でき、性能評価結果の判別が容易になる。本章の AES は、定型の処理を繰り返す iterative 型を用いた。

4. 評価結果と考察

暗号化 IP として AES を同期式設計と非同期式設計で設計し、IP コア単体の性能評価を行った。また、暗号化 IP に加えて数種の周辺機器を同期式設計で構築したシステムを FPGA に実装し性能評価を行った。これらの結果を表. 1 に示す。対象デバイスとして Xilinx 社製 FPGA の Spartan3AN を用いた。非同期式設計では同期式設計と比べて回路規模が1割程度大きくなるが、処理速度向上と消費電力低減が両立できた。更に、遅延量を変更することで処理速度と消費電力が柔軟に調節でき、設計自由度の向上が見込める。消費電力の低減効果も、本回路アーキテクチャでは IP コア単体で7割程度の低減が可能であり、実装の最適化を加えることで更なる性能向上も見込める。

表. 1 評価結果

	IP コア単体		システム全体	
	消費電力 SIM [mW]	処理時間 [ns]	消費電流 [mA DC]	リソース [Slice]
同期式	80.57	945	82.00	2,801
非同期式	27.52	480	17.67	3,117

5. まとめ

本稿では、暗号処理システムを例に挙げ同期式設計向けデバイスである FPGA を使ってハードウェアアクセラレーションを行う場合に、同期式設計よりも非同期式設計により設計されたデジタル回路の方が消費電力を大きく抑えられることを示した。更に、消費電力だけでなく処理速度の向上といった性能の向上も同時に達成できることを報告した。

参考文献

- [1] Sparso, J. Furber, S. “Principles of Asynchronous Circuit Design”, Kluwer Academic Publishers, 2001
- [2] 齋藤, IEICE Fundamentals Review Vol.3, p64-70, 2010
- [3] 岡部, 信学技報 RECONF2011-7, p37-42, 2011
- [4] <http://csrc.nist.gov/publications/fips/fips197fips-197.pdf>