

国産超大型計算機について*

高 島 堅 助**

1. はじめに

超大型電子計算機の定義については、本特集のどこかで議論されているはずであるから、ここでは議論をしないこととする。ここでは工技院の大型プロジェクトによる「超高性能計算機」、日本電気株式会社の「NEAC2200 モデル 700」(以下 N2200-700 と呼ぶ。)、日立製作所の「HITAC8700」(以下 H8700 と呼ぶ。)、富士通株式会社の「FACOM 230-75」(以下 F230-75 と呼ぶ。)、電電公社の「DIPS-1」などの一連の計算機について述べる。これらはいずれも開発中、もしくは開発を完了したばかりのものである。

外国における CDC STAR-100 のような計算機を超大型計算機と呼ぶならば、上記国産機は外国の IBM-370/165, UNIVAC 1110 相当の大型計算機と呼ぶべき範ちゅうにはいるものであるが、日本における最高レベルの計算機として、ここに紹介することにする。

大型プロジェクト「超高性能計算機」は 1970 年代において外国大型機と匹敵する高性能計算機を開発することを目的に 1966 年から 5 箇年計画で着手されたものであり、1971 年度完了予定である。またここで開発された高速半導体論理素子、大規模集積回路 (LSI)、その他のハードウェア技術は前記の N2200-700、

H8700, F230-75, DIPS-1 の中に有効にとり入れられている。

N2200-700, H8700, F230-75 はそれぞれ各社の大型計算機 NEAC 2200 モデル 500 (出荷開始 1966.10), HITAC 8500 (出荷開始 1968.1), FACOM 230-60 (出荷開始 1968.1) の上位機種として計画されたものである。いずれも従来の機種のソフトウェアがそのままかかり、また新設された OS のもとで、本来の高性能が発揮できるようになっている。

上記 5 種の超大型機のハードウェアに共通的な特徴は次のとおりである。

- (1) 平均命令実行時間が $1 \mu s$ をきっていること。
- (2) 主記憶容量が 2 MB 以上 16 MB まで、従来に比べて非常に大きくなっていること。
- (3) 多種類・多数の入出力機器、ファイル記憶装置を備え、これらと主記憶装置との間のチャンネルの転送能力が強化されていること。
- (4) 主記憶系のコスト/パフォーマンス向上のため数 KB から十数 KB の容量の半導体高速バッファメモリを備えていること (N2200-700 は例外)。
- (5) システムの処理能力向上、信頼性向上のため、1 システムに複数台の中央処理装置を接続できる、いわゆるマルチプロセッサ・システムを構成

表 1 最近の国産超大型電子計算機の主要性能一覧表

機 種	主 記 憶		CPU		チャネル		デ イ ス ク		ド ラ ム		発表年月	出荷開始年月
	最大容量	サイクル・タイム	最大数	ローカル・メモリ	最大数	総合転送速度	容量	アクセス・タイム (ms)*	容量	アクセス・タイム (ms)		
工業技術院 大型プロジェクト	8 MB	$0.6 \mu s/8 B$	4	16 KB 32 KB	40	64 MB/s	900 MB	$75+12.5$	4 MB	10	1968. 4	1972. 3
NEAC 2200-700	2 Mch	$0.5 \mu s/8 ch$	2	なし	48	12 Mch/s	280 Mch	$75+12.5$	2.6 Mch 1.8 Mch	27.5 20.7	1968. 11	1971. 1
HITAC 8700	8 MB	$0.9 \mu s/8 B$	4	16 KB	96	64 MB/s	230 MB	$75+12.5$	4 MB	10	1970. 11	1972 前半
FACOM 230-75	1 MW	$1 \mu s/8 W$	2	2 KW 4 KW	18		466 MB	$75+12.5$	6 MB	10	1972. 2	1972 後半
DIPS-1	16 MB	$2 \mu s/32 B$	4	8 KB 16 KB	96	72 MB/s	230 MB	$75+12.5$	4 MB	10	1969	1971**

* ディスクのアクセス・タイムは (平均シーク時間) + (平均回転待ち時間) を示す

** ハードウェア完成

* Large Scale Computers developed in Japan, by Kensuke TAKASHIMA (The Musashino Electrical Communication Laboratory, N. T. T.)

** 日本電信電話公社武蔵野電気通信研究所

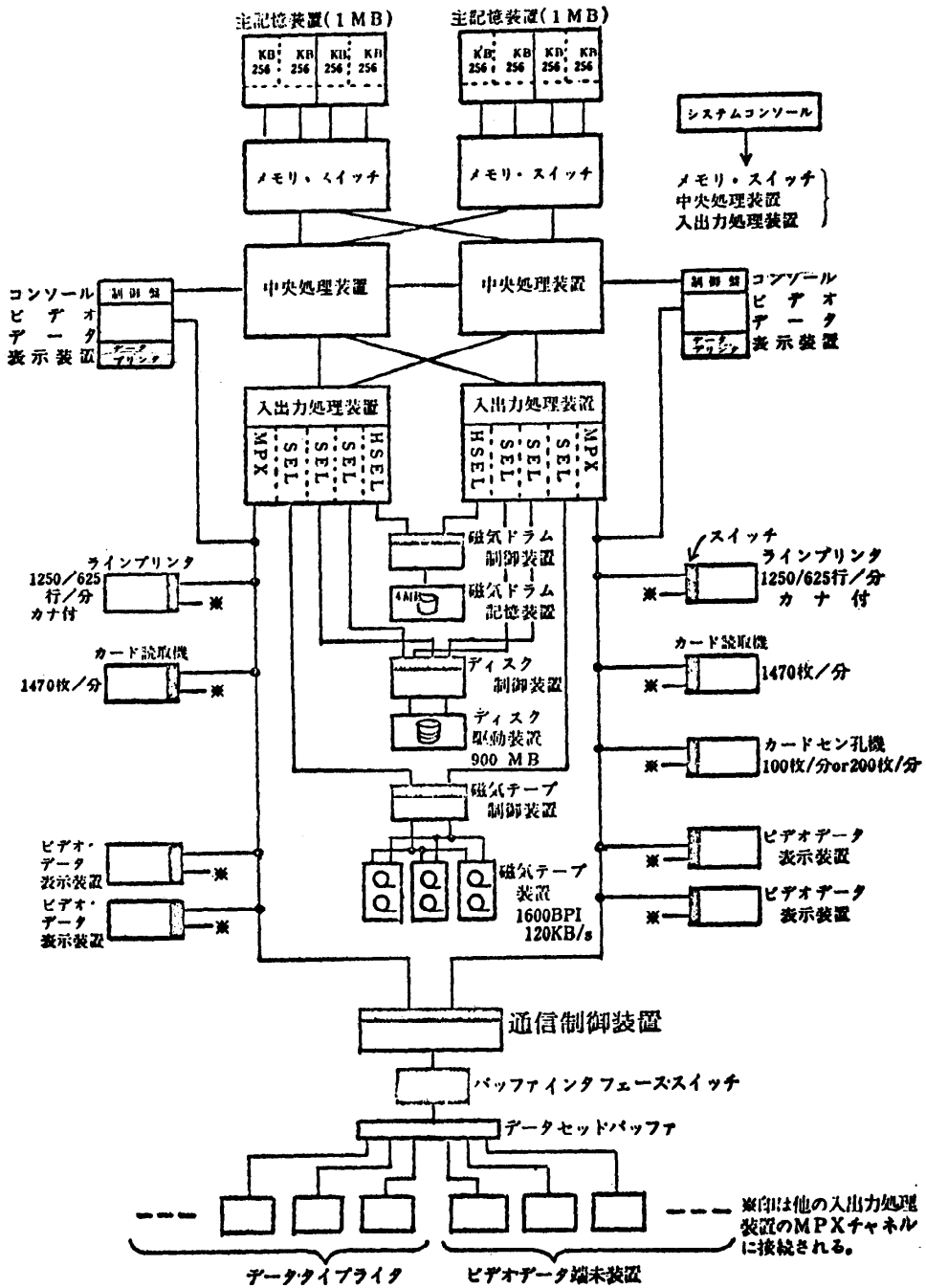


図1 大型プロジェクト・システム構成

できる。

(6) レンタル料月額千万円ないし1億円である。上記のうち、(2), (3), (5) は大型のTSSシステムを構成する際の必要条件といってよいであろう。

表1に上記計算機の主要性能一覧表を示す。

2. 各論

2.1 大型プロジェクト「超高性能計算機」

1970年代初頭の世界の最高水準をねらい、わが国の電子計算機技術の向上をめざして計画された工技院の大型プロジェクト「超高性能計算機」は1966年4月に着手され1971年度末(1972年3月)に完成が予定されている。

中央処理装置に高性能の半導体集積論理回路を使った大規模集積回路(LSI)技術、高速で大容量の主記憶装置、フェイル記憶装置や周辺装置の高性能化に必要な部品、サブシステムの開発を進めている。

おもな特徴は以下のとおりである。

(i) 命令形式

科学技術計算にも事務計算にも適した汎用電子計算機としての機能をもたせるため、命令は固定小数点演算、浮動小数点演算、10進演算、分岐、特権、処理状態制御の各命令が用意されている。

(ii) マルチプロセッサ型式

中央処理装置を最大4台接続したマルチプロセッサ構成が考えられ、フェイルソフトなシステム構成となっている。

(iii) 高速LSI回路

中央処理装置にゲートあたり遅延時間1.5ns以下という高速のCML形ICを組み込んだLSIを1CPUで約3,000個使用する。

(iv) バッファ記憶方式

1CPUあたり16KBまたは32KB、サイクル・タイム100~125nsのMOS型ICメモリをバッファ記憶方式に採用し内部処理速度の向上をはかっている。

(v) パイプライン制御方式

中央処理装置をいくつかの独立に動作するユニットに分解し、この複数個の処理ユニットをパイプとして命令の処理が並行に流れるパイプライン制御方式を採用し処理時間の短縮をはかっている。

(vi) 性能

平均命令実行時間がギブソンミックスで約200~300nsの高性能である。

(vii) PL/I*によるコンパイラ記述用言語

共通ソフトウェア記述用言語としてPL/I*を制定した。共通ソフトウェアとしてのコンパイラは、1度作っておけば、多種類の電子計算機に共通に使用できる利点がある。

図1に大型プロジェクトのシステム構成を示す。

2.2 NEAC 2200 モデル 700

日本電気株式会社のN2200-700はNEAC 2200シリーズの最上位機種であって、1968年11月に発表され、最初の出荷は1971年1月であり、1971年4月以降東北大学において稼動中である。

おもな特徴は以下のとおりである。

(i) 命令形式

従来の2200シリーズはキャラクタ・タイプの命令形式であるが、大型機としての性能を発揮できるようにワード・タイプの命令を追加して、性能向上をはかった。

(ii) マルチプロセッサ型式

中央処理装置を2台接続したマルチプロセッサ構成が可能である。

(iii) メモリ・リロケーション

ベース・レジスタによる。

(iv) 主記憶装置

サイクル・タイム0.5 μ sで、1台の中央処理装置に対し、2メガ・キャラクタ(1キャラクタ=6ビット)まで接続可能である。読み書き幅は8キャラクタ、インタリーブ数4である。

(v) 入出力制御

1CPUあたり標準チャンネル16台まで、転送速度最高500キロ・キャラクタ/秒、高速チャンネル8台まで、転送速度最高2メガ・キャラクタ/秒が接続可能で、全転送能力は1CPUあたり6メガ・キャラクタ/秒である。CPU2台で最高12メガ・キャラクタ/秒の転送能力を持ちうる。

(vi) 処理能力

NEAC 2200モデル500の約6~9倍、固定小数点および浮動小数点加減算0.4 μ sである。

(vii) ソフトウェア・コンパティビリティ

NEAC 2200シリーズのソフトをそのままかけることができる。

図2に本計算機のシステム構成例を示す。

2.3 HITAC 8700

日立製作所のH8700は、H8000シリーズの最新鋭機種として、工技院の大型プロジェクトの開発技術を取り入れて設計され、1970年11月に発表、最初の

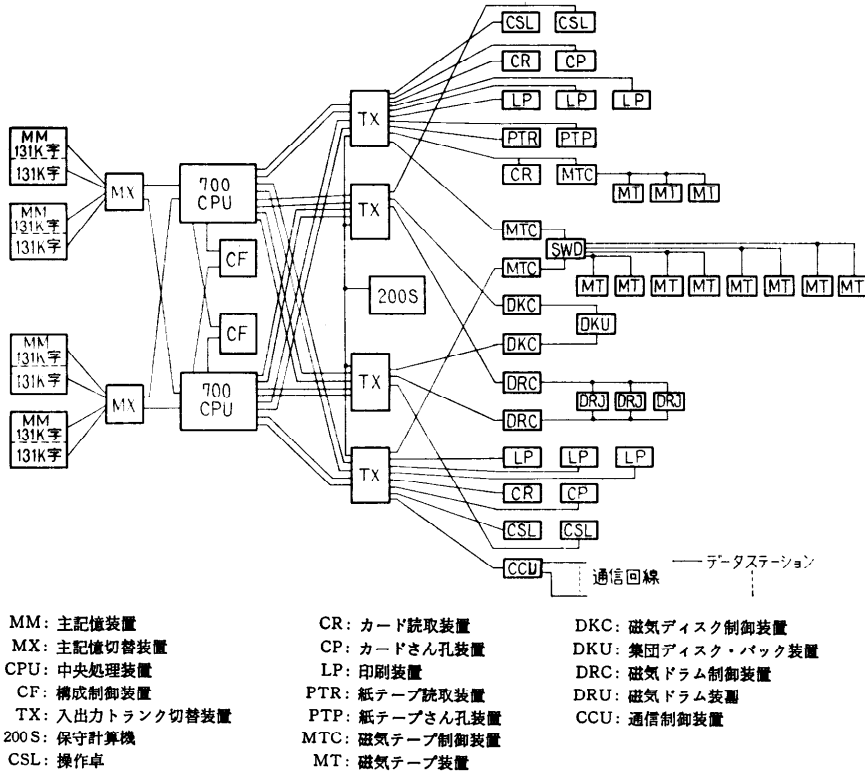


図 2 NEAC 2200-700 標準システム構成例

出荷は 1972 年春が予定されている。

おもな特徴は以下のとおりである。

(i) 命令形式

IBM 360 とほぼ同じで、バイト・ワード複合形式である。

(ii) マルチプロセッサ形式

中央処理装置を最大 4 台接続したマルチプロセッサ構成が可能である。

(iii) 論理アドレス方式

利用者の各プログラムは最大 $2^{32}=4,294,967,296$ バイトの仮想記憶装置 (バーチャル・メモリ) を利用することができ、タイムシェアリング・システムに対して十分な能力をもたせるようにした。また連想レジスタなどの特別なハードウェアによって、4096 バイトのメモリ・ページを最小単位とするアドレス変換ができるアドレス変換機能 (ダイナミック・アドレス・トランスレーション) をもたせ、オペレーティング・システムはこの機能を用いて物理記憶装置のダイナミック・リロケーションを行なうことができる。

(iv) 主記憶装置

国産超大型電子計算機のうちでも大容量の主記憶を採用した代表的機種であってサイクル・タイム $0.9 \mu s$ で、中央処理装置に対して 8 MB まで接続可能である。また読み書き幅は 8B、インターリーブ数は 4 である。

(v) 入出力制御

1 台の中央処理装置あたり最大 8 台の入出力処理装置が接続可能であって、1 台の入出力処理装置あたり最大 8 MB/s、合計最大 64 MB/s の転送能力がある。

(vi) 処理能力

H8500 の約 2.5~3.5 倍の能力をもっている。

(vii) 下位機種とのコンパティビリティ

従来の H8300, H8400, H8500 システムのプログラムは、リコンパイルなしで H8700 上で実行可能である。

図 3 に H8700 のシステム構成例を示す。

2.4 FACOM 230-75

富士通の F230-75 は、従来の F230-60 の上位機種として 1970 年 6 月、IBM 370 シリーズと前後して

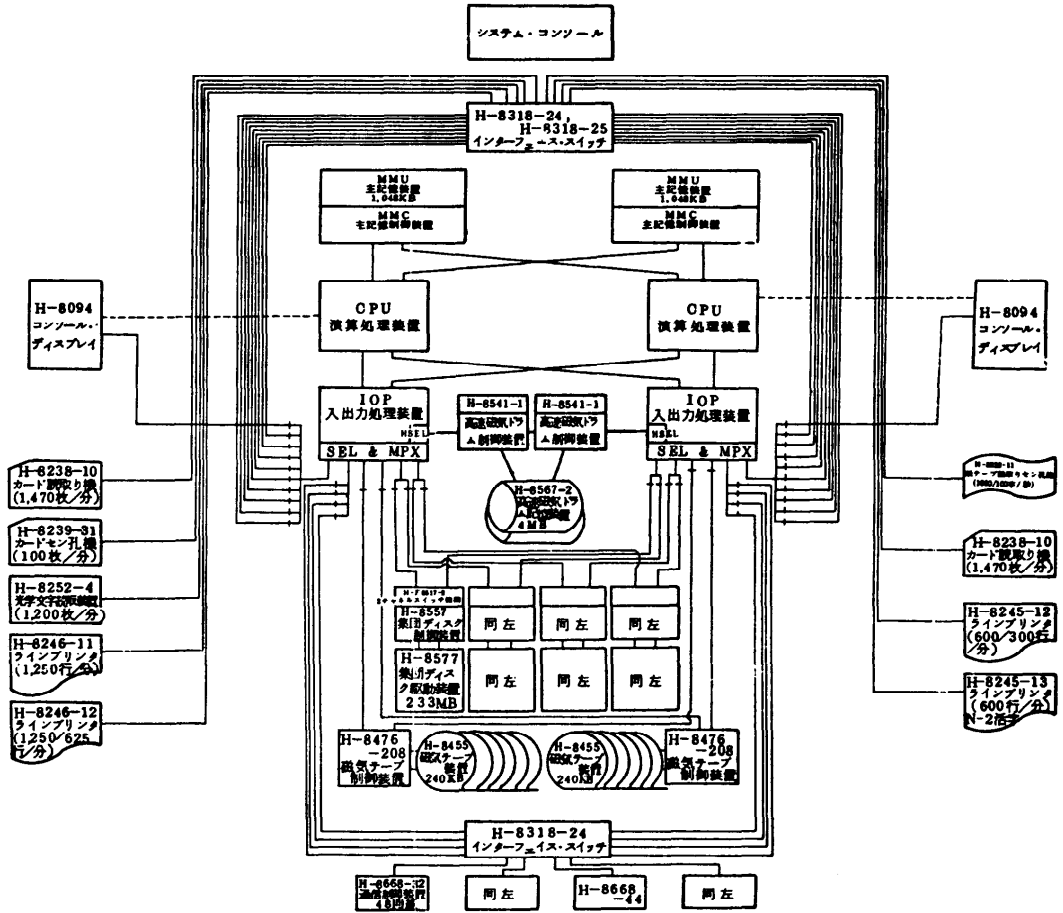


図 3 HITAC 8700 汎用マルチプロセッサ・システム構成例

発表され、最初の出荷は 1972 年後半になる予定である。

おもな特徴は以下のとおりである。

(i) 命令形式

従来の F230-60 と同じ 1 ワード 42 ビットのワード・タイプの命令形式である。

(ii) マルチプロセッサ形式

中央処理装置を 2 台接続したマルチプロセッサ構成が可能である。

(iii) アレイ・プロセッサ

ハードウェアの特徴の一つにアレイ・プロセッサの接続があげられる。アレイ・プロセッサはチャンネルの位置に接続され、ROM により制御される専用プロセッサである。ROM の内容を変えることによりユーザの諸要求に適した専用プロセッサとして使用できるう

え、マトリクス計算の高速処理が可能になっている。

(iv) 主記憶装置

サイクル・タイム $1 \mu s/8$ ワード、最大 1,024 キロ・ワードの主メモリを使用する。

(v) 処理能力

従来機種の F230-60 の約 4~5 倍の能力を持ち、浮動小数点加減算 $0.36 \mu s$ である。

(vi) ソフトウェア・コンパティビリティ

F230-60 のモニタ V は処理速度、モニタ常駐領域などの当初の性能が相当改良されたが、これがそのまま F230-75 に使用できる。

図 4 に F230-75 のシステム構成例を示す。

2.5 DIPS-1¹⁾

電電公社がデータ通信サービスの本命機として開発中の DIPS-1 は、1969 年に着手され 1973 年サービ

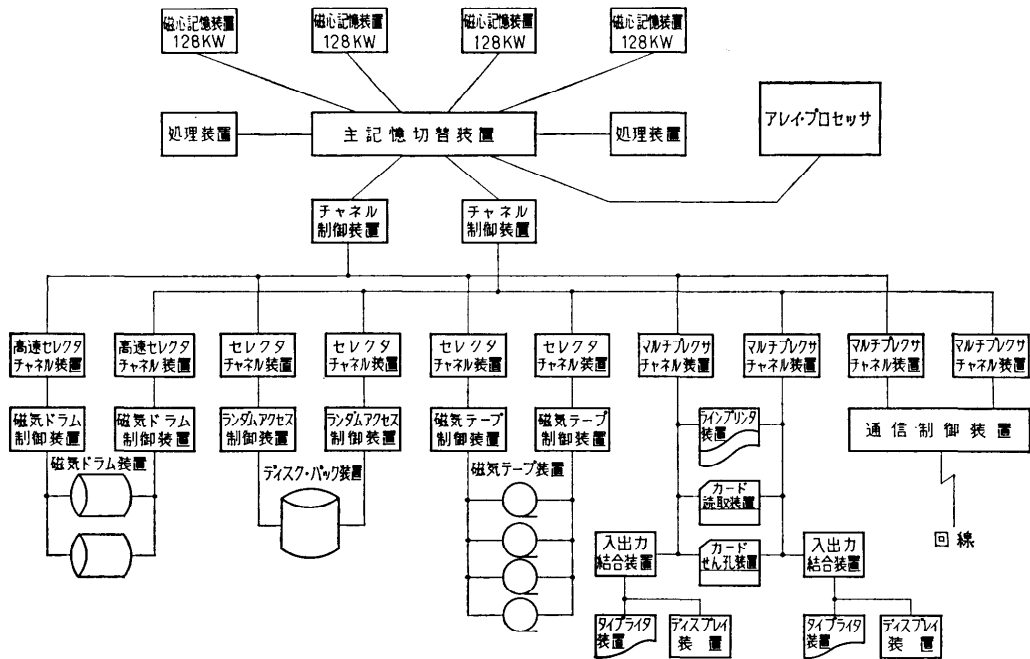


図 4 FACOM 230-75 システム構成例

ス・インを目標にしている。工技院の大プロの開発技術を反映させ、日電、日立、富士通との共同研究でわが国における電子計算機の実用機としての最高性能をねらっているものである。

電子交換、新伝送方式などと能率よく経済的に結合しうるオンライン用超大型電子計算機システムの実用化と信頼性の高いサービスとシステム設計、建設、保全、運転、ソフトウェアなどの標準化ならびにこれらを含めた経済化とを目標として現在ハードウェアの製造とあわせてソフトウェアのデバグが進められている。

おもな特徴は以下のとおりである。

(i) 命令形式

IBM 360 と類似しているが、特徴としては、頻繁なタスク切替えに備えオーバーヘッドを軽減する SVC (Supervisor call), MEM-MEM 間の演算における Indexing 可能、活用レジスタとベース・レジスタの分離などがあげられる。

(ii) マルチプロセッサ形式

中央処理装置を最大 4 台接続できるマルチプロセッサ構成が可能である。

(iii) ローカル・メモリ方式

1 CPU あたり 8 KB または 16 KB のローカルメモリ (サイクル・タイム 100 ns) を設計、大容量記憶装置との組合せによりコスト・パフォーマンスのよい主記憶系の構成を意図している。

(iv) 大容量記憶装置と仮想記憶方式

主記憶は最大 16 MB (サイクル・タイム: $2 \mu s$) の大容量記憶装置を使用する。プログラムはこれとは無関係に 256 MB のアドレス空間があるとして使用することができる仮想記憶をもつ。

(v) ページ・ロード方式

記憶装置の有効利用のため、ページ・ロード方式を採用している。これはプログラム実行前にそのプログラム全体を主記憶にロードする方式でオーバーヘッドを減少し、プログラムのコア上での滞留時間を短くして主記憶容量が小さくてすむ利点がある。

(vi) 入出力制御

1 台の転送制御装置に最大 4 台の高速セクタ・チャンネル、最大 12 台のセクタ・チャンネル、最大 6 台のマルチプレクサ・チャンネルに全体で最大 16 台のチャンネルが結合でき、1 システムに最大転送能力 12 MB/s 以上の転送制御装置を最大 6 台接続できるので最高 96 本のチャンネルが利用できる。したがって、大容量記憶

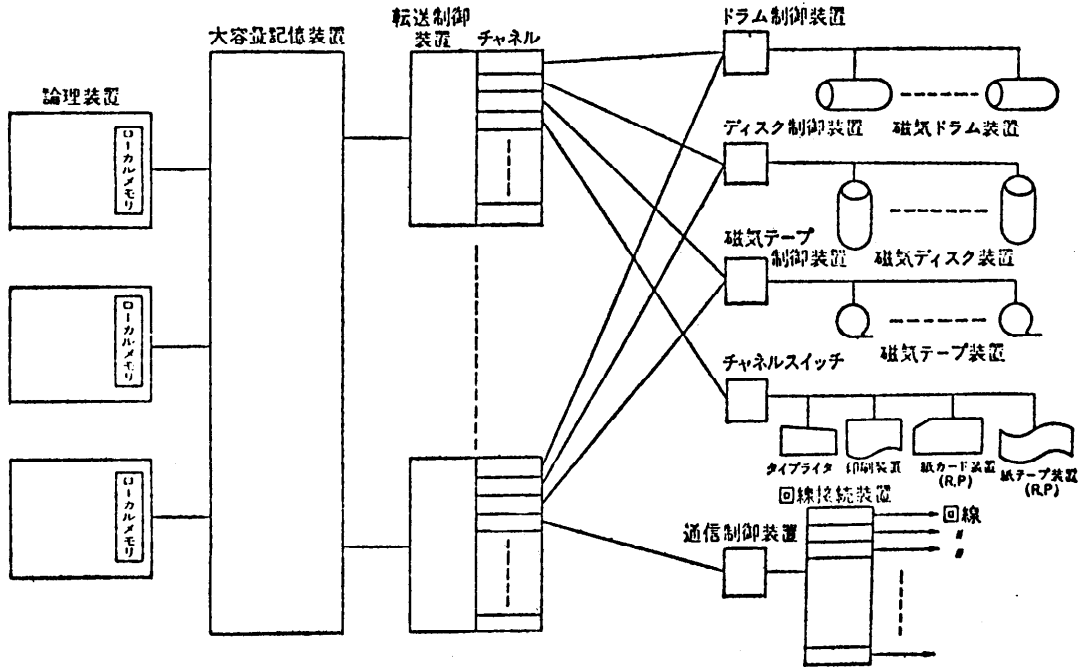


図 5 DIPS-1 システム構成例

装置との間の転送能力は1システムで最大72MB/s以上となる。

(vii) 処理能力

科学技術計算サービスでは、3台の中央処理装置を設けたマルチプロセッサ構成の場合、同時に約600人の加入者に対して処理ができ、かつ加入者がシステムに処理の要求を出してから、結果が加入者に送り返し始められるまでの平均応答時間は約2秒であることが目標とされている。

(viii) ソフトウェアの汎用性とモジュール構成

ソフトウェアの開発においては、ソフトウェアの汎用性に重点をおきモジュール構成をとり、汎用性からくる非効率性を避けるため、用途に対し必要なモジュールのみを組み合わせる方法をとった。このモジュールの最適な組合せを自動的に行なうためにシステム・ジェネレータというプログラムを作成することになっている。

図5にDIPS-1のシステム構成例を示す。

むすび

国産大型電子計算機の代表的機種について述べた。超大型機の開発には二つの意味がある。その一つは科

学技術、工学におけるプロジェクト、共同利用などからの絶対的高性能機に対する要求を満たすことである。いま一つは、超高性能機の開発の過程において、一般的計算機技術のレベルが向上し、これにより超高性能機以外の一般計算機のコスト/パフォーマンス、信頼性の向上が促進されることである。

われわれは世界の計算機界に伍して行くために、上記2つの点からも、今後超大型機もしくは超高性能機の開発に絶えず努力しなければならない。

TSSサービス、特に通信系と大型電子計算機を結合したデータ通信サービスにおいては、その需要増大とともにますます計算機の処理能力および信頼性の強化が要求され、超大型機の実用化が急務となる。

ハードウェアが大型化するとともにこの機能を発揮させるためのOSの機能が複雑となり、その規模もますます拡大し、この設計・製造が今後ますます困難の度を加えてくるが、超大型機の開発においてはこのソフトウェア面の研究・開発も今後の重要な課題である。

参考文献

- 1) 関口, 岸上, 美間: DIPS計画について, 施設, Vol. 22, No. 1 (1970) pp. 1~8.