

# 三進算術演算装置\*

三根 久\*\* 長谷川利治\*\* 島田良作\*\*\*

## Abstract

Construction of a system of ternary arithmetic operations is reported. In this system, a ternary number system with +1, 0 and -1 and the so-called multi-line logic system are employed. From these facts, it is possible to construct this system of arithmetic operations with binary IC's. With this system, addition, subtraction and multiplication of 9 tits (ternary digits) numbers and division of 18 tits number by 9 tits number are performed.

## 1. ま え が き

三進法による算術演算は、二進法によるものと比較して種々の利点を持っているが、回路実現を考えると、多くの困難を含んでいる。種々の三値論理回路、三進演算システムが研究され、かなり実用的なものも見うけられるようになってきた(たとえば1)~3)など。ここでは、三根らによって提案されていた三進四則演算方式<sup>4),5)</sup>を演算装置として実現したものについて報告する。論理演算に際しては、+1, 0, -1の数值系を採用する、いわゆる Signed Ternary 方式 (ST方式)<sup>4),5)</sup>を用い、多線論理方式<sup>3)</sup>によっている。また、本装置は三進数9けたの四則演算が可能で、乗算の結果は18けた、除算は18けたの被除数で演算を行ない、商・剰余とも9けたで与えられる。演算は固定小数点で行なわれ、除算においてはある規格化された演算のみが可能であるなどの条件がある。

本装置ではST方式によって演算をするため、二値論理回路で簡単に装置を構成することができる。もちろん、三値論理回路による三進演算装置の開発も重要なことであるが、ここでは三値論理回路自体の発展に力点をおかず、三進数の演算システムの実現を第1段階の目標としたため、二値のIC回路により演算装置の構成を行なった。使用ICは三菱電機製のM5930

P, M5932 P, M5936 P, M5944 P, M5946 P, M5952 P, M5962 Pの7種、合計189個で、35枚のユニバーサル形プリント板を使用し、動作クロック周波数は、特に高速演算のための注意を払っていないため、1MHzをこえる程度である。

## 2. 構 成

構成された三進算術演算装置をブロック図で示したものが Fig. 1 である。入力データはデータキーの位置(三位置)によって与えられ、QレジスタあるいはAレジスタへそれぞれの命令によって転送することができる。また、データキーはMレジスタとしても使用される。これらのレジスタはいずれも9けたであり、

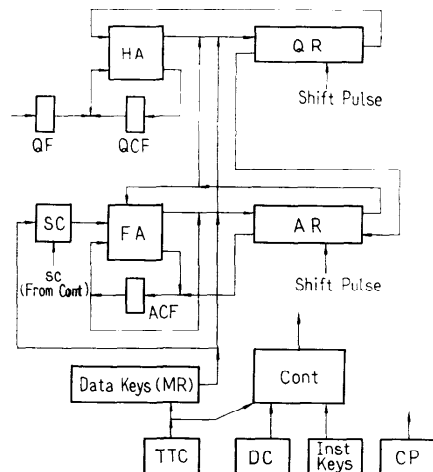


Fig. 1 Block Diagram of Ternary Arithmetic Operator.

\* A System of Ternary Arithmetic Operations, by Hisashi Mine, Toshiharu Hasegawa (Faculty of Engineering, Kyoto University), and Ryosaku Shimada (Faculty of Engineering, Tokushima University)

\*\* 京都大学工学部

\*\*\* 徳島大学工学部

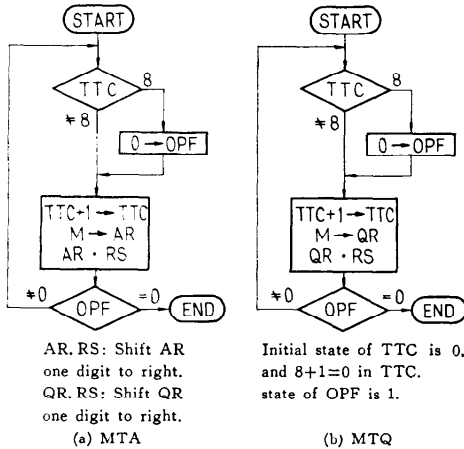


Fig. 2 MTA, MTQ.

QおよびAレジスタにはオーバーフロー用のメモリがある。命令もインストラクションキーによって与えられる。命令には、MTA (MレジスタからAレジスタへの転送), MTQ, ADD, SUB, MLT (Multiply), DIV, RS (Right Shift), LS (Left Shift) の8種類があり、4個の三位値キー (中央位置は無命令) によって与えられる。DC (Digit Counter) はけたあげの回数を計数し、TTC [Tit (ternary digit) Time Counter] は三進数のけた数を計数する。Cont. (Control) 回路は命令などによって各種演算の制御を行なう。

### 3. 命令

#### 3.1 MTA, MTQ

MTA および MTQ は、それぞれ Fig. 2 (a), (b) に示されるフローチャートのように実行される。すなわち、TTC が8になるまでは、TTC が指示するMレジスタのけたの内容をAレジスタ (AR) あるいはQレジスタ (QR) の最上けたへ転送し、TTCに1を加え、AR あるいは QR の内容を右へ1けたシフトさせる。この操作を続けて TTC が8になれば、以上の操作に加えて OPF (演算指令用フリップフロップ) を0にする。

#### 3.2 RS/LS (右シフト/左シフト)

RS/LS は Fig. 3 に示すフローチャートによって行なわれる。ACF は AR のオーバーフロー用のフリップフロップ (Fig. 1 参照) となっている。したがって、RS 命令が出された場合、まず、ACF の内容を AR の最高けたに、AR の最低けたを QR の最高けたにそれぞれシフトしていく。RS および LS のシフ

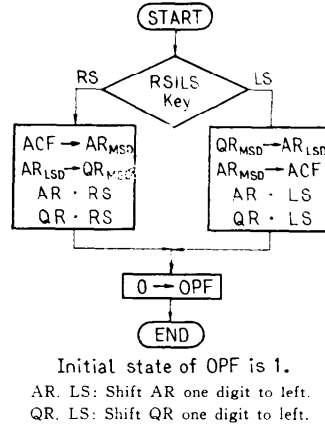


Fig. 3 RS/LS.

ト命令においては、AR と QR が、AR を高位けた、QR を低位けたとする一体となったシフトレジスタを構成しているように動作させている。

LS の場合は、QR の最高けたを AR の最低けたに、AR の最高けたを ACF にそれぞれシフトしていく。AR, QR の各けたの内容も、それぞれの命令に従って右シフト、左シフトしていくことは当然である。シフトするけた数は、オペレーションキーを押す回数に従う。

RS 命令は、レジスタの内容を 1/3 倍することと等価であり、LS 命令は 3 倍することと等価である。

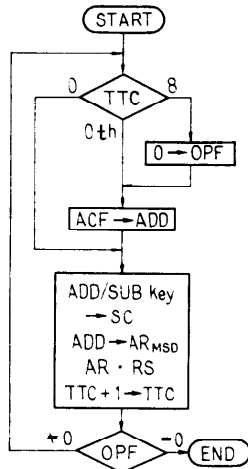
#### 3.3 ADD/SUB (加算/減算)

ADD/SUB 演算は Fig. 4 に示すフローチャートによって行なわれる。すなわち、これは AR の内容に MR の内容 (データキーの内容) を直列加減算するものであって、次のように演算が行なわれる。もし、いま行なう演算が第1けたであること (加減算の場合は  $3^0$  のけたであること) を TTC が示しておれば、ACF (この場合は AR 用の Full Adder のけた上げ用フリップフロップ) は0であるので (Fig. 1 参照), ADD あるいは SUB の命令に従って SC (加減算指令回路) への入力 (sc) を決定する。ADD 命令であれば sc は +1, SUB 命令であれば -1, 演算を行なわない場合は 0 とする。SC の入出力関係を Table 1 に示す。ここに、 $m$  は MR のあるけたの値である。ST 方式においては、 $n$  けたの三進数

$$a_p \times 3^p + a_{p-1} \times 3^{p-1} + \dots + a_0 \times 3^0 + a_{-1} \times 3^{-1} + \dots + a_{-q} \times 3^{-q}$$

$$p + q = n - 1$$

においての係数  $a_i (i = p, p-1, \dots, 0, -1, \dots, -q)$  は



Initial state of TTC is 0, and 8+1=0 in TTC. Initial state of OPF is 1.  
ACF→ADD: Apply content of ACF to full adder as an input.  
0th: Otherwise.  
ADD→AR<sub>MSD</sub>: ACF+AR<sub>LSD</sub>+SC→AR<sub>MSD</sub>

Fig. 4 ADD/SUB.

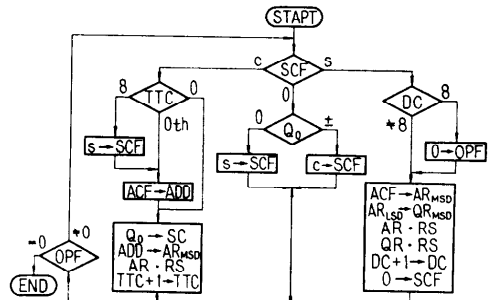
Table 1 Input-Output Relation of SC.

sc \ m	-1	0	1
-1	1	0	-1
0	0	0	0
1	-1	0	1

$$a_i \in \{-1, 0, +1\}$$

であるので、減算  $a-b$  は加算  $a+(-b)$  で与えられ、 $-b$  は、 $+b$  が  $\pm 1$  であれば  $\mp 1$  に (複号同順) 変換し、0であれば0のまま、とすればよい。すなわち、Fig. 4 のフローチャートに示すように、加算と減算の相違点は、SCによりMRの内容がそのままFA (Full Adder) に加えられるか、反転して ( $+1 \rightarrow -1, 0 \rightarrow 0, -1 \rightarrow +1$ ) 加えられるか、だけとなる。

TTCによって指示されたMRけたの内容を、SCを通してARの同じけた内容との和をとる。和はARに記憶し、けた上げがあればACFに記憶しておく。つぎにARを右シフトし、TTCに1を加える。TTCが1から8までのときは、ARとMRと前のけたのけた上信号 (ST方式では、けた上げ信号は  $+1, 0, -1$  の三つの値をとりうる) との全加算をとり、TTCが8のときは、上に加えてOPFを0にしておかなければならない。すなわち、演算の停止を示しておかなければならない。また、TTCにおいて、 $8+1=0$  で



Initial state of TTC=0, and 8+1=0 in TTC. Initial state of OPF is 1. Q<sub>0</sub>: QR<sub>LSD</sub>

Fig. 5 Multiplier.

Table 2  $a \times b$

b \ a	-1	0	1
-1	1	0	-1
0	0	0	0
1	-1	0	1

ある。

### 3.4 MLT (乗算)

乗算 (MLT) は Fig. 5 に示すフローチャートによって行なわれる。ST方式を採用しているため、乗算においてはけた上げが生じない。Table 2 に1けたの数の乗算  $a \times b$  が示されているが、この演算は、Table 1 において、 $m=a, sc=b$  としたものと同じである。

ST方式においての、 $n$  けたの三進小数、

$$A = 0. a_n a_{n-1} \dots a_2 a_1$$

および

$$B = 0. b_n b_{n-1} \dots b_2 b_1$$

の積  $P$  は一般に次のように示される。

$$P = ((\dots (A \times b_1 \times 3^{-1} + A \times b_2) \times 3^{-1} + \dots) \times 3^{-1} + A \times b_n) \times 3^{-1}$$

上式において、 $A = b_i (i=1, 2, \dots, n)$  は項は、 $-A, 0, +A$  のいずれかになる。このことによりST方式による乗算は他の三進数表示方式、たとえば  $(0, 1, 2)$  を用いる方式による演算と比較すればきわめて簡単になる<sup>9)</sup>。すなわち、Fig. 1 のSCの入力  $sc$  に  $b_i$  を与えればよい。MRに被乗数  $A$  を、QRに乗数  $B$  を記憶させる  $sc$  として  $Q_0$  (QRの最低けた) をSCに加える。SCのもう一方の入力はMRから与える。上式の  $P$  のけたは一般に  $2n$  となるので、各項はARに記憶され、各けたの乗算がすすむとAR, QRは1けた右シフトされ、QRにも記憶される。すなわち、ARをUpper ARとして、QRをLower ARとし

て使用することになる。3.2 で述べたように、RS は  $1/3$  倍を意味するので、RS だけで上式の  $3^{-1}$  の演算を行なうことになる。このようにすると、上式の  $P$  は  $AR-QR$  上に示されることになる。Fig. 5 においての SCF は、Fig. 1 においての Cont. に含まれるものであり、加減算をすべきかシフトすべきかを制御する機能を示している。すなわち、SCF は三状態 0,  $S$ ,  $C$  をとり次に示すような指示をする。演算の開始時には  $DC=0$  であり、また SCF は 0 状態を示している。  $Q_0$  が 0 なら SCF を  $s$  (Shift) にし、ACF, AR, QR を一連のものとしてそれらの内容を RS し、DC に 1 を加え、SCF を 0 にする。  $Q_0$  が +1 か -1 であれば、SCF を  $c$  (加減算) とし、  $Q_0$  と MR の対応するけたとの乗算を行ない、AR の対応するけたに加える。この加算の場合、TTC が 0 であれば、けた上げ用フリップフロップである ACF の内容は関係ないが、0 でないときは、これも加減算しなければならない。TTC が 8 であれば、この加減算を行なう前に SCF を  $s$  にし、DC が 8 であれば RS の後 OPF を 0 にする。このようにして  $P=A \times B$  が行なわれる。

### 3.5 DIV (除算)

除算 DIV は Fig. 6 のフローチャートによって行なわれる。除算を行なうにあたって、簡単のために被除数、除数ともに規格化されていて、被除数の MSD (Most Significant Digit) は 0 であり、除数の MSD は +1 か -1 であるとする。被除数および部分剰余はその大きさによって三区別する。すなわち、

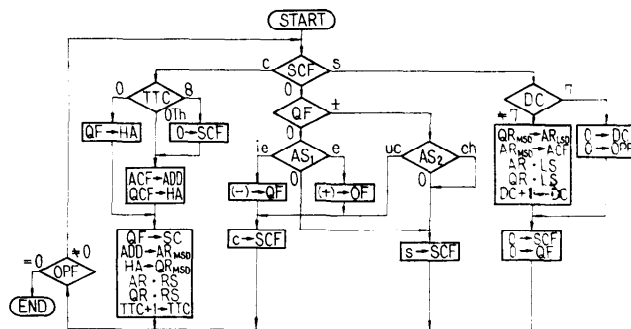
$$(i) \quad -1 \quad -1 \cdots -1 \sim -1 \quad 1 \cdots 1$$

$$(ii) \quad 0 \quad -1 \cdots -1 \sim 0 \quad 1 \cdots 1$$

$$(iii) \quad 1 \quad -1 \cdots -1 \sim 1 \quad 1 \cdots 1$$

と MSD が  $-1, 0$  あるいは  $1$  であるかによって区分される。これらを三区別したことによって、被除数あるいは部分剰余の MSD と除数の MSD の積で商の 1 けたを近似することができる。近似商として 0 をたてたときには、被除数あるいは部分剰余 (以下部分剰余とする) を 3 倍 (1 けた LS) して商のつぎのけたの計算に移る。また近似商 1 をたてたときには、部分剰余から除数を減算し、近似商  $-1$  をたてたときには部分剰余に除数を加算する。この加減算の結果、部分剰余の MSD が変化するとこれを 3 倍して商のつぎのけたの計算に移行する。この加減算によって部分剰余の MSD が変化しなければ、同じ値の商をいまたてている近似商に加算し、除数の加減算をくりかえす。

部分剰余を 3 倍することは、AR と QR で構成している Upper AR-Lower AR を 1 けた LS することであり、これと同時に商を記憶する QR も 1 けた LS する (QR は、上位けたには部分剰余、下位けたには近似商が記憶されている)。三進法の除算であるから、換言すれば部分剰余の 1 けたの LS が 3 倍であるから、商の 1 けたとして 2 や  $-2$  がたつことがある。このような場合、2 度にわたる 1 あるいは  $-1$  の商の加算が行なわれるが、このとき生ずるけた上げが商の上位の全けたに波及することがある。したがって、QR はシフトレジスタであると同時に  $\pm 1$  を計数



ie: inequal, e: equal, uc: unchanged, ch: changed

AS<sub>1</sub>: Compare MSD's of Partial Residue and Divisor. If both are +1 or -1, e is derived, and if both are +1 and -1 or -1 and +1, ie is derived. If MSD of partial residue is 0, 0 is derived.

AS<sub>2</sub>: Compare MSD's of Partial Residues before and after Addition or Subtraction of Residue with Divisor.

Initial state of TTC=0, and 8+1=0 in TTC.

Initial state of OPF=1.

Fig. 6. Division.

Table 3 An Example of Division

	0100001 ÷ 1101
	0100001...0
左シフト	100001...01
減算	-1101
	010101
左シフト	10101...011
減算	-1101
	01111
左シフト	1111...0111
減算	-1101
	1011...1111
減算	-1101
	0110 ←あまり

可能な可逆计数器でもなければならぬ。

例  $0100001 \div 1101 = 1111$

あまり  $0000110$

( $244 \div 17 = 14$  あまり 6)

上記の例では Table 3 に示すように計算が行なわれる。すなわち、まず、被除数の MSD が 0 であるから近似商 0 をたて、被除数と商を 1 けた LS する。つぎに部分剰余の MSD が 1 であるから近似商 1 をたて、除数を部分剰余から減算する。この結果、部分剰余の MSD が 0 に変化したので、この部分剰余と商を 1 けた LS する。この過程を続けて各けたの演算を行なっていく。商の LSD (Least Significant Digit) を求める段階において、部分剰余が 1111 であるから商 1 をたて、減算を行なう。この結果の部分剰余が 1011 になるから、QR の最下位のけたにさらに 1 を加え、商が 0111 から 1111 となる。

商のまるめや剰余の符号の制限をしなければこの除算の処理は被除数、除数の正負に関係しない。

この除算の過程において部分剰余に除数を加減算する場合、加減算によって部分剰余の MSD が  $\bar{1}$  から 1 に、あるいはこの逆に変化した場合、その結果の部分剰余を LS すると MSD があふれる。このあふれは近似商を決定するのに重要なけたであるから、オーバーフローフリップフロップに記憶しておかなければならない。いま、このあふれを  $a_f$  とすると、また部分剰余を記憶している Upper AR の MSD を  $a_n$  とすると、近似商を決定するための部分剰余の区分は、この  $a_f$  と  $a_n$  によって Table 4 のようにしなければならない。Table 4 の値と除数の MSD との積によって近似商がたえられる。したがって、除数の MSD を  $b_n$  とすると近似商の各けたは Table 5 の三値三変数関数として与えられることになる。ただし、除数の MSD が 1 か  $\bar{1}$  に規格化されているとすると、 $b_n = 0$  は組み

Table 4 Equivalent MSD of Partial Residue.

	$a_n$	-1	0	1
$a_f$	-1	-1	-1	-1
	0	-1	0	1
	1	1	1	1

Table 5 Approximation of Quotient in Each Tit.

	$b_n$	-1			0			1		
$a_f$	$a_n$	-1	0	1	-1	0	1	-1	0	1
	-1	1	1	1	*	*	*	-1	-1	-1
	0	1	0	-1	*	*	*	-1	0	1
	1	-1	-1	-1	*	*	*	1	1	1

\*: Don't care.

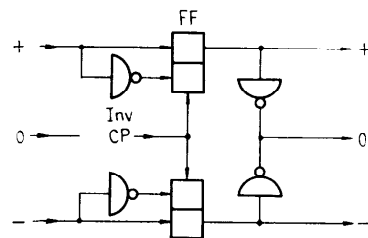
合わせ禁止である。

このあふれ  $a_f$  は、部分剰余に除数を加減算するときにも更新しなければならない。この更新は、本来この加減算における MSD からのけた上げ出力をこの  $a_f$  に加算して行なうべきであるが、この  $a_f$  は除数の加減算に際して必ず 0 になるから、この加減算のとき無条件に 0 にすることができる。

#### 4. 回路構成

前述のように、ST 方式による数値表現法を採用し、しかも多線論理方式<sup>3)</sup>(三線論理方式)を採用したため、すべて二値論理回路によって構成可能となっている。たとえば、三値の三線式フリップフロップは、二値フリップフロップ 2 個と 4 個の二値インバータによって Fig. 7 に示すように構成される。この三値フリップフロップをシフトレジスタの中間段に使用するときなどの場合には、0 信号出力が必要でない場合もあり、出力は+-の二線となる。このような二線式の論理で充分である場合は、シフトレジスタ以外にも多くみうけられる。

他の例として Fig. 8 に、Fig. 1 に示した Half Adder の構成を示す。Fig. 8 の QCF はけた上げ信



CP: Clock pulse (which is not always required.)

Fig. 7 Memory Cell for a Ternary Number.

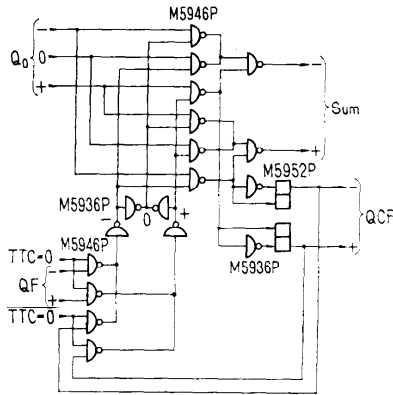


Fig. 8 Half Adder.

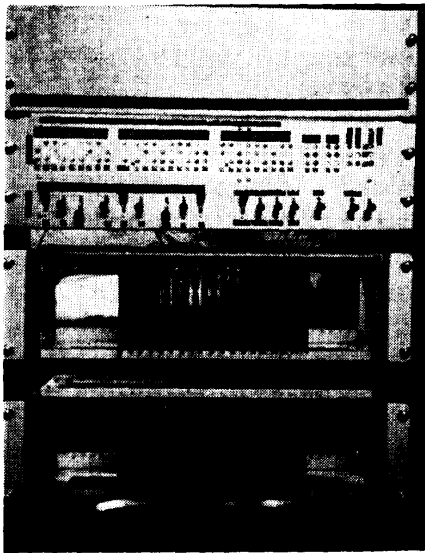


Fig. 9 Ternary Arithmetic Operator.

号記憶回路に用いられている。Fig. 9 に、構成された三進算術演算装置の写真を示す。

## 5. むすび

以上に示した方式、回路によって三進算術演算装置の試作を行なったが、ST 数、三線論理方式としたため、特にあらたな回路開発をする必要もなく演算装置を構成することができた。もちろん、二値論理回路を用いて構成しているため、三値論理回路を中心として構成した場合を想定して比較すると、かなり冗長にな

っていると思われる。しかし、現存する三値論理回路の信頼性が、残念ながら、IC 化された二値論理回路とは比較できない程度であるので、二値論理回路によってこの装置を構成している。これまでに、三値論理および三値論理回路に関して多くの研究者により種々の研究開発がなされてきたが、なお、三進数の処理に適した三値論理体系の確立と、これを実現する高速で安定な三値論理回路の開発が望まれる。

この試作装置に関して、あるいは、このような算術演算方式に関して、高速けた上げ方式、浮動小数点演算方式などの検討や、そのほか三進数の記憶や入出力などの問題など、重要な点が多く未解決のまま残されている。また、この装置を用いて計算を行なうにあたって、特に不便を感じる点は、三進数により入力を与え、出力が得られるという点である。したがって、三進十進変換および十進三進変換装置の開発が望まれる。以上に述べた種々の問題を解決していくことによって、原理的なものであった三進演算の二進演算に対する有利さが、明白かつ現実的なものになっていくものと期待される。

**謝辞** 本研究は、筆者の一人、徳島大学の島田が京都大学工学部数理工学教室において、日本学術振興会の流動研究員として滞在中に行なわれたものであり、関係各位、ことに終始ご指導・ご支援下さった徳島大学の原田尚文教授に心から感謝する。

## 参考文献

- 1) 三根, 長谷川, 池田, 新谷: 三値論理回路の一構成, 電子通信学会論文誌, 第 51-C 巻 12 号, 昭和 43 年 12 月, 573-580 頁
- 2) D. I. Porat: Three-valued digital systems, Proc. IEE. Vol. 116, No. 6, June, 1969, pp. 947-954
- 3) 原田, 島田, 為貞: 三線式三値論理回路について, 電子通信学会論文誌, 第 52-C 巻 1 号, 昭和 44 年 1 月, 17-24 頁
- 4) 三根, 長谷川, 島田: 3 進四則演算の一方式について, 電子通信学会電子計算機研究会資料, EC 69-27, 昭和 44 年 10 月
- 5) 三根, 長谷川, 島田: 三進四則演算方式について, 電子通信学会論文誌 (C), 第 54-C 巻 第 1 号, 昭和 46 年 1 月, 66 頁-73 頁

(昭和 45 年 12 月 11 日受付)