

FPGA によるメニーコア・プロセッサ SMYLEref の評価環境の構築

グエン チュオン ソン^{†1} レイ ジャオ^{†1} 近藤 正章^{†1}
平尾 智也^{†2} 曾我 武史^{†2} 井上 弘士^{†2}

1. はじめに

我々は、高性能・低消費電力なメニーコアプロセッサの実現と、メニーコアプロセッサの組み込みシステムへの応用展開を目的として、NEDO のプロジェクト「極低電力回路・システム技術開発(グリーンITプロジェクト)」の中で、「低消費電力メニーコア用アーキテクチャとコンパイラ技術」の研究課題を実施している。本プロジェクトは、1) 組み込みシステム応用を意識した高効率な超並列処理の実現、2) 大幅な動作時消費電力の削減、3) ソフトウェア生産性の向上、を重要な研究課題と位置付け、それらを解決するための一つの方策として「仮想アクセラレータ(VAM: Virtual Accelerator on Many-core)」の概念を導入し、その実行プラットフォームとしてメニーコアアーキテクチャ *SMYLEref* とプログラム開発環境の構築を行っている。本稿では、*SMYLEref* のアーキテクチャと、FPGA を用いた評価環境について紹介し、その上での初期評価結果を示す。

2. メニーコア・アーキテクチャ *SMYLEref*

2.1 *SMYLEref* の構成

図 1 に *SMYLEref* の概要を示す。*SMYLEref* はシンプルな数個のプロセッサコアをバスで結合したクラスタを、2次元メッシュのオンチップネットワーク(NoC)で接続したアーキテクチャである。各コアは、JST CREST のプロジェクト¹⁾ で開発された *Geyser*²⁾ を用いる。*Geyser* は MIPS R3000 ベースとしたシンプルなプロセッサコアであり、8KB(2Way セットアソシアティブ、64B ラインサイズ)の L1 命令/データキャッシュ、また 16 エントリの TLB を持つ。

クラスタには、コアや L2 キャッシュを備えるプロセッサクラスタと、チップ外部とのインターフェース(SDRAM コントローラなど)を持つペリフェラルクラスタがある。1つのプロセッサクラスタは、複数個の *Geyser* コアが Cluster バスを通して接続される。

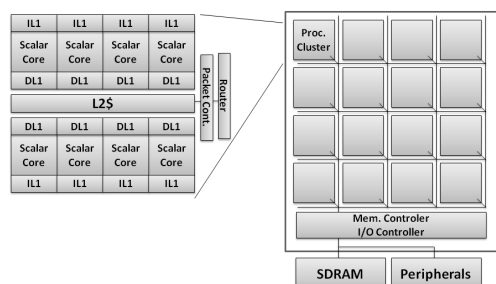


図 1 *SMYLEref* のアーキテクチャ

主記憶や I/O アクセスの際にはコアクラスタとペリフェラルクラスタ間でデータ転送が行われる。各クラスタ間は NoC により接続され、パケットスイッチング方式でデータ転送が行われる。複数コアでクラスタを構築し、さらにクラスタ間をネットワークで接続するという階層的な構造を用いることで、通信を自クラスタのキャッシュにできる限り閉じ込め、通信路の混雑による性能低下の回避を狙う。ネットワークポロジは、スケラビリティの確保と拡張性を考慮して 2次元メッシュを採用している。

2.2 仮想アクセラレータ VAM

VAM 導入により、多数の小規模コアを仮想アクセラレータ実現のためのハードウェアプラットフォームとして活用し、一方でコンパイラや並列プログラムはアプリケーション特性に応じて自らが VAM の構成を決定しつつ、それに基づきコード生成や実行を行う(図 2 参照)ことができる。このように、ソフトウェアに対してハードウェアアーキテクチャの決定権を与えることで、高い並列処理性能を得ることを狙う。

SMYLEref では、再構成可能 L1 キャッシュ、VAM 間での L2 キャッシュ競合を回避するための分散共有 L2 キャッシュの拡張、柔軟かつ高速なバリア同期を実現するためのグループ・ハードウェアバリアサポートなど種々のアーキテクチャの拡張を考えている。

3. FPGA における評価環境の構築

SMYLEref の評価・検証を行うに当たり、我々は FPGA を利用して *SMYLEref* の評価環境を構築して

^{†1} 電気通信大学 大学院情報システム学研究所

^{†2} 九州大学 大学院システム情報科学研究科

