

SAR 画像再生処理回路の実装検討

浅見廣愛[†] 高橋勝己[†] 尾崎敦夫[†]

合成開口レーダの画像再生処理のデジタル回路による小型化を目的として、処理装置の構成や規模、処理時間を検討した。一般に画像再生処理は、汎用計算機等では倍精度浮動小数点数で演算するが、我々は、演算回路を小型化するため、位相計算等を固定小数点数で演算することを検討した。また、回路実装に適した処理アルゴリズムであるチャープスケーリングを採用し、メモリアクセスが高速となるようなデータ格納方式とした。検討結果を基に、仮想的な画像サイズを想定して回路を試作し、回路規模と処理時間を評価して、2秒程度で処理可能と判断した。また、評価データを用いて倍精度浮動小数点数での処理結果と比較し、同等の結果が得られることを確認した。

1. はじめに

合成開口レーダ(Synthetic Aperture Radar, 以下 SAR)は、航空機や人工衛星等に搭載し、移動しながら観測を行うことにより、2次元の高分解能な画像を得ることが出来るレーダである。SARでは、電波を送受信して得たデータに対して画像再生処理と呼ばれる処理を行うことにより画像を得るが、この画像再生処理は計算負荷が大きいため、大規模な汎用計算機を用いるのが一般的である。更に近年は、画像の大規模化、高精度化の要求が大きく、それに伴い、処理するデータ量と演算負荷が増大する傾向にある。

一方で、処理のリアルタイム性の観点から、航空機等の機上で画像再生処理を行いたいという要求がある。しかし、機上での処理実現は、処理の計算負荷や搭載スペースの制限が厳しく、装置の小型化が課題となる。これに対して、近年の半導体技術の向上によりFPGA(Field Programmable Gate Array)等が大規模化し、従来は不可能だった大規模画像に対しての画像再生処理が、デジタル回路で実現可能になってきた。

そこで、本稿ではSAR信号処理のデジタル回路による小型化を目的として、SAR画像再生処理のFPGAへの実装について検討した。画像再生処理を汎用計算機等で実行する場合は、通常は倍精度浮動小数点数で処理するが、本稿では、固定小数点数で算出することで演算回路を小型化することを検討した。

[†] 三菱電機(株)情報技術総合研究所 電子システム技術部
Mitsubishi Electric Corporation

2. SAR画像再生処理

2.1 処理概要

SARは、雲霧等の天候に左右されず、高い分解能で地表を撮像することができるセンサである。SARでは、航空機や人工衛星等からマイクロ波を送信し、反射波が返ってくるまでの時間・強度から対象物体までの距離情報を観測する。観測したデータを画像再生と呼ばれる処理を施すことにより、人間が認識できる画像データに再生する。

2.2 レンジドップラーアルゴリズム

SAR画像再生処理のアルゴリズムは様々な方式が提案されているが、最も基本的なアルゴリズムである、レンジドップラーアルゴリズムの処理の流れを図1に示す。レンジドップラーアルゴリズムは、アジマス方向(航空機等の進行方向)とレンジ方向(アジマス方向に対して垂直な方向)のデータそれぞれに、参照関数と呼ばれる送信波を表すデータとの相互相関をとることにより2次元ホログラムを得る処理である。図1に示すように、相互相関処理は、FFT(Fast Fourier Transformation)とIFFT(Inverse FFT)を用いて処理するのが一般的である。

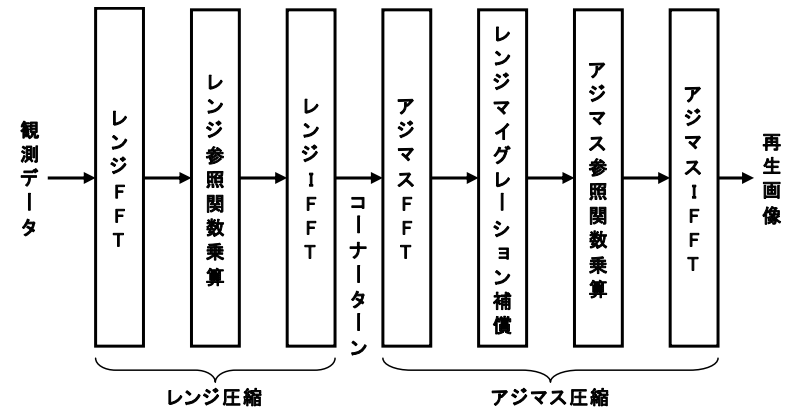


図1 SARレンジドップラーアルゴリズム

画像再生処理を実装する際の特徴は、レンジ方向とアジマス方向に2次元的にデータを処理する点である。このため、汎用計算機等で処理する場合はデータアクセスが処理のボトルネックとなりうる。これを回避するため、レンジ方向からアジマス方向へのデータアクセスの切り替えの際には、コーナーターンと呼ばれるデータの並び替

えを行う場合がある。また、図1のレンジマイグレーション補償と呼ばれる処理では、2次元的に配置されたデータに対して放物線に相当するアドレスにアクセスする。デジタル回路等で再生処理を実装する際には、この処理はメモリへのランダムアクセスと同等であり、処理のボトルネックになりうる。

2.3 チャープスケーリングアルゴリズム

レンジドップラーアルゴリズムでは、上述のように、レンジマイグレーション補償におけるメモリアクセスが処理のボトルネックとなりうる。このため、本稿では、画像再生処理のアルゴリズムとして、チャープスケーリングアルゴリズムを検討の対象とした。チャープスケーリングアルゴリズムの処理の流れを図2に示す。図2に示すように、処理はFFTもしくはIFFTか、CS (Chirp Scaling)オペレータやフィルタ処理等の係数の複素数乗算で構成される。係数はアジマス方向の座標とレンジ方向の座標の関数であり、各処理はアジマス方向、もしくはレンジ方向の各行単位で処理できるため、デジタル回路で処理を実現する場合は、単純なラインバッファを構成することでメモリアクセスを単純化、高速化できる。

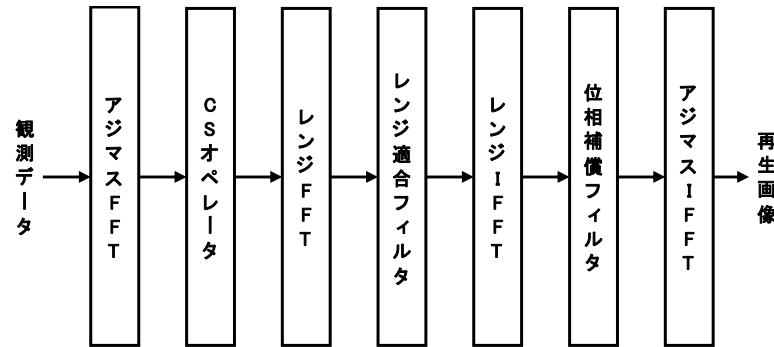


図2 SAR チャープスケーリングアルゴリズム

なお、汎用計算機等で図2の処理を実現する場合、データアクセス方向が変わる際、すなわちレンジFFT、もしくはアジマスIFFT処理の際に、「コーナーターン」の処理が必要である。しかし、本稿では、メモリアクセスの工夫とラインバッファの構成を組み合わせることで、コーナーターンなしで処理を行うようにした。これに関しては後述する。

3. 実装検討

3.1 構成概略

前述のように、本稿では、SARのアルゴリズムとして、チャープスケーリングアルゴリズムを対象として検討した。また、観測データのサイズは簡易的に、アジマス点数8192点×レンジ点数8192点として検討した。

SAR画像再生処理では2次元的にデータアクセスを行うため、FPGA等のデジタル回路による処理では処理時間、効率の点から、同一方向の処理をまとめてパイプライン処理した方がよい。このため、以下のように、処理を3つに分割し、各処理単位でパイプライン処理を行う。また、この場合の処理の流れを図3に示す。

- ・ 処理1 : アジマス FFT ~ CS オペレータ
- ・ 処理2 : レンジ FFT ~ レンジ IFFT
- ・ 処理3 : 位相補償フィルタ ~ アジマス IFFT

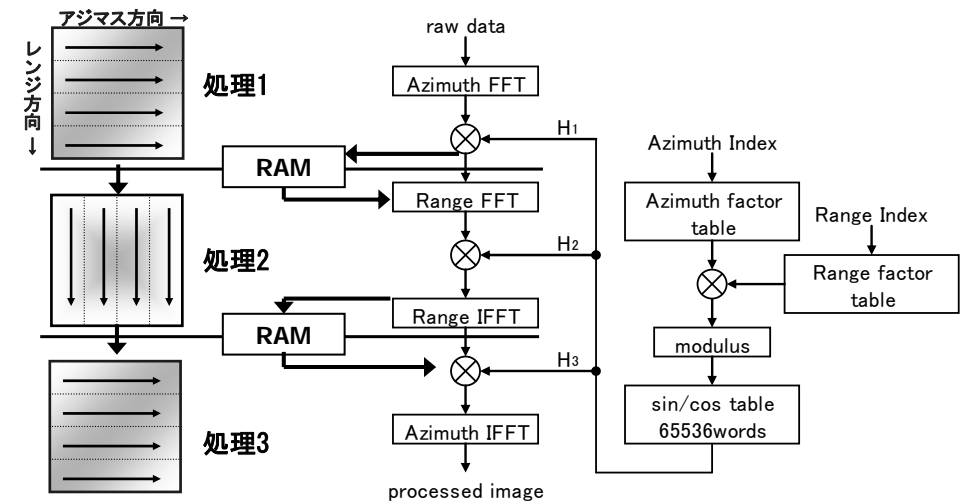


図3 処理の分割

各「処理」の結果は、中間データとして一旦RAMに格納され、次の「処理」が実行される際に、前回の「処理」とは異なる処理方向（アジマス/レンジ方向）でデータアクセスが行われる。

3.2 係数演算

図 2 の処理における、係数乗算での係数は、振幅「1」の複素数である。これは、航空機等から観測対象の各座標までの送信波の経路長や、航空機の数等のパラメータから算出される「位相」を三角関数に入力することで複素係数として求められる。座標の変化に対して、位相情報は大きな値域を持つため、通常は倍精度浮動小数点数でなければ十分な精度を持つ値を算出することはできない。位相情報を $\phi + 2\pi n$ ($0 \leq \phi < 2\pi$, n は整数) とすると、複素係数を求める際に必要な値は ϕ のみだが、固定小数点数で ϕ を精度よく求めるためには bit 幅が大きくなり小型化することは困難である。

このため、位相算出のための変数をアジマス成分とレンジ成分、 ϕ と $2\pi n$ に相当する成分に分解し、これらの値から位相情報を算出する。回路に実装する際には、 2π を m 分割した $0 \sim m-1$ までの整数を位相に対応させて、アジマスもしくはレンジ成分を算出し、固定小数点数でテーブルに保存する。位相を算出する際には、アジマスもしくはレンジ番号を引数としてテーブルの値を呼び出し、合成後に m を法とする剰余を算出する。 m を 2 のべき乗にすれば、デジタル回路における剰余を求める処理は、単純な bit の切り出しで構成できる。求めた剰余は $0 \sim 2\pi$ までの位相情報に対応するものであり、これを三角関数算出用のテーブルにアドレスとして入力し、最終的な複素係数を算出する。本稿では、 $m=2^{16}(=65536)$ とした。

3.3 メモリアクセス

前述のように、SAR 画像再生処理の特徴は、アジマス方向とレンジ方向に 2 次元的にメモリアクセスが行われる点にある。このため、DRAM 等のメモリ上に単純にデータを配置した場合、連続するデータ（例えばアジマス方向）は高速にアクセスできるが、離散的なデータ（例えばレンジ方向）のアクセスが遅くなる。これは、DRAM(Dynamic Random Access Memory)では row アドレスの切り替えに時間を要するが、離散的なデータアクセスではこの切り替えが頻発し、アクセス速度が低下するためである。DRAM ではなく、SRAM(Static Random Access Memory)を用いた場合は、このような問題は発生しないが、上述のように、処理するデータサイズを 8192 点 \times 8192 点とした場合、多数の SRAM を用いねばならず、非現実的である。

このため、本稿では、DRAM を用いた場合に、アジマス方向とレンジ方向のメモリアクセスの時間を極力均一化することを考えた。汎用計算機で処理する場合と異なり、FPGA 等のデジタル回路で画像再生処理を構成する場合、1 ライン分のデータに対して FFT や乗算等の処理を行っている間に、次のラインのデータを読み出して内部 RAM で構成されたラインバッファに蓄えておくことが可能である。このため、アクセス時間がある程度均一化され、1 ライン分のデータの読み出し時間が、FFT や乗算等の演算回路の処理時間よりも短ければ、メモリアクセスが処理のボトルネックとはならな

い。

メモリアクセスを均一化するため、row アドレス毎の領域を 1 つのデータブロックとし、1 ブロック内に微小なアジマス \times レンジの 2 次元データを配置する。また、レンジ方向を横軸（連続アクセス）、アジマス方向を縦軸（離散アクセス）とするブロックを奇数バンク、アジマス方向を横軸、レンジ方向を縦軸とするブロックを偶数バンクに割り当て、これら 2 系統のブロックが交互になるように配置する。これを示したのが図 4 であり、画像上では、2 系統のブロックがモザイク状に配置される。一見このような配置は複雑であるが、バンクアドレスと row アドレスの単純な bit 切り替えによるアドレス生成で構成できる。このような配置により、アジマス方向とレンジ方向のデータアクセスを均一化できる。さらには、バンク切り替えをうまく活用することにより、row アドレスの切り替えを隠蔽することができる。

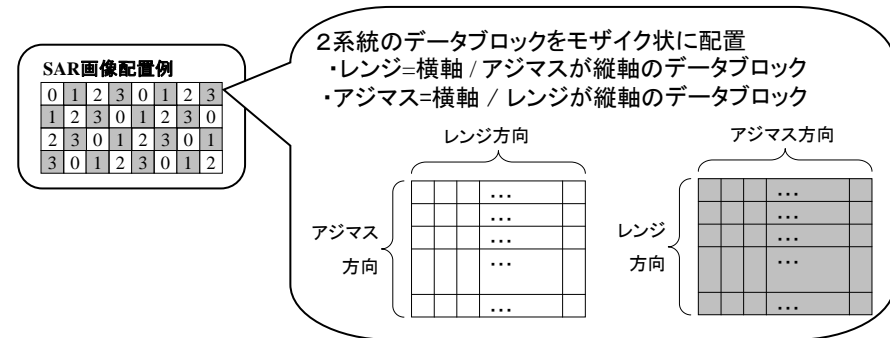


図 4 メモリアクセスの均一化

4. 性能評価

前述の検討結果をハードウェアで実現し性能評価を行うため、市販の評価用ボードとして、東京エレクトロデバイス社製の TB-6V-SX475T-PCIEXP を用いて実装評価を行った。評価用ボードには、Xilinx 社の FPGA である XC6VSX475T-2FFG1759 が 1 個、1GByte の DDR3 SDRAM(Double-Data-Rate 3 Synchronous Dynamic Random Access Memory)が 2 系統搭載され、PCI Express(Peripheral Component Interconnect Express)経由で汎用 PC とのデータ転送が可能である。

本検討においては、汎用 PC 上から PCI Express 経由で SAR の評価用入力データを評価用ボードに送信して SDRAM に一旦保存した後、FPGA 内部で信号処理を行う構

成とした(図5)。信号処理回路の主要な構成要素は、パイプライン処理型のバタフライ演算器を用いた8192点FFT回路を2個、位相計算用回路と、係数乗算用の複素数乗算器である。処理実行時には、前述のように「処理1」から「処理3」までを逐次実行する。各「処理」では、上記のFFT回路等の接続を切り替えることで、最小限の回路で処理を行う構成とした。

実装検討を基に信号処理回路をFPGAに実装した場合の構成結果を表1に示す。回路の動作周波数は133MHzとし、全て固定小数点演算回路にして構成し、Xilinx社の合成ツールであるISE 12.4にて合成を行った。表1の回路規模には、FPGA内部に構成したPCI Express用インタフェース回路やSDRAM用インタフェース回路を含む。このため、単純なSAR画像再生回路のみでは表1の値よりも小さなものとなる。

また、実際に評価用ボード上で動作させた場合の実測時間を示す。処理時間は、画像再生処理の時間のみであり、汎用PCとのデータ転送時間は除外してある。

上記の処理の有効性を検証するため、倍精度浮動小数点演算で同様の画像再生処理を行うS/WをC言語にて作成した。評価用データに対して、FPGAとS/Wとの処理結果を比較し、同等のSAR画像が得られることを確認した。

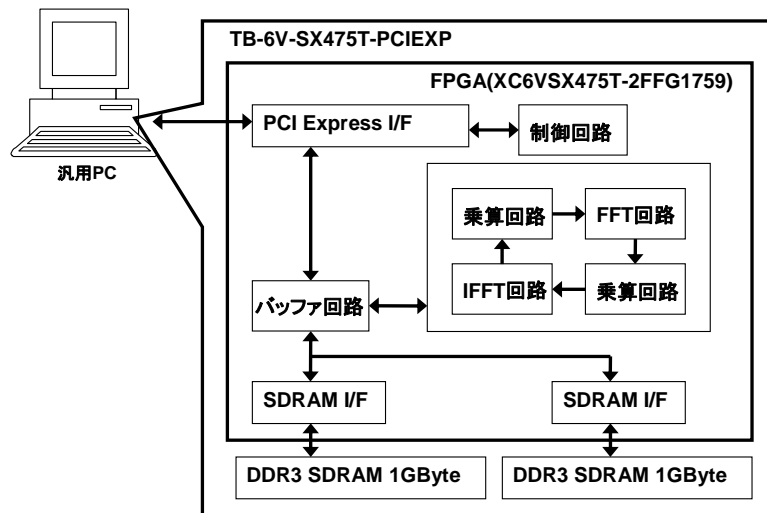


図5 H/W構成

表1 回路規模/処理時間

使用デバイス	XC6VVSX475T-2FFG1759	1個
試作回路規模	flip-flop 使用数	32621
	内部 RAM 使用数	12224Kbit
	乗算器	54個
動作周波数	133.3MHz	
画像サイズ	range 8192pix × azimuth 8192pix	
処理時間(実測)	2.05秒	

5. おわりに

本稿では、SAR信号処理の小型化を目的として、SAR画像再生処理のFPGAへの実装について報告した。固定小数点数による位相算出回路や、SAR画像再生処理での2次元的なメモリアクセスについて示し、FPGA評価ボードへの実装を行い、8192点×8192点のSAR画像再生処理が2秒程度で処理できることを示した。

本稿では、全ての処理を固定小数点数にて実装しているが、汎用性や演算精度の扱い易さを考慮すると、浮動小数点数による実装の方が優れている。しかし、SAR画像再生処理を浮動小数点数で処理する場合、位相を高精度で扱うためには倍精度で処理しなければならない、回路規模が大幅に増える、もしくは、演算性能が低下することが予想される。本稿では、位相を2のべき乗の剰余系で扱うことで、固定小数点数でも、十分な演算精度で処理できることを示した。

また、本稿で示した、SAR画像再生用の演算回路は、単純に2個のFFT回路を用いたものであるが、これらの回路を並列化することにより演算性能を向上させ、処理時間をさらに短縮することは可能である。回路規模の点からも、対象としたFPGAにはまだ余裕があるため、性能向上は比較的容易であると考えられる。

本稿では、処理の有効性を示すため、評価用のデータにて画像再生処理が出来ることを示したが、演算精度の点での評価は不十分である。今後、試作した回路を用いて演算精度等の詳細な性能評価を行う予定である。

参考文献

- 1) I.G. Cumming and F.H. Wong, "Digital processing of synthetic aperture radar data algorithms and implementation," Artech House, 2004.
- 2) 浅見廣愛, 高橋勝己: SAR画像再生処理の回路構成検討, 2009 信学ソ大, B-2-26 (2009).
- 3) 浅見廣愛, 高橋勝己, 尾崎教夫: SAR画像再生処理用の位相算出回路の小型化, 2011 信学ソ大, B-2-2 (2009).